

Sub-threshold MOSFET을 이용한 전류모드 회로 설계

조승일^{*}, 여성대^{**}, 이경량^{**}, 김성권^{***} 정회원

Current-Mode Circuit Design using Sub-threshold MOSFET

Seung-Il Cho^{*}, Sung-Dae Yeo^{**}, Kyung-Ryang Lee^{**}, and Seong-Kweon Kim^{***} *Regular Members*

요 약

본 논문에서는 저전력 기술인 DVFS (Dynamic Voltage Frequency Scaling) 응용을 위하여, 동작주파수의 변화에도 소비전력이 일정한 특성을 갖는 전류모드 회로를 적용함에 있어서, 저속 동작에서 소비전력이 과다한 전류모드 회로의 문제점을 전류모드 회로에서 sub-threshold 영역 동작의 MOSFET을 적용함으로써 소비전력을 최소화하는 설계기술을 소개한다. 회로설계는 MOSFET BSIM 3모델을 사용하였으며, 시뮬레이션한 결과, strong-inversion 동작일 때 소비전력은 $900\mu W$ 이었으나, sub-threshold 영역으로 동작하였을 때, 소비전력이 $18.98\mu W$ 가 되어, 98 %의 소비전력의 절감효과가 있음을 확인하였다.

Key Words : Sub-threshold; Low Power; Current Mode; Current Memory; Signal Processing

ABSTRACT

In this paper, when applying current-mode circuit design technique showing constant power dissipation none the less operation frequency, to the low power design of dynamic voltage frequency scaling, we introduce the low power current-mode circuit design technique applying MOSFET in sub-threshold region, in order to solve the problem that has large power dissipation especially on the condition of low operating frequency. BSIM 3, was used as a MOSFET model in circuit simulation. From the simulation result, the power dissipation of the current memory circuit with sub-threshold MOSFET showed $18.98\mu W$, which means the consumption reduction effect of 98%, compared with $900\mu W$ in that with strong inversion. It is confirmed that the proposed circuit design technique will be available in DVFS using a current-mode circuit design.

I. 서 론

언제 어디서나 시간과 공간의 제약 없이 네트워크 환경에 접속할 수 있는 유비쿼터스(Ubiquitous) 시대에 진입한 이때, 휴대용 단말기의 사용이 중추적인 역할을 하고 있다. 휴대용 단말기는 이동성 기기이기 때문에 유선으로써 전력을 공급받을 수 없어서 배터리의 장착은 필수적이라고 할 수 있다. 하지만 배터리는 사용시간이 제한적이라는 문제에 직면하게 되는데, 이와 같은 문제를 해결하기 위하여, 배터리의 수명을 극대화시키기 위한 회로의 저전력 동작이 반드시 필요하다. 그 방법으로는 크게 사용자가 시스템을 사용하지 않는 경우, 시스템을 유휴상태로 진입시키기 위한 component 별 전력을 서서히 차단하여 저전력 동작을 유도하는 DPM (Dynamic Power Management)과 사용자가 시스템을 사용

하는 경우, 시스템의 Work Load에 따라 동적으로 전압 및 주파수를 가변시켜 저전력 동작을 유도하는 DVFS(Dynamic Voltage Frequency Scaling) 기법이 있다[1]. 본 연구에서는 시스템의 동작 중 저전력을 위한 DVFS에 집중하여 연구를 진행하였다.

전력은 주파수가 높아짐에 따라 비례해서 증가한다. 다시 말하면, 고속의 회로 시스템에서는 소비전력이 높아지게 되는데, 이를 해결하기 위해서, 전류원을 사용하여 주파수의 변화에도 전력의 변동이 거의 없는 전류모드 회로 동작을 사용하는 기술이 있다. 전류모드 회로 설계 기술은 전류밀러 회로를 기본으로 설계하기 때문에, Inverting, Scaling, Summation, Memory 동작이 가능하여 디지털 연산 회로 동작이 가능하다[2].

* 이 연구는 서울과학기술대학교 교내 학술연구비 (일부)지원으로 수행되었습니다.

^{*}Yamagata Univ. 이공학연구과(whmddlf0809@gmail.com), ^{**}서울과학기술대학교 NID융합기술대학원 ITSC 연구실,

^{***}교신저자 : 서울과학기술대학교 전자IT미디어공학과 (kim12632@seoultech.ac.kr)

접수일자 : 2013년 7월 15일, 수정완료일자 : 2013년 8월 14일, 최종게재확정일자 : 2013년 8월 19일

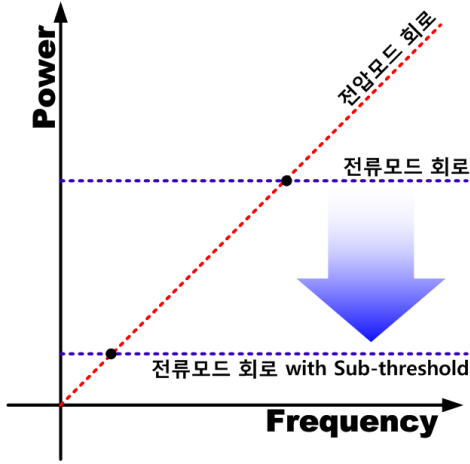


그림 1. 전압모드와 전류모드의 속도에 따른 전력 비교 및 sub-threshold에 의한 전류모드 그래프의 변화

그림 1은 전압모드 회로와 전류모드 회로의 동작 주파수에 따른 전력 비교 및 sub-threshold 회로에 의한 전력 절감 효과를 나타내는 개념도이다. 전류모드 회로는 전류밀러 회로를 기초 회로로 동작시키는 것으로, 바이어스 전류가 정해지면, 동작 주파수에 상관없이 일정한 소비전력을 나타내는 장점이 있다. 하지만, 동작 주파수가 낮을 때에는 전압모드 회로로 대표되는 디지털 회로보다, 소비전력이 크다는 단점을 갖게 된다.

따라서 본 논문에서는 저속 동작에서도 낮은 소비전력으로 전류모드 회로가 동작되도록, sub-threshold 영역에서 동작하는 MOSFET을 적용시킨 전류모드 회로 설계 기술을 제안한다. 2장에서는 sub-threshold 회로의 개요, 3장에서는 sub-threshold 전류메모리회로의 동작에 관하여 설명하고, 4장에서는 시뮬레이션 및 Layout 이 구현된 전류메모리 회로의 소비전력을 strong inversion 과 비교하여 나타내고, 5장에서는 결론을 기술한다.

II. Sub-threshold의 개요

전원 전압을 낮추기 위하여 MOSFET의 게이트 전압을 sub-threshold로 동작시키는 회로를 sub-threshold MOSFET 회로라고 한다. 식 (1)은 회로의 동적 소비전력을 나타낸다.

$$P_{dynamic} = \alpha C_{sw} V_{DD}^2 f_{clk} \quad (1)$$

여기서 α 는 activity factor, C_{sw} 는 switch capacitor, Δt 는 time delay를 의미한다.

식 1에서, 전력 소모를 감소시킬 수 있는 가장 효과적인 방법은 V_{DD} 를 scaling 하는 것이다. 그러나 V_{DD} 의 down scaling이 과하면 누설전류를 증가시키게 되며, 이는 곧 회로의 누설전력을 증가시킨다. 누설 전류는 sub-threshold 전류,

PN junction reverse BIAS 전류, DIBL(Drain Induced Barrier Lowering), oxide tunneling과 같은 다양한 요소들에 의해 발생된다. 이 중 sub-threshold에 의한 누설전류가 상당량을 차지한다. sub-threshold의 기본적인 전류식은 식 (2)와 같다[3].

$$I_{D:sub-threshold} = I_0 \exp\left(\frac{V_{GS} - V_{TH}}{n V_T}\right) \quad (2)$$

식 (2)에서 V_{DS} 가 인가되는 상태를 적용하면 sub-threshold 전류식은 식 (3)과 같이 전개된다.

$$I_{D:sub-threshold} = I_0 \exp\left(\frac{V_{GS} - V_{TH}}{n V_T}\right) \left(1 - \exp\left(\frac{-V_{DS}}{V_T}\right)\right) \quad (3)$$

여기서 V_T 는 열전압, n 은 sub-threshold slope factor를 의미하며 식 (3)에서의 I_0 는 식 (4)와 같이 정의된다.

$$I_0 = \mu_0 C_{ox} \frac{W}{L} (n-1)^2 V_T^2 \quad (4)$$

여기서 μ_0 는 이동도, C_{ox} 는 oxide capacitance, W 는 transistor의 Width, L 은 transistor의 Length를 의미한다.

식 (3)의 sub-threshold slope를 식 (5)와 같이 보정된다면,

$$S = n V_T \ln 10 \quad (5)$$

식 (3)의 sub-threshold 전류식은 식 (6)과 같이 변환된다.

$$I_{D:sub-threshold} = I_0 10^{\left(\frac{V_{GS} - V_{TH}}{S}\right)} \left(1 - \exp\left(\frac{-V_{DS}}{V_T}\right)\right) \quad (6)$$

Sub-threshold MOSFET을 이용한 저전력 회로를 설계하기 위해서는 sub-threshold 영역에서 MOSFET이 정상적으로 동작하여야 한다.

그림 2는 pMOSFET의 $V_{GS} - I_D$ 회로 시뮬레이션 결과를 나타낸다. 전류가 흐르는 시점의 전압 값인 0.8V를 문턱전압이라 정의한다면, 0.8V 이하에 전류가 흐르고 있음을 확인할 수 있다.

pMOSFET의 Length는 0.35 μ m, Width는 4 μ m로 설정하였으며, x축의 V_{GS} 는 0V에서 3.3V까지 sweep 하였고, 전원 전압인 V_{DD} 는 3.3V를 인가하였다.

그림 3은 sub-threshold 영역에서 동작시킨 pMOSFET의 $V_{DS} - I_D$ 시뮬레이션 결과를 나타내며, 마찬가지로, pMOSFET의 Length는 0.35 μ m, Width는 4 μ m로 설정하였으며, sub-threshold 영역에서 MOSFET이 정상 동작함을 확인하였다.

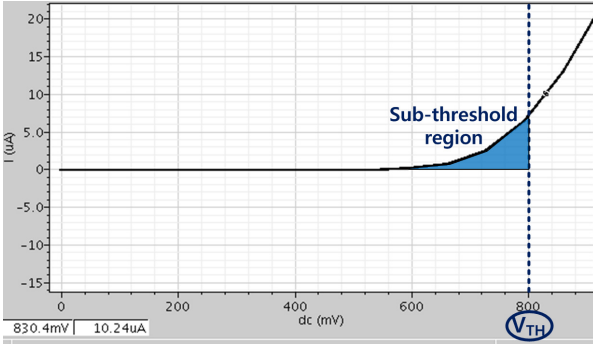


그림 2. pMOSFET의 $V_{GS}-I_D$ 회로 시뮬레이션 결과

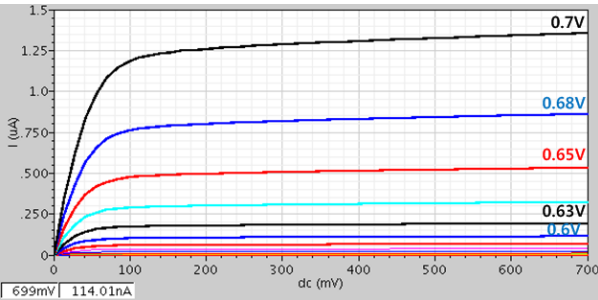


그림 3. Sub-threshold 영역에서 동작시킨 pMOSFET의 $V_{DS}-I_D$ 회로 시뮬레이션 결과

III. Sub-threshold 전류 메모리 회로 동작

전류모드 회로에서 중요 소자인 전류메모리 회로는 기본적으로 전류밀러 회로로 구성되며, 전류가 밀러 되는 수학적식은 식 (7)~(11)과 같다.

$$MOSFET \text{의 전류식 } I_{DS} = K(V_{GS} - V_{th})^2 \quad (7)$$

그림 4에서 MOSFET M3에 흐르는 전류 $J+i_{in}$ 는

$$J+i_{in} = K(V_{GS} - V_{th})^2 \quad (8)$$

식 (8)에서 V_{GS} 에 대해서 식을 전개하면,

$$V_{GS} = \sqrt{\frac{J+i_{in}}{K}} + V_{th} \quad (9)$$

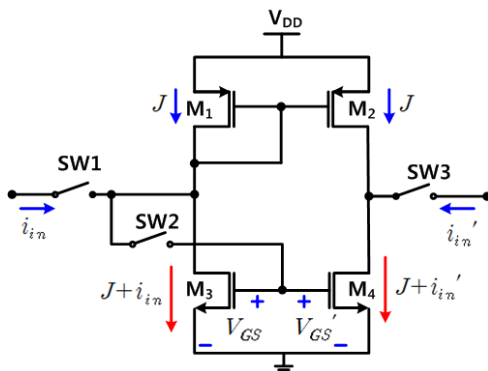


그림 4. 스위치 동작이 적용된 전류밀러 회로

그림 4에서 MOSFET M4에 흐르는 전류 $J+i_{in}'$ 는

$$J+i_{in}' = K(V_{GS}' - V_{th})^2 \quad (10)$$

V_{GS} 와 V_{GS}' 가 같은 path이므로 같은 전류가 흐른다. 따라서 식 10의 V_{GS}' 에 식 9를 대입하면 아래 식과 같다.

$$J+i_{in}' = K\left(\sqrt{\frac{J+i_{in}}{K}} + V_{th} - V_{th}\right)^2$$

$$J+i_{in}' = K \frac{J+i_{in}}{K}$$

$$J+i_{in}' = J+i_{in}$$

$$i_{in}' = i_{in} \quad (11)$$

식 (11)에서, $J+i_{in}'$ 과 $J+i_{in}$ 은 같은 양의 전류가 흐른다. 여기에 스위치 동작을 그림 5와 같이 적용하면 전류메모리 회로 동작이다.

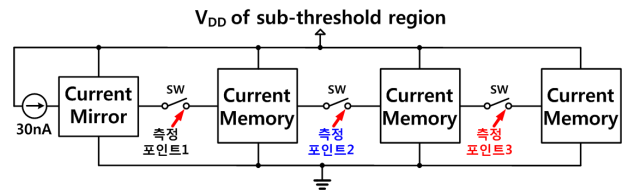


그림 5. sub-threshold 전류메모리 회로

그림 5는 전류메모리 동작 검증을 위한 회로도이다. 전류밀러 회로와 전류메모리 회로의 BIAS 전압을 sub-threshold 영역으로 인가하였으며, 전원전압도 낮아져서, 1.2V를 인가하였다.

그림 6은 sub-threshold를 적용한 전류메모리 회로에 대한 시뮬레이션 결과를 나타낸다. 바이어스 전류는 95nA, 입력 신호는 바이어스 전류에 0.3배인 30nA를 인가하였으며, 저전원 전압으로 전류메모리의 동작이 가능하게 됨을 확인하였다.

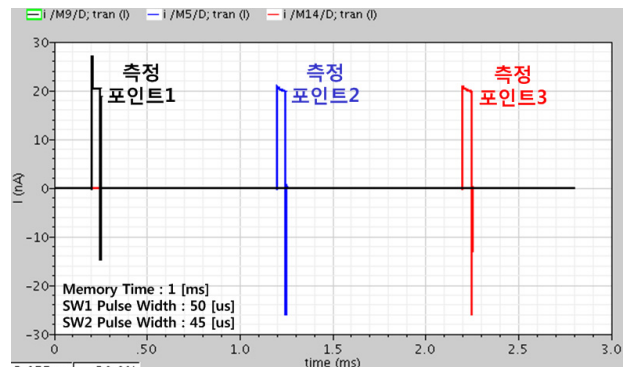


그림 6. sub-threshold 전류메모리 회로 시뮬레이션 결과

그림 7은 sub-threshold 영역에서 동작하는 전류메모리

회로의 LAYOUT 을 나타내며, 유효사이즈는 0.12mm x 0.03mm 를 나타낸다.

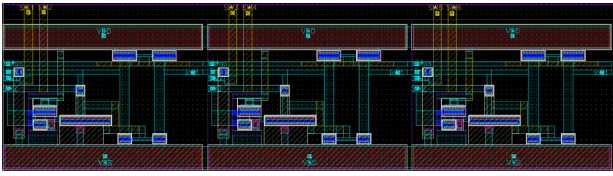


그림 7. 전류메모리회로의 LAYOUT (0.12mm x 0.03mm)

설계 및 시뮬레이션을 진행한 sub-threshold 영역의 전류메모리 회로는 strong-inversion 동작에서보다, 바이어스 전류를 크게 줄일 수 있었기 때문에, 시뮬레이션 결과, strong-inversion 동작 시, 평균 소비전력은 900[μW]가 계산되었고, sub-threshold 영역으로 회로를 동작 시, 18.98[μW]가 계산되어, 98%의 소비전력 절감효과가 있음을 확인했다.

IV. 결 론

본 논문에서는 사용자가 시스템을 사용하는 경우, 시스템의 Work Load에 따라 동적으로 전압 및 주파수를 가변시켜 저전력 동작을 유도하는 DVFS 기술에서, 전류모드 회로가 갖는 저속동작에서의 과도한 소비전력 문제를 해결하기 위하여, 저속 동작에서도 낮은 소비전력으로 전류모드 회로가 동작되도록, sub-threshold 영역에서 동작하는 MOSFET을 적용시킨 전류모드 회로 설계 기술을 제안하였다.

sub-threshold 전류메모리회로에 대한 동작을 검증한 시뮬레이션 및 Layout 구현된 전류메모리 회로로부터 소비전력을 strong inversion 과 비교하여 산출한 결과, 평균 소비전력은 98%의 소비전력 절감효과가 있음을 확인했다.

이 결과는 전압모드 회로를 보완할 수 있는 전류모드 회로 기술의 응용이 DVFS에 의한 저전력화에 매우 유용할 것으로 기대된다.

참 고 문 헌

[1] Seo Y, Kim J, Seo E, "Effectiveness Analysis of DVFS and DPM in Mobile Device", JOURNAL OF COMPUTER SCIENCE AND TECHNOLOGY, Vol.27, No. 4, pp. 781-790, July 2012

[2] Naveen Kumar Kancharapu, Marshnil Dave, Veerraju Masimukkula, Maryam Shojaei Baghini, Dinesh Kumar Sharma, "A Low-Power Low-Skew Current-Mode Clock Distribution Network in 90nm CMOS Technology", IEEE Computer Society Annual Symposium on VLSI, Vol.89, No.5, pp. 132-137, 2011

[3] 이성태, 김정범, "Sub-Threshold 회로를 이용한 초 저 전력 32-비트 파이프라인 MAC(multiplication-and -accumulation) 회로 설계, 한국정보기술학회논문지, 제9권, 제7호, pp. 17-23, July, 2011

[4] Alice Wang, Benton H, Calhoun, and Anantha P. Chandrakasan. "SUB-THRESHOLD DESIGN FOR ULTRA LOW-POWER SYSTEMS", Springer, 2006

[5] 전영득, 조민형, 이희동, 권종기, 김중대, "저전력 아날로그 회로기술", 전자통신동향분석 제23권, 제6호, pp.81-91, Dec, 2008

[6] L. P. Alarcon, T.-T. Liu, M. D. Pierson, J. M. Rabaey, "Exploring Very Low-Energy Logic: A Case Study", Journal of Low Power Electronics, Vol. 3, No. 3, pp. 223-233, 2007

[7] Behzad Razavi, "Design of Analog CMOS Integrated Circuit", McGraW-HILL INTERNATIONAL EDITION, 2001

[8] Ganesh Kumar Balachandran, Phillip E. Allen, "Switched-Current Circuits in Digital CMOS Technology With Low Charge-Injection Errors", IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. 37, No. 10, pp. 1271-1281, 2002

[9] G. Giustolisi, G. Palumbo, M. Criscione, F. Cutri, "A Low-Voltage Low-Power Voltage Reference Based on Subthreshold MOSFETs", IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. 38, No. 1, pp. 151-154, January 2003.

[10] ERIC VITTOZ, JEAN FELLRATH, "CMOS Analog Integrated Circuits Based on Weak Inversion Operation", IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. SC-12, No. 3, pp. 224-231, JUNE 1977

저자

조 승 일 (Seung-II Cho)

정희원



· 2006년 : 목포해양대학교
해양전자통신공학부 공학사

· 2008년 : 동대학교 대학원
해양전자공학과 공학석사

· 2008~2010년 : TOMATO LSI
R&D사업부 주임연구원

· 2010~2013년 : 일본 YAMAGATA대학교 이공학연구과
공학박사

· 2013년~현재 : 일본 YAMAGATA 대학교 이공학연구과
Research Fellow

<관심분야> : Adiabatic logic circuit, 아날로그 디지털 mixed
회로설계

여 성 대 (Sung-Dae Yeo)

정회원



- 2011년 2월 : 국립목포해양대학교
해양전자통신공학부 공학사
- 2013년 2월 : 국립서울과학기술대학교
NID융합기술대학원 공학석사
- 2013년 3월~현재 : 서울과학기술대학
교 NID융합기술대학원 박사과정

<관심분야> : Analog/Digital mixed 회로설계, 저전력 회로 설계, Sub-threshold 회로 설계

이 경 량 (Kyung-Ryang Lee)

정회원



- 2006년 : 명지대학교 컴퓨터공학과
- 2009~2011년 : 서울과학기술대학교
NID융합기술대학원 석사
- 2011년~현재 : 서울과학기술대학교
NID융합기술대학원 박사과정

<관심분야> : VLSI, SoC, POSIX

김 성 권 (Seong-Kweon Kim)

정회원



- 2002년 : 일본TOHOKU대학교 대학원
전자공학과(공학박사)
- 2002~2004년 : 일본TOHOKU대학교
전기통신연구소 Assistant Professor
& Research Fellow
- 2004~2009년 : 목포해양대학교
해양전자통신공학부 조교수

· 2009년~현재 : 서울과학기술대학교 전자IT미디어공학과
부교수

<관심분야> : 무선통신용 IC설계, 고주파/Analog 회로설계