2013년 10월 전자공학회 논문지 제 50 권 제 10 호
Journal of The Institute of Electronics Engineers of Korea Vol. 50, NO. 10, October 2013 http://dx.doi.org/10.5573/ieek.2013.50.10.091

논문 2013-50-10-10

자가보정 바이어스 기법을 이용한 Current Steering 10-bit CMOS D/A 변환기 설계

(Design of a Current Steering 10-bit CMOS D/A Converter Based on a Self-Calibration Bias Technique)

임 채 열*, 이 장 우*, 송 민 규**

(ChaeYeol Lim©, JangWoo Lee, and MinKyu Song)

요 약

본 논문에서는 NTSC/PAL 아날로그 TV를 구동하기 위한 10-bit current steering D/A 변환기를 제안하였다. 제안하는 D/A 변환기는 50MS/s 의 동작속도를 가지며, 6+4 분할 구조로 설계되었다. 또한 새로운 개념의 자가보정 바이어스 기법을 적용하여 칩 내부의 종단저항을 사용하고도 공정오차를 최소화 하였다. 제안하는 D/A 변환기는 3.3V 0.11um 1-poly 6-metal CMOS 공정을 사용하여 제작되었다. 제작된 칩의 유효 면적은 0.35mm^2, 3.3V 전원전압 상에서 약 88mW의 전력소모를 나타내었다. 실험 결과는 변환 속도 50MS/s, 입력 주파수 1MHz에서 SFDR 63.1dB의 특성을 나타내었다.

Abstract

In this paper, a current steering 10-bit CMOS D/A converter to drive a NTSC/PAL analog TV is proposed. The proposed D/A converter has a 50MS/s operating speed with a 6+4 segmented type. Further, in order to minimize the device mismatch, a self-calibration bias technique with a fully integrated termination resistance is discussed. The chip has been fabricated with a 3.3V 0.11um 1-poly 6-metal CMOS technology. The effective chip area is 0.35mm^2 and power consumption is about 88mW. The experimental result of SFDR is 63.1dB, when the input frequency is 1MHz at the 50MHz of sampling frequency.

Keywords : D/A Converter, self-calibration, current steering, segmented

Ⅰ. 서 론

D/A변환기(Digital-to-Analog Converter, DAC)는 Digital 신호를 Analog 신호로 바꾸어 주는 아날로그 혼성모드 시스템의 대표적인 회로이다. 최근 개발되고 있는 통신 시스템 및 고속 영상 신호 처리 시스템이 시스템 온 칩 (System On Chip, SOC)으로 구현되고 있는 추세에서, DAC 는 IP(Intellectual Property)로서도 그 활용 가치가 매우 높다. 또한, 이러한 시스템에 필수적인 인터페이스로 사용되는 고속, 고해상도의 DAC는 점점 더 중요한 블록으로 자리 잡아가고 있다.

일반적으로 출력에 연산증폭기를 이용한 전압구동 방식으로 DAC를 설계할 경우 출력 전압의 settling time 이 연산증폭기의 Slew Rate에 의존하기 때문에 고속의 Application에는 적합하지 않다. 따라서 고속, 고해상도의 DAC를 구현하기 위해서는 대부분 우수한 성

* 학생회원, ** 평생회원, 동국대학교 반도체과학과
(Department of Semiconductor Science, Dongguk University)
© Corresponding Author(E-mail: aprilnights@hanmail.net)
※ 본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업중 SIDRC (System IC Design Research Center) 의 연구결과로 수행되었습니다. (NIPA-2013-H0301-13-1013)
접수일자: 2013년4월15일, 수정완료일: 2013년9월25일

능의 전류원과 Switch를 사용하는 전류 구동 방식(Current Steering) 방식으로 상·하위 Bit를 분할하여 사용하고 있다[1~17]. 전류구동방식의 경우 빠른 동작 속도와 고해상도를 얻기 위해서는 칩의 외부 또는 내부에 종단저항(Termination Resistor)을 구현하고 여기에 직접 전류를 인가한다. 최근에는 DAC의 종단저항을 모두 회로 내부에 집적화하여 DAC 의 IP로서의 역할을 증대하고 있다. 그러나 종단저항의 비이상적인 특성과 Current Cell의 비선형적인 bias 공급 때문에 종단저항을 칩 내부에 집적화할 경우, 많은 문제가 발생하고 있다[3~5]. 본 논문에서는 이런 문제를 개선하기 위해 새로운 자가보정기법을 제안한다.

본 논문에서는 10-bit 해상도와 50MS/s 의 변환속도를 만족하는 DAC를 제안한다. 10-b 50MS/s 의 DAC 는 그림 1과 같은 NTSC/PAL TV 의 구동시스템에 사용된다. 제안하는 DAC는 면적 및 전력 소모를 최소화하고 최대 50MHz의 변환속도와 정확도를 만족하기 위하여 6+4 의 분할구조로 구성하였다. 상위 6-bit은 우수한 단조 증가성(Monotonicity)과 낮은 글리치(Glitch) 에너지를 갖는 Thermometer Code 기법을 이용한 전류 셀 매트릭스(Current Cell Matrix)로 구성하였으며 하위 4-bit은 상위 구조와 같은 전류 셀 매트릭스로 설계하였다. 전력 소모 감소 및 부정합을 개선하기위해 기존에 사용되던 logic 및 latch를 단일화 시킬 수 있는 회로를 제안하였고, 스위칭 방식의 디코더를 사용하였으며 각 신호의 간섭을 막기 위해서 전원 전압을 분리하였다. 특히 Current Cell에 흐르는 전류를 조정하는 D/A 변환기의 종단 저항(Termination Resistor)을 칩 내부로 구현하고, 소자의 mismatching에 의해 발생하는 노이즈를 최소화하기 위해, 발생하는 voltage error들을 feedback loop를 통해서 스스로 보정하는 self-calibration biasing기법을 적용하여 DAC의 성능을 크게 개선하였다[3].

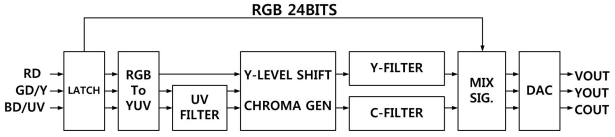


그림 1. NTSC/PAL analog TV 시스템
Fig. 1. Block Diagram for NTSC/PAL analog TV.

Ⅱ. 제안하는 Current Steering DAC의 설계

1. 제안하는 DAC의 구조

설계된 10-bit DAC는 고해상도 동작을 위하여 MSB, LSB 를 모두 Matrix 구조로 설계하였다. Matrix 구조의 D/A 변환기는 정확한 단조 증가성과, INL/DNL Error 감소의 장점이 있으며, 정확한 Analog 출력을 나타냄으로써 고해상도 D/A 변환기의 구현에 가장 적합하고 널리 쓰이는 구조이다. 일반적으로 상·하위 Bit를 분할하여 사용할 때 상위 Bit의 경우 Thermometer Code 기법을 대부분 사용하는데 상위 Bit의 수, 즉 N 값이 커질수록 Binary Code를 Thermometer Code로 변환해 주는 Decoder 회로가 (2^N-1)로 기하급수적으로 복잡해진다. 따라서 이러한 단점을 보완하기 위해 Current Cell Matrix 기법을 사용하여 Decoder의 크기를 최소화하였다. 또한 공정상 생길 수 있는 부정합에 의한 선형성 감소는 제안하는 간단한 구조의 2차원 대칭적인 스위칭 디코더를 통해 크게 개선하였다. 전류 출력 방식의 D/A 변환기는 종단 저항(Termination Resistor)을 칩 내부로 구현하면서 전체 흐르는 전류를 원하는 시스템의 주파수에 맞게 조절하여 전력소모를 최소화 하였으며, 본 논문에서 제안하는 Self calibration bias기법을 적용하여 기존의 전류원보다 좀 더 안정적인 전압을 공

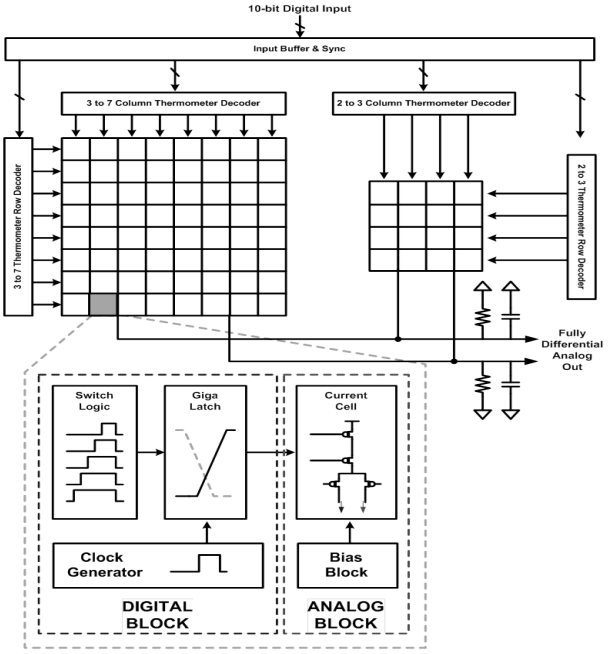


그림 2. 제안하는 DAC 전체구조도
Fig. 2. Structure for the Proposed DAC.

급 할 수 있도록 하였다.

설계된 D/A 변환기의 전체 구조를 그림 2 에 나타내었다. 10-Bit 의 입력 신호는 Input Data Sync. Block 을 통하여 지연시간이 보정되어 상위 6-bit, 하위 4-bit 으로 나누어져 Row & Column 디코더를 거쳐 Thermometer Code 형태로 변환된다. 변환되어진 입력 신호는 제안하는 Switching Logic 을 통하여 전류원의 스위치를 제어함으로써 출력 전류를 제어한다. 마지막으로 출력 전류는 종단 저항을 통하여 입력 신호에 해당하는 아날로그 전압을 생성하게 된다.

2. 디지털 블록의 설계

그림 3은 제안하는 디지털 스위칭 로직의 회로도이다. 기존의 NAND 와 OR로 구성했던 Cell Decoder를 간단한 새로운 구조로 설계했다. 또한 여기서 출력되는 서로 위상이 180°차이나는 두 스위칭신호가 정확히 동기화 되도록 두 개의 래치를 사용하여 신호의 전달 지연

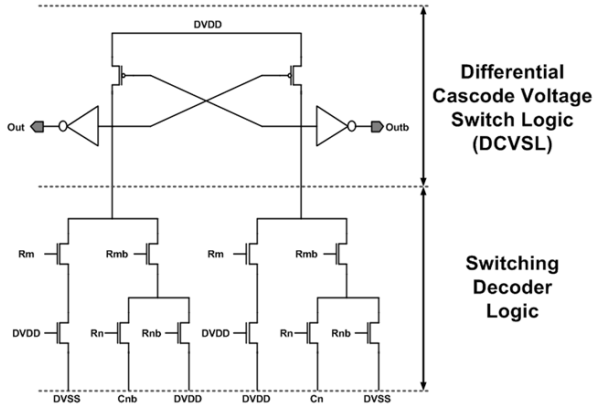


그림 3. 제안하는 Switching Cell Logic
Fig. 3. Proposed Switching Cell Logic.

표 1. 스위칭 디코더의 전력소비 및 면적 비교
Table 1. Comparison of Power Consumption and Area.

Type	Power Consumption	Number of Tr.
Logic + DFF	454uW	25↑
Logic + Giga Latch	641uW	20↑
Deglitching Logic + Switching Decoder	293uW	14
Proposed Circuit	**235uW**	**12**

시간이 같도록 하였다. Switching Cell Logic은 BDD(Binary Decision Diagram) 기법을 이용하여 설계를 한다. BDD 기법을 사용하게 되면 NMOS만을 사용하기 때문에 출력 값이 threshold 전압만큼 낮아지게 되는데 이를 해결하기 위해서 레벨 복원 회로를 삽입해야한다. 여기서는 DCVSL(Differential Cascode Voltage Switch Logic)의 특성을 이용하여 기존에 사용하던 회로의 성능을 개선하였다[4~5]. 제안하는 Switching Cell Logic 은 기존의 Logic보다 절반 가까이 전력소모를 줄일 수 있었다. 고속 동작이 가능하고 기존의 Logic과 비교하여 전체 사용되는 transistor의 개수를 줄임으로써 사이즈 또한 작게 가져갈 수 있다. 또한 Crossing point를 낮게 가져가서 Glitch를 작게 하였다. 전체 블록 내에서는 데이터들이 서로 정확히 동기 될 수 있도록 위상이 서로 다른 clk1, clk2로 입력 데이터와 Giga Latch 의 데이터를 서로 동기화 시켜 Digital Block의 최종 출력을 Analog Block의 Switching MOS 로 신호를 전달시켰다.

3. 아날로그 전류셀의 설계

아날로그 전류셀은 D/A 변환기의 성능을 결정하는 가장 중요한 회로이다. 전류셀은 1-LSB 전류원에 맞는 정확한 출력을 나타내어야 하며 고속 동작이 가능해야 한다. 또한 해상도의 증가에 따라 요구되는 Output Impedance 를 만족해야 한다. 표 2에 해상도에 따른 Output Impedance 의 변화 값을 나타내었다. Output Impedance는 DAC의 성능을 좌우하는 INL, DNL, SNDR, SFDR 등과 밀접한 연관이 있다. Output Impedance를 키우게 되면 전류 셀의 출력노드의 흔들림의 최소화 하는 역할을 하기 때문에 안정적인 전류 값을 구할 수 있다. 이러한 결과는 정적인 성능을 좌우하는 INL, DNL의 성능을 향상시킬 뿐만 아니라 동적인 성능인 SNDR, SFDR의 성능도 향상시킨다.

아날로그 전류셀은 보통 Switching MOS 2개와 원하는 출력 값을 만들기 위한 MOS 1개로 구성된다. 하지

표 2. 해상도와 출력 임피던스의 관계
Table 2. Resolution and Output Impedance.

해상도 / 임피던스	8bit	**10bit**	12bit	14bit	16bit
Rout[Ω]	1.3M	**20.4M**	328M	5.2G	83.2G

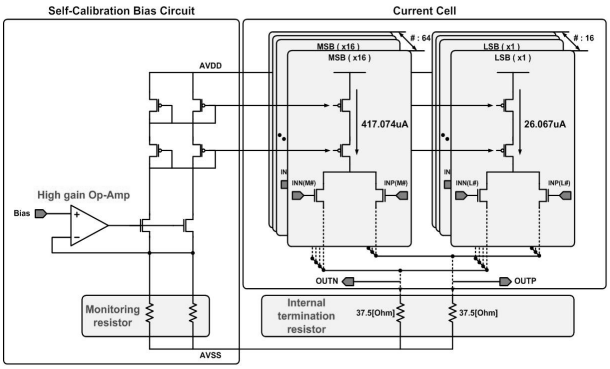


그림 4. 아날로그 전류셀의 회로도
Fig. 4. Circuit Diagram for the Current Cell.

만 최근에는 고해상도와 고속 동작을 얻기 위해 전류셀을 cascode 방식으로 가져간다. 이것은 Output Impedance를 키워 DAC의 성능을 향상시키기 위함이지만, 면적이 커지고 Glitch가 크게 발생하는 단점이 있다. 본 논문에서 사용된 기본적인 Current Cell의 구조는 그림 4 와 같다. 하나의 Unit Cell을 구성한 후에 하위 4-bit 에는 16-unit cell 전류가 흐르고 상위 6-bit 에는 64-unit cell 전류가 흐르게 된다. 제안하는 전류 셀은 소자 간 부정합을 최소화하기 위해 하위 4-bit의 전류셀은 전류원 역할을 하는 PMOS의 Width를 16배로 가져가는 방식을 택하지 않고 16개를 병렬로 가져가는 형태로 구현하였다. 이렇게 구현된 하위 4-bit의 기본 전류 셀과 상위 6-bit의 16배 전류 셀의 스위칭 PMOS에 대해서는 스위칭 신호에 대해 같은 입력 커패시턴스와 포화전압을 갖도록 소자 종횡비를 가져갔다. 마지막으로 Self calibration bias 기법을 사용하기 위하여 종단저항(termination resistance)를 칩 내부로 배치한다.

4. 제안하는 자가 보정회로

그림 5는 본 논문에서 제안하는 자가보정 회로도이다. 종단저항(R_T)을 칩안에 내장했기 때문에 공정상의 오차로 인해 종단저항의 평균오차는 ±10% 내외이다. 만일 종단저항값이 초기에 설정한 37.5Ω 보다 커지거나 작아진다면, 출력전압값 역시 크게 달라진다. 이를 보정하기 위해 본 논문에서는 전류원을 만들어 주는 회로에 일부러 바이어스 저항(R_B)을 연결하였다. 그리고 R_T 와 R_B는 하나의 well 안에 레이아웃을 만들었다. 이 경우, 저항의 오차가 생기면, R_T 와 R_B 는 같이 커지거나 작아진다. 만일 R_T와 R_B가 같이 작아지면, 전류원에서 발생하는 기준 전류값은 R_B 가 작아지므로 오히려 커지

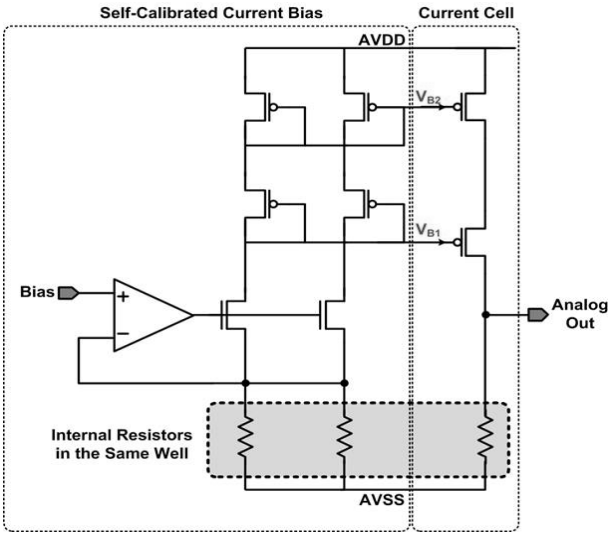
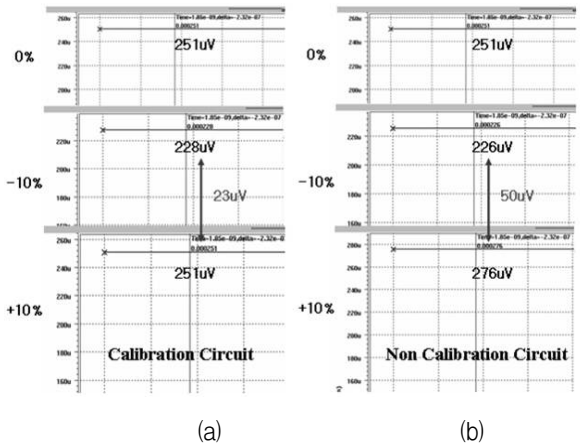


그림 5. 제안하는 자가보정회로
Fig. 5. Circuit Diagram of self-calibration bias.



(a) (b)

그림 6. 자가 보정회로 SPICE 시뮬레이션 (a) 보정 후, (b) 보정 전의 전압 변화
Fig. 6. Simulation Results of Self-Calibration Circuit (a)calibrated (b)non-calibrated.

게 된다. 이것이 cascode 전류거울을 통해 반복되어 최종단의 전류셀로 연결되므로, 전류셀의 종단저항에 인가되는 전류값은 커지게 된다. 따라서 출력전압은 일정한 값을 유지한다. 반대로 R_T와 R_B가 같이 커질 경우에는 종단 저항으로 인가되는 전류값이 작아져서 결국 출력전압은 항상 일정하게 된다. 그림 6은 이를 SPICE를 통해 모의실험한 결과이다. 자가보정회로를 이용하지 않을 경우에는 출력전압의 오차값이 50uV 인데 비해, 자가보정을 한 경우에는 오차값이 23uV로 줄어들었다. 따라서 제안하는 자가보정회로는 종단저항을 칩내부에 집적화할 때, 매우 유용한 기법이라고 할 수 있다.

Ⅲ. 측정결과

설계된 10-bit Current Steering DAC의 동작을 확인하기 위해 full-code post-layout 모의실험을 실시하였다. 그림 7은 DAC에 인가된 디지털 선형 입력과 이에 따른 아날로그 출력의 단조 증가성을 확인한 결과이다. 제안하는 DAC는 동부 110nm 1P6M CMOS 공정을 사용하여 칩이 제작되었다. 그림 8은 DAC의 전체 칩사진을 보여주고 있다. 정확한 데이터 동기화를 위하여 Clock 신호는 Tree 구조의 Layout 기법을 이용하여 기생 저항 성분을 같게 하고 동일한 delay를 가지도록 신호 라인을 라우팅 하였다[12]. Routing시 신호에 발생할 수 있는 기생 성분을 제거하기 위하여 Decoupling capacitor를 통해 최소화 하였다. 또한 Current Cell에 안정적인 Bias를 인가하기 위하여 종단저항을 온-칩으로 집적화하고 Self Calibration Circuit을 통해서 저항의 공정적인 오차를 보정하였다. DAC의 입출력 패드를 제외한 DAC Core의 칩 면적은 0.35mm^2 이며, 3.3V 전원 전압에서 50MS/s의 샘플링 주파수를 가지고 동작할 때 88mW의 최대전력을 소모하였다.

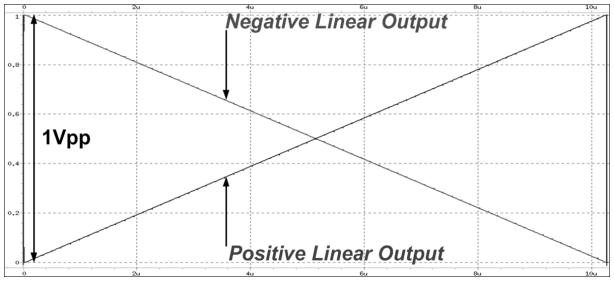


그림 7. DAC의 Full code SPICE 결과
Fig. 7. SPICE simulation results for full code inputs.

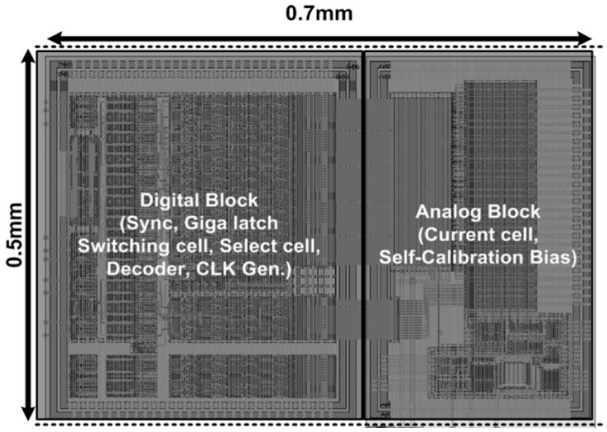


그림 8. 제안된 DAC의 칩사진
Fig. 8. Chip photograph for the proposed DAC.

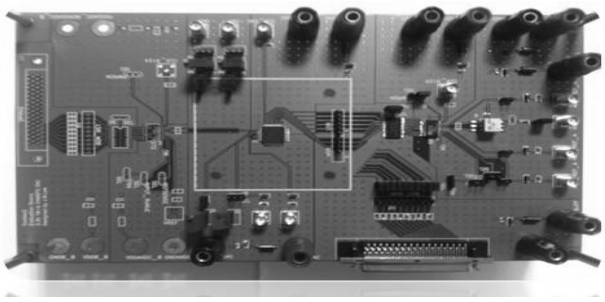


그림 9. 측정을 위한 PCB 사진
Fig. 9. Photograph of PCB for chip measurement.

제작된 DAC는 Gage社의 Compuscope 3200을 사용하여 주요성능을 측정하였다. Compuscope 3200은 DAC의 성능 측정을 할 수 있는 software가 내장되어 있는 측정 보드로써 digital capture board 에 의해 얻어진 출력 데이터에 의해 SNR, DNL, INL 등의 확인이 가능하다. 특히 측정의 높은 신뢰도를 위하여 Labview

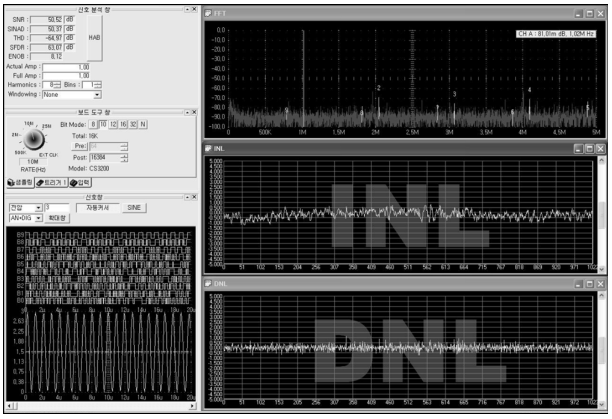


그림 10. SNDR, INL, DNL 측정 결과
Fig. 10. Measured results for SNDR, INL, and DNL.

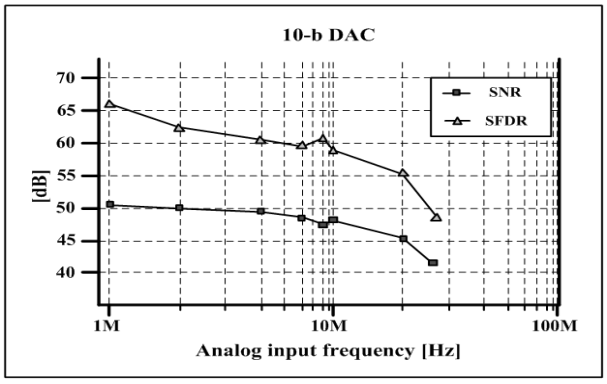


그림 11. 입력주파수 변화에 따른 SFDR, SNR 측정결과 (Fs=50MHz)
Fig. 11. Measured SFDR and SNR vs input frequency (Fs=50MHz).

system을 통해 입, 출력 단자를 실시간 조정하여 DAC의 특성을 측정하였다. DAC의 주요 성능 지표중 하나인 INL, DNL의 측정결과를 확인하기 위하여 그림 9과 같이 PCB(Print Circuit Board)를 제작하여 측정하였다.

그림 10은 제안하는 DAC의 Self calibration bias 동작 후의 FFT 스펙트럼 측정결과이다. 샘플링 주파수는 50MS/s이며 이때의 입력주파수(1MHz)와 Harmonic 성분을 스펙트럼 측정 결과로 확인할 수 있다. 이 때 INL/DNL은 ±1.5LSB/±1LSB 의 값을 얻었다. 측정결과 SNDR, SFDR 은 각각 50.1dB, 63.1dB 으로 측정이 되었다. 그림 11은 DAC의 동적 성능을 종합한 결과로 샘플링 주파수 50MHz에서 입력주파수에 따른 SNR, SFDR의 결과이다.

Ⅳ. 결 론

본 논문에서는 동부 0.11um 공정을 사용하여 NTSC/PAL TV에 사용 가능한 10-bit 50MS/s Current Steering DAC를 설계하였다. 전체적인 구조는 고속 동작 및 고해상도를 만족시키기 위하여 분할구조로 설계하였으며, 소면적 구현을 위하여 MSB 6-bit, LSB 4-bit 구조로 설계하였다. 온 칩 화시킨 종단저항의 공정오차를 최소화하는 Self calibration 바이어스 회로를 제안하여 자가보정이 가능하도록 하였다. 구현된 DAC는 3.3V의 전원 전압에서 동작하며, 칩의 면적은 0.35mm^2 이고, PCB 보드를 이용하여 동적, 정적 특성에 대해 측정하였다. 측정 결과 INL/DNL 은 각각 ±1.25LSB/±1LSB 이며, SFDR 은 샘플링 주파수 50MS/s의 동작 속도에서 63.1dB 의 특성을 보였으며, 이 때 최대 88mW의 전력을 소모하였다. 최종 FOM(Figure of Merit) 계산 결과 6.42pj/Conv. 으로 계산되었다.

REFERENCES

[1] G. Van der Plas, et al., “A 14-bit Intrinsic Accuracy Q2 Random Walk CMOS DAC,” IEEE J. Solid-State Circuits, vol. 32, pp. 1708-1718, Dec. 1999.

[2] Yonghua Cong, et al., “A 1.5V 14b 100MS/s Self Calibrated DAC.” ISSCC Dig. Tech. Papers, pp 128-129, Feb., 2003.

[3] A. Van den Bosch, et al., “SFDR Bandwidth Limitations for High Speed High Resolution Current Steering CMOS D/A Converters,” Proc. ICECS, pp. 1193-1196, 1999.

[4] J. Hyde et al., “A 300-MS/s 14-bit Digital-to-Analog Converter in Logic CMOS,” IEEE Journal of Solid-State Circuits, vol. 38, no. 5, pp. 734-740, May, 2003.

[5] Q. Huang et al., “A 200MS/s 14b 97mW DAC in 0.18um CMOS,” ISSCC Dig. Tech. Papers, pp. 364-365, Feb., 2004.

[6] Luschas S., et al., “Output impedance requirements for DACs,” Proceedings of the 2003 ISCAS, Volume:1, pp. I-512-515, May, 2003.

[7] Georgi I. Radulov et al., “An on-chip self-calibration method for current mismatch in D/A Converters,” ESSCIRC,, pp. 169-172, Sept. 2005.

[8] Mikael Gustavsson, J. Jacob Wikner, Nianxiong Nick Tan, “CMOS Data Converters for Communications”, Kluwer Academic Publishers., 2000, pp. 87-124

[9] Chi Hung Lin and Klaas Bult, “A 10-b 500Msample/s CMOS DAC in 0.6mm2” IEEE J. Solid-State Circuits, vol. 33, no. 12, pp. 1948-1958, Dec. 1998.

[10] J. H. Kim and K. S. Yoon, “An 8-Bit CMOS 3.3V 65MHz Digital to Analog Converter with a Symmetric Two-Stage Current Cell Matrix Architecture” IEEE Trans. Circuits Systs.Ⅱ, vol. 45, no. 12, pp. 1605-1609, Dec. 1998.

[11] J. H. Kim and K. S. Yoon, “An 8-Bit CMOS 3.3V 65MHz Digital to Analog Converter with a Symmetric Two-Stage Current Cell Matrix Architecture” IEEE Trans. Circuits Systs.Ⅱ, vol.45, no. 12, pp. 1605-1609, Dec. 1998.

[12] Ueno, T. et al., “A 1.2-V, 12-bit, 200M sample/s current-steering D/A converter in 90-nm CMOS,” CICC, pp. 747-750, Sept., 2005.

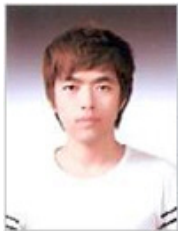
[13] M. Borremans, A. V. den Bosch, M. Steyaert, and W. Sansen, “A low power, 10-bit CMOS D/A converter for high speed applications,” in Proc. IEEE Custom Integrated Circuits Conf. (CICC), May 2001, pp. 157 - 160.

[14] Samiran Halder, Swapna Banerjee, Arindrajit Ghosh, Ravi sankar Prasad, Anirban Chatterjee, Sanjoy Kumar Dey, “A 10-bit 80-MSPS 2.5-V 27.65-mW 0.185mm2 Segmented Current Steering CMOS DAC”, VLDIS, 2005.

[15] Jurgen Deveugele, Member, IEEE, and Michiel S. J. Steyaert, “A 10-bit 250-MS/s Binary-

Weighted Current-Steering DAC", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 41, NO. 2, FEBRUARY 2006
[16] Chi-Hung Lin and Klaas Bult, "A 10-b, 500-MSample/s CMOS DAC in 0.6 mm2", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 33, NO. 12, DECEMBER 1998.
[17] Anne Van den Bosch, Marc A. F. Borremans, Michel S. J. Steyaert Senior, Willy Sansen,"A 10-bit 1-GSample/s Nyquist Current Steering CMOS D/A Converter", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 36, NO. 3, MARCH 2001.

저 자 소 개



임 채 열(정회원)
2012년 동국대학교 반도체과학과 학사 졸업.
2013년 동국대학교 반도체과학과 석사 과정.
<주관심분야 : 데이터 변환기 회로 설계, Digital-to-Analog Converter 설계>

송 민 규(정회원)
1986년 서울대학교 전자공학과 학사 졸업.
1988년 서울대학교 전자공학과 석사 졸업.
1993년 서울대학교 전자공학과 박사 졸업.
1993년～1995년 동경대학교 초빙연구원.
1995년～1997년 삼성전자 ASIC 설계팀 연구원.
1997년～현재 동국대학교 반도체과학과 교수.
<주관심분야 : CMOS 아날로그 회로 설계, 저 전력 혼성모드 회로 설계, 데이터 변환기 설계>

이 장 우(정회원)
2012년 동국대학교 반도체과학과 학사 졸업.
2013년 동국대학교 반도체과학과 석사 과정.
<주관심분야 : 데이터 변환기 회로 설계, Analog-to-Digital Converter 설계>