

파워 클램프용 높은 홀딩전압을 갖는 사이리스터 기반 새로운 구조의 ESD 보호회로

The novel SCR-based ESD Protection Circuit with High Holding Voltage Applied for Power Clamp

이병석*, 김종민**, 변중혁**, 박원석**, 구용서**

Byung-Seok Lee*, Jong-Min Kim**, Joong-Hyeok Byeon**, Won-suk Park**, Yong-Seo Koo**

Abstract

In this paper, we proposed the novel SCR-based ESD protection circuit with high holding voltage for power clamp. In order to increase the holding voltage, the floating p+ and n+ to n-well and p-well, respectively, in the conventional SCR. The resulting increase of the holding voltage of the our proposed ESD circuit enables the high latch-up immunity. The electrical characteristics including ESD robustness of the proposed ESD circuit have been simulated using Synopsys TCAD simulator. According to the simulation result, the proposed device has higher holding voltage of 4.98 V than that of the conventional SCR protection circuit. Moreover, it is confirmed that the device could have the holding voltage of maximum 13.26 V with the size variation of floated diffusion area.

요 약

본 논문에서는 파워클램프용 높은 홀딩 전압을 갖는 사이리스터(SCR: Silicon Controlled Rectifier) 구조에 기반한 새로운 구조의 ESD 보호회로를 제안하였다. 제안된 보호회로는 기존의 SCR 구조의 p-well과 n-well에 floating p+, n+를 삽입하여 홀딩 전압을 증가 시켰다. 제안된 보호회로는 높은 홀딩전압 특성으로 높은 래치업 면역성을 갖는다. 본 연구에서 제안된 보호회로의 전기적 특성 및 ESD 감내특성을 확인하기 위해 Synopsys사의 TCAD Tool을 이용하여 시뮬레이션을 수행하였다. 시뮬레이션 결과 제안된 보호회로는 기존 SCR 기반 ESD 보호회로보다 약 4.98 V의 높은 홀딩전압과 추가적인 floating 영역의 사이즈 변화로 최대 13.26 V의 홀딩전압을 갖는 것을 확인하였다. 또한 기존 SCR 기반 보호회로와 동일한 수준의 감내특성을 갖는 것으로 확인되었다.

Key words : ESD Protection Circuit, Power Clamp, Holding Voltage, SCR, Robustness

*Dept.of Electronics and Electrical Engineering,
Dankook Univ.(bangbang01@dankook.ac.kr)
031-8005-3625

** Technical Enabling, Dongbu Hitek

★ Corresponding author

※ Acknowledgment : This work was supported by the IT R&D program of MKE/KEIT[10035171, Development of high Voltage/Current Power Module and ESD for BLDC motor]] and Ministry of Knowledge Economy(MKE) and Korea Institute for

Advancement of Technology(KIAT) through the Research and Development for Regional Industry [70011347, Development of Driver IC Module and High Voltage/High Speed Switching Power MOSFET based on Silicon Semiconductor].

Manuscript received Jun. 21, 2013; revised Jun. 28, 2013
; accepted Jun. 27. 2013

I. 서론

반도체 공정기술의 발달은 집적회로의 소형화와 고집적화를 가능하게 하였다. 그러나 소형화되고 고집적된 회로는 내성은 낮아지고 칩의 동작 중 또는 동작 이전에 파괴 되는 현상이 대두되고 있다. 그원인의 하나인 ESD/EOS(Electricstatic Discharge/Electrical Overstress)는 집적회로 파괴 및 오작동의 상당한 비율을 차지하며 ESD/EOS에 의한 손상은 전체 반도체 집적회로의 1/3 이상을 차지하고 있으며, 그 중 약 10% 이상이 ESD에 의한 문제로 알려져 있다[1]. ESD는 집적회로의 제조 과정부터 동작 순간까지 어느 순간이나 손상을 입힐 수 있으며, 반도체 산업에서 제품의 품질과 신뢰성 측면에서 중요한 문제로 고려되고 있다[2]. 이러한 이유 때문에 ESD는 반도체 집적회로의 안정성 문제와 신뢰성 문제에서 가장 중요한 항목 중에 하나이며, ESD 현상이 잘 제어 되어야 한다. 이를 방지하기 위해 다년간 연구가 진행되어 다양한 ESD 보호소자와 회로가 개발되었다[3]. 일각에서는 일정수준 이하(HBM 1kV, MM 30V)의 낮은 감내특성도 ESD로 부터 집적회로를 보호할 수 있다고 주장하고 있으나 세트레벨의 모듈 제조업체 등에서는 더 높은 ESD 보호성능을 요구하고 있다[4]. 특히, 자동차 부품이나 LSI(Large scale integrated circuit) 부품은 매우 높은 감내특성이 요구되고 있다. 또한, 모터 컨트롤(Motor controll)이나 파워 매니지먼트(Power management) 및 디스플레이 드라이버 IC(Display driver IC)등 고전압(High Voltage) 어플리케이션(Application)이 증가하고 있으며 이에 따라 높은 감내특성을 가지는 ESD 보호회로 연구가 다각에서 활발히 진행되고 있다[5-7]. 일반적인 파워 클램프용 ESD 보호회로는 전압에 따라서 Diode, GGNMOS(Gate Ground NMOS), SCR, RC-LDMOS등의 보호회로로 알려져 있다. Diode, GGNMOS, RC-LDMOS등의 ESD 보호회로는 고전압 파워 클램프용 보호회로로 설계 시 큰 면적을 차지하고 큰 면적만큼 감내특성 또한 만족스럽지 않다. SCR 보호회로의 경우 적은 면적을 차지하지만 낮은 홀딩전압으로 래치업 면역성이 떨어져 전체 회로의 신뢰성에 문제가 된다[8].

본 논문에서는 래치업 특성을 개선한 높은 홀딩 전압을 갖는 SCR 기반의 ESD 보호회로를 제안하고 설계 변수에 따른 특성변화를 분석하고자 한다.

II. 본론

1. 제안된 ESD 보호회로

일반적인 SCR 구조의 ESD 보호회로는 기생적으로 발생하는 바이폴라트랜지스터로 적은 면적으로 큰 전류를 구동할 수 있다. 그러나 낮은 홀딩 전압에 의한 정상상태에서의 래치업 문제가 발생되어 회로의 설계 시 신뢰성 측면에서 큰 문제로 작용하게 된다. 따라서 SCR구조의 ESD 보호회로 설계시 래치업을 방지할 수 있는 방안이 필요하다. 본 연구에서는 래치업 방지를 위한 높은 홀딩전압을 갖는 ESD 보호회로를 제안하고 각각의 설계 변수를 두어 제안된 보호회로의 홀딩전압 특성 분석하였다.

그림 1은 제안된 보호회로의 단면도를 나타낸 그림이다. 제안된 ESD 보호회로는 기생적으로 생성된 횡형 PNP/NPN 트랜지스터로 구성된 SCR 구조를 나타내었다. n-웰에 존재하는 p+ 확산영역과 n+ 확산영역은 애노드단에 연결하고 p-웰에 존재하는 n+ 확산영역과 p+ 확산영역은 캐소드단에 연결된다. 제안된 보호회로는

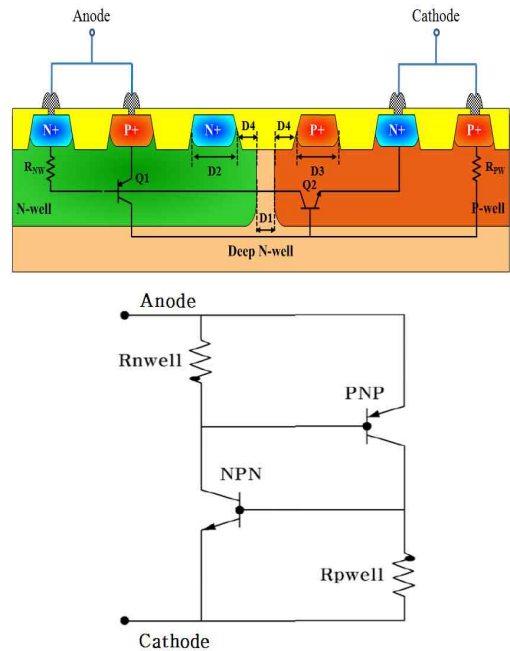


Fig. 1. Cross-section and equivalent of proposed ESD protection circuit

그림 1. 제안된 ESD 보호회로의 단면도와 등가회로

기존의 SCR 구조에 n-웰에 플로팅 n+ 확산영역 및 p-웰에 플로팅 p+ 확산영역을 포함하는 구조로 구성된다.

이러한 구조적인 특징은 다음과 같다. 첫째로 n-웰에 위치한 플로팅 n+ 확산영역은 기생적으로 생성된 PNP 바이폴라의 베이스 폭을 넓혀주게 되어 PNP 바이폴라의 전류이득(Beta)을 감소시키게 된다. 둘째로 p-웰에 생성된 플로팅 p+ 확산영역은 기생적으로 생성된 NPN 바이폴라의 베이스 폭을 넓혀주게 되어 NPN 바이폴라의 전류이득을 감소시키게 된다. 제안된 보호회로는 n-웰에 존재하는 플로팅 n+ 확산영역 및 p-웰에 존재하는 플로팅 p+ 확산영역으로 인하여 기생적으로 생성되는 PNP/NPN 바이폴라의 베이스 폭의 증가로 인한 전류이득 감소로 높은 홀딩 전압 특성을 갖게 된다. 제안된 보호회로의 동작원리는 다음과 같다. 애노드단 ESD 전류가 주입되면 애노드단의 전압이 증가하면서, 애노드단의 n+ 확산영역과 n-웰의 전위가 상승하게 된다. 역방향 바이어스 상태인 n-웰과 p-웰 접합사이의 전계가 임계값에 도달하게 되면 에벌런치 항복이 일어나게 된다. 에벌런치 항복에 의해 전자-전공 쌍(Electron-Hole Pair)가 생성되는데 홀(Hole) 전류는 플로팅 p+ 확산영역으로 이동하게 된다. p-웰의 전위가 p-웰과 n+ 캐소드 접합의 내부전계보다 커지게 되어 두 접합이 순방향으로 바이어스 되고, 기생 NPN 바이폴라(Q2)가 턴-온 된다. 기생 NPN 바이폴라(Q2)의 전류는 저항 Rnwell에서 전압강하를 일으키게 되고 PNP 바이폴라(Q1) 또한 턴-온 된다. PNP 바이폴라(Q1)의 전류는 저항 Rpwell 사이에서 전압강하가 생기게 되고 이는 NPN 바이폴라(Q2)의 턴-온 상태가 유지되도록 돕는다. PNP 바이폴라(Q1)의 전류에 의해 NPN 바이폴라(Q2)는 더 이상 바이어스를 공급할 필요가 없는 래치 동작으로 ESD 전류를 방전하게 된다.

제안된 소자의 항복 전압과 트리거 전압 및 홀딩 전압 특성을 분석하기 위해 설계 변수 D1, D2, D3, D4를 설정하였다. 각각의 설계 변수는 트리거 전압과 관계있는 n-웰과 p-웰 사이의 거리(D1), PNP 바이폴라의 베이스폭과 관련된 플로팅 n+ 확산영역의 거리(D2), NPN 바이폴라의 베이스폭과 관련된 플로팅 p+ 확산영역의 거리(D3), 트리거 전압 및 홀딩 전압과 관계있는 n-웰에서 플로팅 n+ 확산영역의 거리 및 p-웰에서 플로팅 p+ 확산영역의 거리(D4)이다.

2. 제안된 ESD 보호회로의 시뮬레이션 분석

제안된 ESD 보호회로는 TCAD 소자 시뮬레이션을

통하여, 전기적 특성 및 ESD 보호 성능을 분석하고, 동시에 기존 ESD 보호회로인 SCR 및 LVTSCR과 비교 분석함으로써 제안된 보호회로의 유효성을 검증하였다. 제안된 보호회로의 시뮬레이션은 Synopsys社의 Tcad 시뮬레이터를 사용하여 분석하였다.

가. 기존 보호회로와의 비교

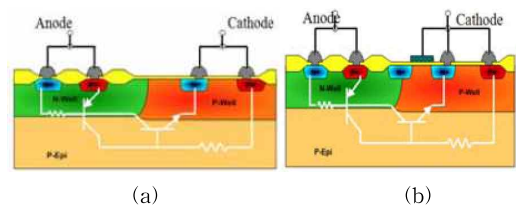


Fig. 2. Cross-section of Conventional ESD Protection Circuit (a)Conventional SCR, (b) LVTSCR

그림 2. 기존의 ESD 보호회로의 단면도 (a)Conventional SCR, (b) LVTSCR

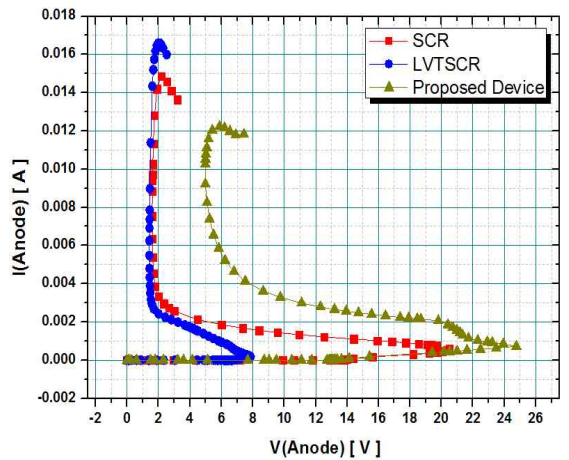


Fig. 3. Simulated DC I-V characteristics for the Conventional SCR, LVTSCR and Proposed circuit

그림 3. 기존의 ESD 보호회로와 제안된 보호회로의 IV 특성

그림2는 기존의 ESD 보호회로로 사용되는 Conventional SCR, LVTSCR(Low voltage triggering SCR)과 제안된 보호회로의 단면도를 나타낸 그림이고, 그림 3은 제안된 보호회로와 기존 ESD 보호회로 간의 DC-IV 특성을 통하여 트리거 전압 및 홀딩전압을 비교한 그래프이다. 제안된 보호회로의 트리거 전압은 24.76V로 conventional SCR의 트리거 전압

20.48V보다 4.3V 정도 높고 홀딩전압은 4.98V로 1.61V의 conventional SCR과 비교하여 3.3V이상의 높은 홀딩 전압을 갖게 된다. 이와 같이 제안된 보호 회로는 기존의 SCR 보다 높은 홀딩전압으로 향상 된 래치업 면역 특성을 갖게 된다.

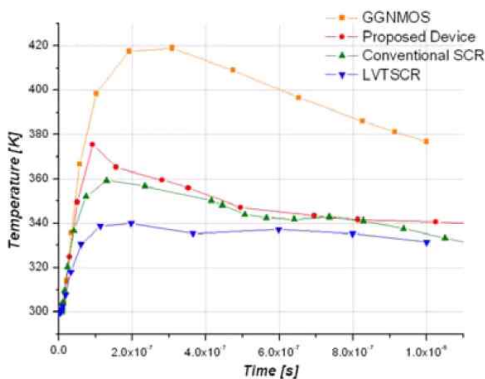


Fig. 4. Simulated waveform for the clamp voltage and lattice temperature after HBM 4kV

그림 4. HBM 4kV에 의한 제안된 소자와 기존 보호회로의 시뮬레이션 그래프

제안된 보호회로와 기존 보호회로의 감내특성 비교 분석은 HBM model을 이용하여 혼합모드 시뮬레이션을 통해 수행하였다. 80um의 소자 크기와 HBM 4kV의 model이 시뮬레이션에 사용되었고 그림 4는 각각 시간에 따른 격자 온도특성 그래프를 나타낸다. 시뮬레이션 결과 HBM 4kV 인가 후 제안된 보호회로의 격자 내의 온도는 기존의 보호회로와 비슷한 특성을 나타낸다. 이 온도 시뮬레이션 결과는 ESD를 방전하는 성능과 깊은 관련이 있으며 제안된 보호회로는 높은 전류 구동능력으로 기존의 SCR과 비슷한 ESD 성능을 갖게 됨을 확인하였다.

나. 설계변수에 따른 홀딩전압 특성 비교

제안된 보호회로의 설계 변수 D1, D2, D3, D4에 따른 트리거 전압 및 홀딩 전압 특성을 분석하기 위하여 설계 변수별 I-V 특성을 그림 5에 나타내었다. 설계 변수 D1은 n-웰과 p-웰 사이의 거리로 0um에서 0.8um까지 0.2um씩 변화를 주어 설계를 하였다. D1이 증가됨에 따라 트리거 전압은 23.06V에서 47.09V로 24.03V의 트리거 전압이 증가하였으며, 홀딩 전압은 4.86V로 동일함을 확인하였다. 이러한 특성을 갖는 이유는 D1이 증가할수록 n-웰과 p-웰 접합부 사이의 길이가 길어지게 되어 전체 방전 경로

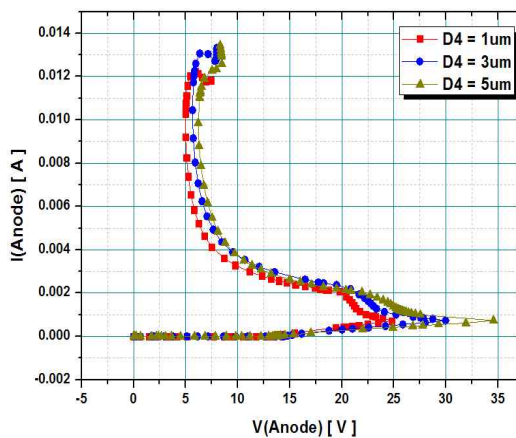
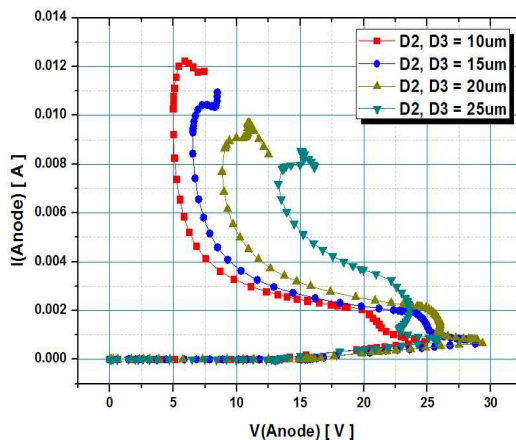
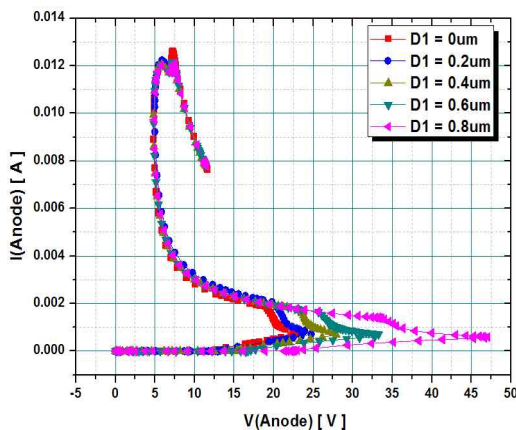


Fig. 5. DC-IV characteristics of proposed device with different design parameter

그림 5. 디자인 변수에 따른 제안된 보호회로의 DC-IV 특성 (a)D1변화, (b)D2, D3변화, (c)D4변화

상의 저항성분이 증가하였기 때문에 트리거 전압이 증가함을 확인하였다. D1 변수에 따른 DC-IV 시뮬레이션 결과를 그림 5(a)에 나타내었다. 설계 변수 D2는 n-웰 영역에 형성된 플로팅 n+ 확산영역의 길이로 PNP 바이폴라 트랜지스터의 베이스 폭의 길이이며, 설계 변수 D3는 p-웰 영역에 형성된 플로팅 p 확산영역의 길이로 NPN 바이폴라 트랜지스터의 베이스 폭의 길이이다. 설계 변수 D2, D3는 10um에서 25um까지 5um씩 변화를 주었다. D2 및 D3의 길이가 증가함에 따라 트리거 전압은 24.76V에서 29.34V로 4.58V가 증가하였다. 이러한 특성을 갖는 이유는 D2, D3가 증가할 만큼 애노드단과 캐소드단 사이의 방전 경로가 증가하였기 때문이다. 또한, D2 및 D3의 길이가 증가됨에 따라 홀딩 전압은 4.86V에서 13.26V로 8.4V가 증가하였다. 이러한 특성을 갖는 원인은 D2가 증가할수록 PNP 바이폴라 트랜지스터의 베이스 폭이 넓어져 전류이득(beta)가 감소하게 되고 동일한 원리로 D3가 증가할수록 NPN 바이폴라 트랜지스터의 베이스 폭이 넓어져 전류이득 감소하였기 때문이다. D2 및 D3 변수에 따른 DC-IV 시뮬레이션 결과를 그림 5(b)에 나타내었다. 설계 변수 D4는 n-웰에서 플로팅 n+ 확산영역의 거리 및 p-웰에서 플로팅 p+ 확산영역의 거리이다. 설계 변수 D4는 1um에서 5um까지 2um씩 변화를 주었다. D4의 거리가 증가됨에 따라 트리거 전압은 24.76V에서 34.56V로 9.8V가 증가하였으며, 홀딩 전압은 4.86V에서 6.2V로 1.34V가 증가하였다. 트리거 전압이 증가하는 이유는 D4가 증가할수록 애노드단과 캐소드단 사이의 방전 경로가 증가하였기 때문이다. 또한 홀딩 전압이 증가하는 이유는

Table 1. characteristic of proposed circuit with different design parameter(D1, D2, D3, D4)

표 1. 제안된 보호회로의 설계변수에 따른 전기적 특성

Var.	Vtrigger[V]	Vholding[V]
D1(0um)	23.06	4.7
D1(0.2um)	24.76	4.9
D1(0.4um)	27.93	4.83
D1(0.6um)	33.28	4.86
D1(0.8um)	47.09	4.91
D2,D3(10um)	24.76	4.9
D2,D3(15um)	28.77	6.53
D2,D3(20um)	29.34	8.8
D2,D3(25um)	25.72	13.26
D4(1um)	24.76	4.98
D4(3um)	29.96	5.65
D4(5um)	34.56	6.2

PNP/NPN 바이폴라의 베이스 폭의 넓어져서 전류이득이 감소하였기 때문이다. D4 변수에 따른 DC-IV 시뮬레이션 결과를 그림 5(c)에 나타내었으며, 전기적 특성 결과를 표 1에 정리하였다.

III 결론

본 연구에서는 높은 홀딩 전압으로 높은 래치업 방지 특성을 갖는 새로운 구조의 SCR 기반 파워클램프용 ESD 보호소자를 나타내었다. 제안된 소자는 기존 SCR 구조의 n-well과 p-well에 n+, p+를 추가하여 기존의 1.5V의 conventional SCR 보다 높은 홀딩 전압 4.98V와 래치업 면역 특성을 증가 시켰다. 감내특성 또한 기존의 SCR과 성능이 비슷함을 확인하였다. 또한 삽입한 n+, p+ 확산영역이 증가 하면서 홀딩 전압이 13.26V까지 증가 하는것을 확인하였다. 따라서 본 논문에서 제안된 ESD 보호회로는 높은 신뢰성과 높은 래치업 면역 특성이 필요한 시스템에 적용 가능하게 될 것이다.

References

- [1] Wang AZH. On-chip ESD protection for integrated circuit. An IC design perspective. 2nd ed. Kluwer Academic Publisher, 2002
- [2] O.Semenov, H. Sarbishaei, M. Sachdev, ESD Protection Device and Circuit Design for Advanced CMOS Technologies, Netherlands, Springer, 2008
- [3] O. Semenov, H. Sarbishaei, M. Sachdev, ESD Protection Device and Circuit Design for Advanced CMOS Technologies, Springer, 2008
- [4] White Paper 1: A Case for Lowering Component Level HBM/MM. ESD Specifications and Requirements, Industry Council on ESD Target Levels, August 2007. pp1-pp60
- [5] Fred G. Kouper, "Automotive IC reliability: Elements of the battle towards zero defects", Microelectronics Reliability, pp. 1459-1463, 2008.
- [7] Mergens, Markus P.J, "ESD Protection Considerations in Advanced High-Voltage Technologies for Automotive" in Proc. of the EOS/ESD Symp., pp. 54-63, 2006
- [8] Kui-Dong Kim, Jo-woon Lee, Sang-Jo Park, Yoon-sik Lee, Yong-Seo Koo "A Study on the

Novel SCR NANO ESD Protection Device Design and fabrication” in Proc. of the IKEEE Vol.9 No.2 pp82-91

BIOGRAPHY

Lee Byung-Seok (Student Member)



2010 : BS degree in Electronics Engineering, Seokyeong University.
 2012 : MS degree in Electronics and Electrical Engineering, Dankook University.
 2012 ~ : PhD degree in Electronics and Electrical Engineering, Dankook University.

<main interesting field>ESD protection circuit, Power device

Kim Jong-Min (Member)



1991 : BS degree in Electronics and Computer Engineering, Hanyang University
 2003 : MS degree in Electronics and Computer Engineering, Hanyang University.
 1994~2000 : Research Engineer, Hynix Semiconductor.

2001~2003 : Senior Research Engineer, Daouxilicon Ltd.
 2004~present : Principal Research Engineer, Donbuhitek Inc.

Byeon Joong-Hyeok (Member)



1994 : BS degree in Physics, Ajou University.
 1996 : MS degree in Physics, Seoul National University.
 1996~2001 : Research Engineer, Hynix Semiconductor
 2009~ : Senior Research Engineer, Dongbu Hitek.

Park Won-suk (Member)



2010 : BS degree in Electronic Engineering, Seokyeong University.
 2012 : MS degree in Electronics and Electrical Engineering, Dankook University.

2013~ : Research Engineer, Dongbu Hitek.

Koo Yong-Seo (Life Member)



Refer to
 Journal of IKEEE Vol. 8, No. 1