

PSCAD/EMTDC와 FEA를 이용한 케이블 배열 방법에 따른 전류 불균형률의 비교

The Comparison of the Current Unbalance Factor According to the Cable Array Method using PSCAD/EMTDC and FEA

신 호 전* · 김 지 호** · 강 갑 석*** · 김 재 철§ · 이 향 범†
(Ho-Jeon Shin · Ji-Ho Kim · Gab-Suk Kang · Jae-Chul Kim · Hyang-Beom Lee)

Abstract - In this study, samples from the site where there occurred unbalanced current when cable routing were analyzed, and the simulation program for electric power system analysis, PSCAD/EMTDC, was used to calculate the current unbalance on cable routing. Based on electromagnetic finite element analysis (FEA), electromagnetic parameters enabled the interlocking with COMSOL for the calculation of allowable current ampacity and magnetic field distribution. This then led to modeling unbalanced current between common modes using the unbalanced current analysis program, thereby comparing and discussing the results from both. The analyzed model is a common mode 2 parallel circuit, which is a basic model for cable routing, and by arranging cables in various ways, the arrangement with the least current unbalance was suggested, which would, in the future, prevent earth faults and extend life for the whole cable.

Key Words : Cable, Finite element analysis, PSCAD/EMTDC, Unbalanced current, Unbalance factor

1. 서 론

지구온난화 문제와 화석연료의 고갈 등으로 태양광, 풍력, 연료전지 발전 등 신재생에너지 보급이 확산되고 있다. 발전기술력 향상, 산업시설의 대형화, 빌딩 등의 전력수요 증가로 이해 수전용 변압기 용량의 대형화가 이루어지고 있는 추세이다. 변압기 용량이 대형화되면 변압기 저압 측 정격 전류 증가로 허용전류가 높은 부스닥트 등으로 시공하게 되는데, 가격 또는 현장 여건상 부스닥트 등으로 시공하기 어려운 경우 절연특성이 좋고 시공하기 편리한 케이블을 많이 사용하여 공사를 수행한다. 케이블을 사용하여 시공하게 되면 단심케이블 허용전류용량의 한계가 있기 때문에 복수의 케이블을 병렬로 연결하여 사용하게 된다. 복수의 케이블을 병렬 연결하여 사용하게 되면 케이블 배치 방법에 따라 전자기적 불균형이 발생하여 동상 간 임피던스 차가 발생하게 되고, 그로 인해 동상 내 불균형 전류가 발생한다[1-3].

기존 연구사례에서는 154kV 주 변압기 2차 측 전력용 케이블[5], 송·배전선로의 국소적 불균형 전류 발생현황[2][6], 동상 다조 포설시 케이블 배치에 관한 연구 등에서 케이블의 불균형 전류 발생 원인을 이론식을 바탕으로 리액턴스를 계산하여 리액턴스가 동일하게 되는 포설방법을 제안하였으

며, 154/22.9kV 변전소 2차 케이블 포설방법, 2 Bundle 또는 4 Bundle 회로 등의 포설 방법이 연구되어 왔다[5-6], 하지만 케이블의 배치와 포설에 효율적인 배치를 위해 실제 현장과 일치되는지 확인 및 프로그램을 이용한 모델링이 필요하다. 따라서 본 연구에서는 케이블 포설시 불균형 전류 발생 현장에 대한 샘플링을 통하여 전력시스템 해석을 위한 시뮬레이션 프로그램인 PSCAD/EMTDC를 통하여 케이블 포설에 대한 전류 불균형을 계산하였으며, 전자기 유한요소 해석을 기반으로 전자기 파라미터를 통하여 케이블의 허용 전류 계산 및 자장 분포의 계산을 위한 COMSOL과의 연동을 통하여 개발된 불균형 전류 해석 프로그램으로 동상 간 불균형 전류를 모델링하여 양측의 결과를 비교 검토하였다. 해석모델은 케이블 포설에 기본적인 모델인 동상 2 병렬회로로, 다양한 케이블 배열 방법을 통하여 전류 불균형이 작아지는 배치방법을 제안함으로써 전체 케이블의 수명 연장 및 지락사고 등을 예방하고자 한다.

2. 불균형 전류 발생원리

2.1 케이블의 임피던스

병렬 연결된 각 케이블의 임피던스는 저항 R 과 리액턴스 X 로 구분할 수 있으며, 저항 R 은 정상적인 상태에서의 거의 고정된 값이며, 리액턴스 X 는 케이블의 배치에 따라 그 값이 달라진다. 리액턴스가 변화함으로써 인해 케이블의 임피던스가 변화하므로 각 동상 케이블 간의 흐르는 전류 또한 일정하지 않고, 임피던스에 반비례해서 증가한다. 동상 간 불균형 전류가 케이블의 허용전류를 초과하게 되면 케이블이 과열되고, 오랜 시간 지속되면 케이블 백화현상, 심하게

* 정 회 원 : 숭실대학교 박사과정
** 정 회 원 : 숭실대학교 박사후과정
*** 정 회 원 : 한국전기안전공사
§ 정 회 원 : 숭실대학교 전기공학과 교수
† 교신저자, 정회원 : 숭실대학교 전기공학부 교수
E-mail : hyang@ssu.ac.kr
접수일자 : 2013년 1월 29일
최종완료 : 2013년 3월 13일

는 지락사고를 일으켜서 대규모 정전사고를 일으키기도 한다. 그림 1은 동상병렬포설 케이블의 등가회로도이다. 각각의 임피던스는 식 (1)부터 식 (3)으로 나타내었다[1][4].

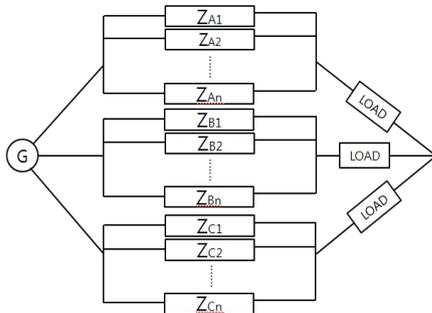


그림 1 동상병렬포설 회로도
Fig. 1 The in-phase parallel installation circuit diagram

$$\begin{aligned} Z_{A1} &= R_{A1} + jX_{A1} \\ Z_{A2} &= R_{A2} + jX_{A2} \\ &\vdots \end{aligned} \quad (1)$$

$$\begin{aligned} Z_{B1} &= R_{B1} + jX_{B1} \\ Z_{B2} &= R_{B2} + jX_{B2} \\ &\vdots \end{aligned} \quad (2)$$

$$\begin{aligned} Z_{C1} &= R_{C1} + jX_{C1} \\ Z_{C2} &= R_{C2} + jX_{C2} \\ &\vdots \end{aligned} \quad (3)$$

여기서, $R_{A1}, R_{A2}, \dots, R_{B1}, R_{B2}, \dots, R_{C1}, R_{C2}, \dots$ 은 병렬 연결된 각 상별 저항이며, $X_{A1}, X_{A2}, \dots, X_{B1}, X_{B2}, \dots, X_{C1}, X_{C2}, \dots$ 은 병렬연결된 각 상별 리액턴스이며, $Z_{A1}, Z_{A2}, \dots, Z_{B1}, Z_{B2}, \dots, Z_{C1}, Z_{C2}, \dots$ 은 병렬연결된 각 상별 임피던스이다.

2.2 동상 간 임피던스 변화 원인

2.2.1 인덕턴스 변화 원인

만일 각 상별로 n 개의 케이블을 동상 병렬 포설한다고 하면,

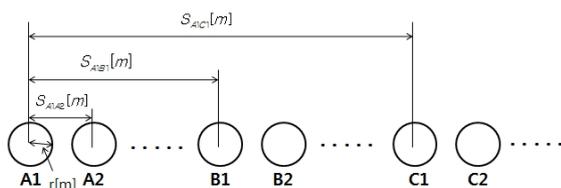


그림 2 n 개의 동상병렬 포설
Fig. 2 The several in-phase parallel installation cables

그림 2와 같이 표현할 수 있으며, $A1, A2, \dots, B1, B2, \dots, C1, C2, \dots$ 등 각 케이블 인덕턴스는 상호 거리에 따라서 모두 동일하지 않고 달라질 것이다. 각 케이블의 인덕턴스를 구해보면,

$$\begin{aligned} X_{A1} &= 0.05 + 0.4605 \log_{10} \left[\frac{\sqrt{S_{A1B1} \cdot S_{A1B2} \cdot \dots \cdot S_{A1C1} \cdot S_{A1C2} \cdot \dots}}{r \cdot S_{A1A2} \cdot S_{A1A3} \cdot S_{A1A4} \cdot \dots} \right] \\ &+ j\sqrt{3} \times 0.23026 \log_{10} \left[\frac{S_{A1C1} \cdot S_{A1C2} \cdot S_{A1C3} \cdot \dots}{S_{A1B1} \cdot S_{A1B2} \cdot S_{A1B3} \cdot \dots} \right] [mH/km] \end{aligned} \quad (4)$$

$$\begin{aligned} X_{B1} &= 0.05 + 0.4605 \log_{10} \left[\frac{\sqrt{S_{B1A1} \cdot S_{B1A2} \cdot \dots \cdot S_{B1C1} \cdot S_{B1C2} \cdot \dots}}{r \cdot S_{B1B2} \cdot S_{B1B3} \cdot S_{B1B4} \cdot \dots} \right] \\ &+ j\sqrt{3} \times 0.23026 \log_{10} \left[\frac{S_{B1A1} \cdot S_{B1A2} \cdot S_{B1A3} \cdot \dots}{S_{B1C1} \cdot S_{B1C2} \cdot S_{B1C3} \cdot \dots} \right] [mH/km] \end{aligned} \quad (5)$$

$$\begin{aligned} X_{C1} &= 0.05 + 0.4605 \log_{10} \left[\frac{\sqrt{S_{C1A1} \cdot S_{C1A2} \cdot \dots \cdot S_{C1B1} \cdot S_{C1B2} \cdot \dots}}{r \cdot S_{C1C2} \cdot S_{C1C3} \cdot S_{C1C4} \cdot \dots} \right] \\ &+ j\sqrt{3} \times 0.23026 \log_{10} \left[\frac{S_{C1B1} \cdot S_{C1B2} \cdot S_{C1B3} \cdot \dots}{S_{C1A1} \cdot S_{C1A2} \cdot S_{C1A3} \cdot \dots} \right] [mH/km] \end{aligned} \quad (6)$$

여기서, S_{ij} 는 ij 도체 간 중심 간격, r 은 도체반지름과 같이 표현할 수 있으며, 상기 식으로 계산된 리액턴스 값의 차이에 따라 전체 임피던스가 변하여 각 케이블에 흐르는 전류도 달라질 것이다[1-2][5-9]

2.2.2 인덕턴스와 전류와 관계

병렬 포설된 각 케이블에 흐르는 전류의 크기는 동상 케이블 간 임피던스에 반비례하여 임피던스가 큰 케이블은 전류가 작게 흐를 것이며, 임피던스가 작은 케이블은 전류가 많이 흐르게 된다. 그림 3과 같이 3상 1회선 정삼각형 배치일 경우를 표 1과 같은 조건으로 인덕턴스를 구해보면, A, B, C상 모두 0.2546 mH/km가 된다.



그림 3 3상 1회선 정삼각형 배치
Fig. 3 The regular triangle arrangement of three phase single circuit

표 1 3상 1회선 정삼각형 배치 케이블의 사양
Table 1 Specifications of the regular triangle arrangement of three phase single circuit

도체종류	CV630 [mm ²]
도체반지름	15.1 [mm]
선간거리	42 [mm]

그림 4와 같이 3상 2회선 정삼각형(ABCABC)형 배치일

경우의 인덕턴스를 구해보면 표 2와 같으며, B, C상에서 동상 간 불균형이 발생하고 있다.

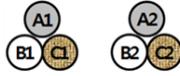


그림 4 3상 2회선 정삼각형(ABCABC) 배치
 Fig. 4 The regular triangle arrangement of three phase Double circuit (ABCABC)

표 2 3상 2회선 정삼각형(ABCABC) 배치의 인덕턴스 및 불균형 전류비율

Table 2 Inductance and unbalance current factor of regular triangle arrangement of three phase double circuit (ABCABC)

케이블번호	인덕턴스 [mH/km]	배수	불균형 전류비율 [%]
A1	0.2604	0배	0
A2	0.2604		
B1	0.3017	1.5배	40
B2	0.2015		
C1	0.2015	1.5배	40
C2	0.3017		

그림 5와 같이 3상 2회선 정삼각형(ABCACB) 배치일 경우의 인덕턴스를 구해보면 표 3과 같으며 동상 간 불균형이 전혀 발생하지 않고 있다.



그림 5 3상 2회선 정삼각형(ABCACB) 배치
 Fig. 5 The regular triangle arrangement of three phase Double circuit (ABCACB)

표 3 3상 2회선 정삼각형(ABCACB) 배치의 인덕턴스 및 불균형 전류비율

Table 3 Inductance and unbalance factor of regular triangle arrangement of three phase double circuit (ABCACB)

케이블번호	인덕턴스 [mH/km]	배수	불균형 전류비율 [%]
A1	0.2604	0배	0
A2	0.2604		
B1	0.2154	0배	0
B2	0.2154		
C1	0.3231	0배	0
C2	0.3231		

이론식으로 계산된 결과는 저항부분 및 표피효과와 근접 효과 등의 영향을 무시한 계산 값으로 실측값이나 모델링 값과는 다소 차이를 보이게 된다. 그러나 전류의 불균형이 발생하는 패턴은 모델링 값과 비슷한 양상을 보이고 있다.

3. 2 병렬 회로의 불균형 전류 모델링

3.1 PSCAD/EMTDC에 의한 모델링

이론적인 해석은 실제 현장에서 측정되는 임피던스 및 전류와는 차이가 있다. 따라서 다양한 2 병렬회로일 때 현장에서 케이블이 배열될 수 있는 조건별로 표 4와 같이 7가지 회로를 만들어 모델링 후 불균형을 비교하였다. 그림 6은 2 병렬회로에 대해 모델링 한 것으로 전원계통, 선로부분, 부하계통 등에 대한 등가 모델을 조합하여 모델링 회로를 구성하였다.

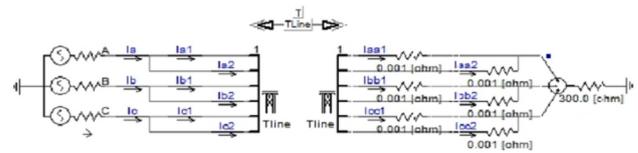


그림 6 2 병렬회로 결선도
 Fig. 6 Double parallel circuit diagram

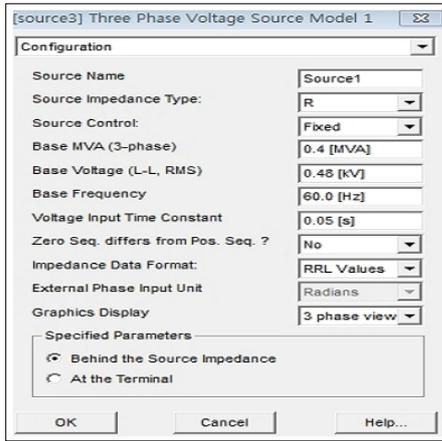
표 4 2 병렬회로 Case별 케이블 배열 모델

Table 4 Cable arrangement model according to the parallel circuit case

회로종류	배열 모델
Case 1	
Case 2	
Case 3	
Case 4	
Case 5	
Case 6	
Case 7	

그림 7은 Case 1의 경우로 전원 계통에 0.48kV, 60Hz의 전원을 만들고, 전선은 20m가 포설되는 조건은 T라인에 2 병렬 회로의 첫 번째 모델로 불균형이 가장 많이 발생하는 Case 1 모델의 좌표를 입력하였다. 그림 8은 모델링된 전류 실효파형과 각 상전류의 실효값으로 B상 전류 $I_{b1} = 280A$, $I_{b2} = 294A$ 으로 동상 간 비슷하게 나타나는 양상이며, A상 전류 $I_{a1} = 140A$, $I_{a2} = 300A$ 이고, C상 전류 $I_{c1} = 315A$, $I_{c2} = 144A$ 으로 B, C상 모두 동상 간 약 2.2배의 전류 차이가 발생하고 있다. 표 5는 Case 1의 모델링 전류와 불균형률이며, A, C상에서 약 74%의 불균형이 발생하고 있다. 불균형률은 식 (7)에 의해 계산된 값이다.

$$\text{불균형률} = \frac{\text{최대값} - \text{최소값}}{\text{평균값}} \times 100\% \quad (7)$$



(a) 병렬회로의 3상 입력전원

Tower: 3H5 Tower Centre 0 [m]
Conductors: chukar →

Cond. #	Connection Phasing #	X (from tower centre)	Y (at tower)
1	1	0 [m]	0.15 [m]
2	2	0.042 [m]	0.15 [m]
3	3	0.084 [m]	0.15 [m]
4	4	0.126 [m]	0.15 [m]
5	5	0.168 [m]	0.15 [m]
6	6	0.21 [m]	0.15 [m]

(b) Case 1 모델의 입력 좌표

그림 7 2 병렬회로 입력전원 및 Case 1 입력좌표

Fig. 7 Input power source of the parallel circuit and input coordinates of Case 1

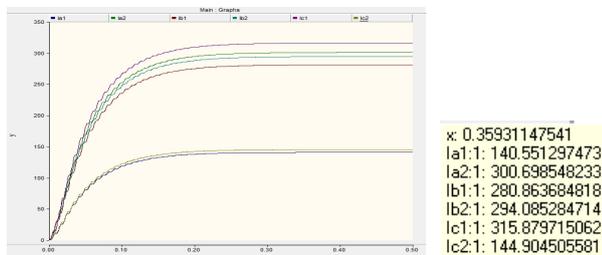


그림 8 2 병렬회로 Case 1의 전류 파형

Fig. 8 Current waveform of the Case 1

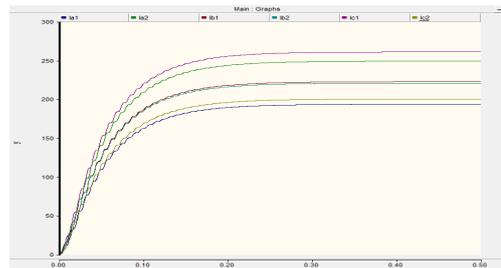
표 5 2 병렬회로 Case 1 모델의 전류와 불균형률

Table 5 Current and unbalance factor of Case 1

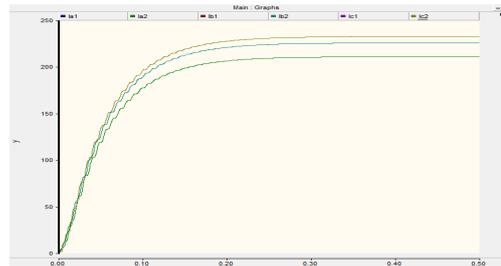
	전류[A]	불균형률[%]
A1	140	73
A2	300	
B1	280	5
B2	294	
C1	315	74
C2	144	

그림 7과 같은 방법으로 Case 2부터 Case 7의 모델에 대하여 모델링을 하여 각각의 결과는 그림 9와 같이 나타났으며, 표 6에 2 병렬회로의 Case 별 전류 및 전류의 불균형 비율을 비교하였다. Case 2의 경우 A, C상 모두 동상 간 약

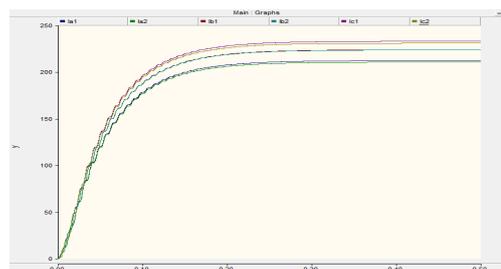
1.3배의 전류 차이가 발생하고 있다. Case 3은 케이블이 좌우 대칭인 경우를 모델링한 경우이며, Case 4, 5는 2중 배열된 경우로, 전류 불균형이 거의 발생하지 않았다. Case 6의 A상 전류는 $I_{a1} = I_{a2} = 225A$ 로 좌우 대칭이 되어서 전류 불균형이 발생하지 않지만, B상 전류는 $I_{b1} = 212A, I_{b2} = 240A$, C상 전류는 $I_{c1} = 240A, I_{c2} = 236A$ 로 동상 간 약 1.13배의 전류 차이가 발생하고 있다. Case 7의 경우 또한 불균형이 전혀 발생하지 않는 이상적인 모델이라 할 수 있다. 이와 같이 2 병렬회로에서 배열할 수 있는 7가지 Case를 비교해 보면 표 6과 같으며, Case 3, 4, 5, 7번 모델에서 불균형이 가장 작게 발생하고 있다.



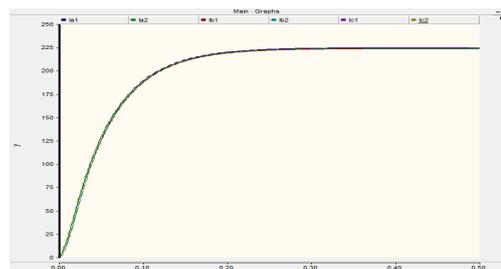
(a) Case 2의 전류 파형



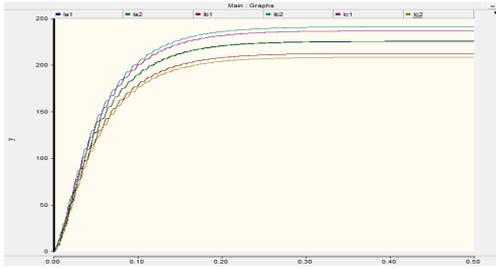
(b) Case 3의 전류 파형



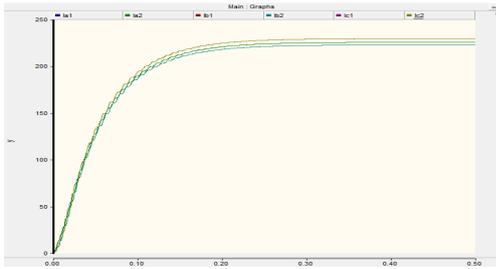
(c) Case 4의 전류 파형



(d) Case 5의 전류 파형



(e) Case 6의 전류 파형



(f) Case 7의 전류 파형

그림 9 2 병렬회로 Case 별 전류 파형

Fig. 9 Case classification current waveform

표 6 2 병렬회로의 Case별 전류 및 불균형률(PSCAD/EMTDC)

Table 6 Case classification current and unbalance factor using PSCAD/EMTDC

	Case 1		Case 2		Case 3		Case 4		Case 5		Case 6		Case 7	
	전류 [A]	불균형률 [%]												
A1	140	73	174	42	210	0	212	0.9	224	0	225	0	225	0
A2	300		269		210		210		224		225		225	
B1	280	5	224	0	225	0	223	0	223	0	212	12	222	0
B2	294		224		225		223		223		240		222	
C1	316	73	279	42	232	0	232	0.8	224	0.4	236	12	229	0
C2	145		183		232		230		223		208		229	

3.2 FEM 해석에 의한 모델링

```

Filename_PARAINFO.DAT 작성
* Voltage [Vrms] : 0.38000000000000E+03 상전압
* Frequency [Hz] : 0.60000000000000E+02 주파수
* Conductor Conductivity [S/m] : 0.58000000000000E+08 전선 도체 도전율
* Wire Length [m] : 0.20000000000000E+03 전선 길이
* Number of Phase : 3 상수 (3상)
* Load Resistance [Phase A] : 0.30000000000000E+03 A상의 부하 저항
* Load Reactance [Phase A] : 0.00000000000000E+00 A상의 부하 리액턴스
* Load Resistance [Phase B] : 0.30000000000000E+03 B상의 부하 저항
* Load Reactance [Phase B] : 0.00000000000000E+00 B상의 부하 리액턴스
* Load Resistance [Phase C] : 0.30000000000000E+03 C상의 부하 저항
* Load Reactance [Phase C] : 0.00000000000000E+00 C상의 부하 리액턴스
* # of Wire Regions per Phase : 2 각 상의 전선 영역 수
* Region # [01] [Phase A] : 2 A상의 전선영역번호 #1
* Region # [02] [Phase A] : 7 A상의 전선영역번호 #2
* Region # [01] [Phase B] : 3 B상의 전선영역번호 #1
* Region # [02] [Phase B] : 6 B상의 전선영역번호 #2
* Region # [01] [Phase C] : 4 C상의 전선영역번호 #1
* Region # [02] [Phase C] : 5 C상의 전선영역번호 #2
* FORMAT : a31,i10 or a31,e22,15
    
```

그림 10 케이블 데이터 입력 (유한요소해석 프로그램)

Fig. 10 Data input of the cable (FEA program)

```

P##*PG***** V_Source ***** :: ***** I_Source ***** :: ***** I_Wire (Total) *****
A 1 [ 2] 0.6788225E+03 < 0.00 :: 0.1405369E+03 < 344.93 (30.95%) :: 0.1405369E+03 < 344.93 (30.95%)
  2 [ 3] :: 0.3157215E+03 < 5.59 (69.53%) :: 0.3157215E+03 < 5.59 (69.53%)
** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** **
** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** **
B 1 [ 4] 0.6788225E+03 < 240.00 :: 0.2862716E+03 < 201.61 (63.05%) :: 0.2862716E+03 < 201.61 (63.05%)
  2 [ 5] :: 0.2860256E+03 < 277.29 (62.99%) :: 0.2860256E+03 < 277.29 (62.99%)
** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** **
** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** **
C 1 [ 6] 0.6788225E+03 < 120.00 :: 0.3123342E+03 < 113.81 (68.78%) :: 0.3123342E+03 < 113.81 (68.78%)
  2 [ 7] :: 0.1461200E+03 < 130.83 (32.18%) :: 0.1461200E+03 < 130.83 (32.18%)
** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** **
** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** ** **
    
```

그림 11 2 병렬회로의 Case 1 모델링 전류(유한요소해석 프로그램)

Fig. 11 Modeling current of the Case 1 (FEA program)

표 7 2 병렬회로의 Case 1의 전류 및 불균형률 비교

Table 7 Comparison of the current of Case 1 using FEA and PSCAD/EMTDC

	유한요소해석에 의한 모델링 전류			PSCAD/EMTDC에 의한 모델링 전류		
	전류 [A]	전류 배수	불균형률 [%]	전류 [A]	전류 배수	불균형률 [%]
A1	140	2.25	77	140	2.14	73
A2	315			300		
B1	286	0	0	280	1.05	5
B2	286			294		
C1	312	2.14	72	316	2.18	74
C2	146			145		

표 8 2 병렬회로의 Case별 전류 및 불균형률(유한요소해석)

Table 8 Case classification current and unbalance factor using FEA

	Case 1		Case 2		Case 3		Case 4		Case 5		Case 6		Case 7	
	전류 [A]	불균형률 [%]												
A1	140	77	179	43	226	0	226	0	226	0	226	0	226	0
A2	315		277		226		226		226		226			
B1	286	0	229	0	226	0	226	0	226	0	198	26	226	0
B2	286		222		226		226		226		258		226	
C1	312	72	279	43	226	0	226	0	226	0	255	25	226	0
C2	146		179		226		226		226		199		226	

전류 불균형 계산을 위하여 개발된 유한요소해석 프로그램은 다양한 설계 프로그램을 통해 해석 모델의 모델링을 수행한 후 코딩된 프로그램을 기반으로 요소분할, 해석모델의 파라메타 입력, 해석(solver)까지 수행한다. 유한요소해석 프로그램 또한 PSCAD/EMTDC와 동일하게 전원에 0.48kV, 60Hz 입력 후 Case 1부터 Case 7까지 모델링하였다. 모든 Case에 대한 전원 및 케이블 사양에 대한 입력 값은 그림 10과 같다. 상기 입력 값에 대한 결과 분석 및 후처리를 수행한 결과로 Case 1에 대한 모델링 결과 값을 보면 그림 11과 같다.

표 7은 Case 1에 대한 유한요소해석에 의한 모델링 전류

와 PSCAD/EMTDC 모델링 전류에 대한 결과를 비교한 것이다. 결과를 비교해보면 유한요소해석 프로그램과 PSCAD/EMTDC 프로그램의 모델링 결과값이 동일한 패턴을 보이고 있다. 해석모델에 대한 케이블의 포설 방법에 대한 검토 결과를 살펴보면 동상일렬배열의 경우에도 상의 배치 방법에 따라 유한요소해석에 의해 개발된 불균형 전류 해석 프로그램으로 2 병렬회로를 Case 별로 표 8과 같이 결과를 나타내었다. 모델링 결과 가장 전류 불균형이 작은 배치방법은 Case 3, 4, 5, 7의 배열방법이 가장 전류 불균형이 작게 나타났다.

3.3 PSCAD/EMTDC와 유한요소해석 프로그램과의 비교

2 병렬회로의 PSCAD/EMTDC와 유한요소해석 프로그램의 모델링 결과 값을 비교하면 표 9와 표 10과 같으며 Case 3, 4, 5, 7번 모델이 불균형이 전혀 발생하지 않거나 발생의 값이 미비한 것을 확인할 수 있다. 코딩된 해석프로그램은 그 결과의 타당성을 검증할 수 있었으며, 다양한 모델에 대한 특히 PSCAD/EMTDC에서 수행할 수 없는 모델에 대해서도 해석할 수 있다.

표 9 PSCAD/EMTDC와 유한요소해석프로그램의 2 병렬 회로 전류 비교

Table 9 Comparison of the current of double parallel circuits using FEA and PSCAD/EMTDC

	Case 1		Case 2		Case 3		Case 4		Case 5		Case 6		Case 7	
	전류[A]		전류[A]		전류[A]		전류[A]		전류[A]		전류[A]		전류[A]	
	PS CAD	FEA												
A1	140	140	174	179	210	226	212	226	224	226	225	226	225	226
A2	300	315	269	277	210	226	210	226	224	226	225	226	225	226
B1	280	286	224	229	225	226	223	226	223	226	212	198	222	226
B2	294	286	224	222	225	226	223	226	223	226	240	258	222	226
C1	316	312	279	279	232	226	232	226	224	226	236	255	229	226
C2	145	146	183	179	232	226	230	226	223	226	208	199	229	226

표 10 PSCAD/EMTDC와 유한요소해석프로그램의 2 병렬 회로 불균형을 비교

Table 10 Comparison of the unbalance factor of double parallel circuits using FEA and PSCAD/EMTDC

	CASE1 불균형율 [%]		CASE2 불균형율 [%]		CASE3 불균형율 [%]		CASE4 불균형율 [%]		CASE5 불균형율 [%]		CASE6 불균형율 [%]		CASE7 불균형율 [%]	
	PS CAD		PS CAD		PS CAD		PS CAD		PS CAD		PS CAD		PS CAD	
	FEA	FEA												
A	73	77	42	43	0	0	0.9	0	0	0	0	0	0	0
B	5	0	5	0	0	0	0	0	0	0	12	26	0	0
C	73	72	42	43	0	0	0.8	0	0.4	0	12	25	0	0

4. 결 론

본 논문에서는 케이블의 동상병렬 포설시 불균형 전류 발생 원인을 PSCAD/EMTDC와 전류 불균형 계산을 위하여 개발된 유한요소해석프로그램으로 모델링하여 불균형이 가장 작게 발생하는 포설방법을 제안하였다. 개발된 유한요소해석프로그램의 결과는 불균형 전류 계산을 위하여 계통에서 사용된 PSCAD/EMTDC와 비교하였을 때, 해석결과의 오차가 거의 발생하지 않았으며, 나아가 4조 이상의 모델을 PSCAD/EMTDC 프로그램에서 해석할 수 없기 때문에 유한요소해석프로그램을 이용하여 개발된 프로그램을 통하여 실제의 전류의 불균형이 발생하는 모델에 대하여 해석을 수행하고 해석결과를 바탕으로 현장에서 케이블 포설시 활용할 수 있을 것이다.

감사의 글

본 연구는 2011년도 산업통상자원부의 재원으로 한국에너지기술평가원(KETEP)의 지원을 받아 수행한 연구 과제(No. 20114010203140)입니다.

참 고 문 헌

- [1] R. Zeng, J. He, Z. Guan, "Novel Measurement System for Grounding Impedance of Substation", IEEE Transactions on Power Delivery, Vol.21 No.2, pp. 719-725, 2006.
- [2] Z. Hu, Y. Chen, "New Method of Live Line Measuring the Inductance Parameters of Transmission Lines Based on GPS Technology", IEEE Transactions on Power Delivery, Vol.23 No.3, pp. 1288-1295, 2008.
- [3] D. hou, J. R. Marti, "Skin Effect Calculations in Pipe-Type Cables Using a Linear Current Subconductor Technique", IEEE Transactions on Power Delivery, Vol.9 No.1, pp. 598, 1994.
- [4] 송길영, "송배전공학", 동일출판사, 2006.
- [5] S. D. Jeon, J. D. Oh, K. I. Kim, K. W. Jeong, H. Y. Ryu, B. H. Lee., "Measures to reduce the unbalance current of secondary power cable of 154kV main transformer", KIEE Conference, pp. 338-339, 2009
- [6] J. W Jeon, "The origination and reduction about partial unbalanced current of trasmission and distribution lines" Kyungpook National University, June, 2007
- [7] Takashi Hasegawa, "Application Technology of Molded Products in the Field", Takaoka Review, Vol. 43, No. 4, pp. 66-72, 1996.

저 자 소 개



신 호 전 (申 浩 傳)

1967년 2월 05일생. 2005년 경기공업대 전자통신과 졸업. 2011년 숭실대 대학원 전기공학과 졸업(석사). 2011년~현재 숭실대 전기공학과 박사과정. 발송배전기술사.



김 지 호 (金 志 濂)

2004년 숭실대 전기공학과 졸업. 2006년 동 대학원 전기공학과 졸업(석사). 2011년 동 대학원 전기공학과 졸업(공학박사). 현재 숭실대학교 박사 후 연구원



강 갑 석 (姜 甲 錫)

2008년 평생교육진흥원 졸업, 2011년 숭실대학교 대학원 전기공학과 졸업 (석사), 1997년 ~ 현재 한국전기안전공사 사업관리처 근무



김 재 철 (金 載 哲)

1979년 숭실대 전기공학과 졸업, 1983년 서울대학교 대학원 전기공학과 졸업(석사). 1987년 동 대학원 전기공학과 졸업(박사). 1988년~현재 숭실대 전기공학과 교수



이 향 범 (李 亨 範)

1989년 서울대 전기공학과 졸업. 1991년 동 대학원 전기공학과 졸업(석사). 1995년 동 대학원 전기공학과 졸업(공학박사), 1995~1996년 기초전력공학공동연구소 전임연구원. 1996~1998년 군산대학교 전기공학과 전임강사. 1998년~현재 숭실대학교 전기공학부 교수