

논문 2012-50-5-8

0.18 μm CMOS 공정을 이용한 저 전력 1 Ms/s 12-bit 2 단계 저항 열 방식 DAC

(A Low-Power 1 Ms/s 12-bit Two Step Resistor String Type DAC
in 0.18 μm CMOS Process)

유 명 섭*, 박 형 구*, 김 홍 진*, 이 동 수*, 이 성 호**, 이 강 윤***

(MyungSeob Yoo, HyungGu Park, HongJim Kim, DongSoo Lee, SungHo Lee, and KangYoon Lee[©])

요 약

본 논문은 무선 센서분야를 위한 1MS/s rate의 저 전력 12-bit 2단계 저항 열 DAC를 제시하고 있다. 2단계 저항 열 구조를 채택함으로써 복잡함을 줄이고, 소비 전력을 최소화 하고 변환속도를 증가 시킬 수 있었다. 이 칩은 0.18 μm CMOS 공정에서 제작 되었으며, Die 면적은 0.76 μm x 0.56 μm 이다. 1.8V의 공급 전압으로부터 측정된 전력 소비는 1.8 mW 이다. 샘플링 주파수가 1MHz 이하에서 측정된 동적 동작범위(Spurious-Free Dynamic Range: SFDR)은 70dB 이다.

Abstract

A low-power 12-bit resistor string DAC for wireless sensor applications is presented. Two-step approach reduces complexity, minimizes power consumption and area, and increases speed. This chip is fabricated in 0.18- μm CMOS and the die area is 0.76 mm x 0.56 mm. The measured power consumption is 1.8mW from the supply voltage of 1.8V. Measured SFDR(Spurious-Free Dynamic Range) is 70dB when the sampling frequency is less than 1 MHz.

Keywords : DAC, resistor string, low-power, SFDR

I. 서 론

최근 무선통신 시스템뿐만 아니라 기타 여러 소비 전자장치는 동적 동작범위 (Spurious Free Dynamic Range: SFDR), 신호 대 잡음비(Signal to Noise: SNR), 전체 고조파 왜곡 율(Total Harmonic Distribution:

THD) 측면에서 높은 사양을 요구하고 있다^[1]. 이러한 동적인 사양으로 인해 휴대 기기의 낮은 배터리 전압 하에서 동작 가능한 저 전력 DAC 설계가 더욱 중요해지고 있다. DAC의 여러 구조들 중에서, Current steering type DAC의 전류 소비가 매우 높게 관계되어 있는 반면에, 저항 열 DAC는 전압의 형태로 신호를 전달함으로써 전력 효율이 잠재적으로 더 높은 편이다^[2]. 그림 1은 2-bit 저항 열 DAC의 예를 보여주며, 여기에서 고정된 전류가 저항을 통해서 흐른다.

Bit 수가 증가할 때 동일한 총 저항을 사용하여 지속적으로 정적 전류를 유지 할 수 있다. 그림 1과 같은 저항 열 DAC는 단위 저항 사용으로 단조성이 보장되는 장점이 있다. 저항 열 DAC의 정적전류가 증가하지 않기 때문에 분해능과 변환속도 사이에 Trade-off가 존재한다. 분해능과 함께 스위치 수가 기하급수적으로

* 학생회원, *** 평생회원, 성균관대학교 정보통신대학 (College of Information and Communication Engineering, Sungkyunkwan University)

** 정회원, 한국전자부품연구원 (Korea Electronics Technology Institute)

※ 본 연구는 미래창조과학부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음 (NIPA-2013-(H0301-13-1013).

※ 본 연구는 반도체설계교육센터(IDECE)의 지원을 받아 수행되었습니다.

© Corresponding Author(E-mail:klee@skku.edu)

접수일자 2013년2월18일, 수정완료일 2013년4월22일

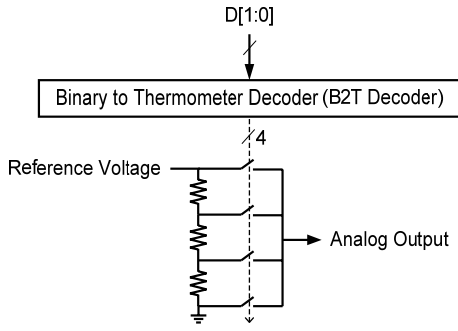


그림 1. 2-비트 저항 열 DAC 예
Fig. 1. An example of 2-bit resistor string DAC.

증가하기 때문에 대역폭과 변환속도는 제한된다. 이 제한은 지속적인 공정 스케일링을 통한 스위치 온 저항을 줄일수록 완화 될 수 있으며, 저 전력 응용 분야를 위해서 저항 열 구조를 채택할 수 있다. 이 논문에서는 무선 센서 분야를 위해 낮은 전력 12-bit 저항 열 DAC가 2 단계 구조로 설계 하였다. 저항 열의 개수를 줄이기 위해서 Coarse와 Fine 2단계로 변환하는 구조를 제안하였으며, 각 단계에 버퍼를 삽입함으로써 전력 소모를 획기적으로 줄일 수 있었다.

II. 저 전력 DAC 구조

무선 센서 분야에서는 높은 분해능을 가지는 DAC의 전력 소비는 매우 작아야 한다. 그림 2는 전통적인 전류 타입의 DAC의 블록 다이어그램을 보여주고 있으며, 이진 가중치를 가진 전류 원과 스위치로 구성된다. 전류의 스위칭이 간단하고 빠름에도 불구하고, 분해능이 높아질수록 전력 소비는 급격하게 증가하는 문제가 있다. 또한, 전류 타입의 DAC는 근본적으로 단조성이 깨질 가능성이 있다는 문제가 있다.

저 전력 응용 분야에서 전류 타입 DAC의 대안으로 저항 열 타입 DAC가 사용될 수 있다. 그림 3은 저항

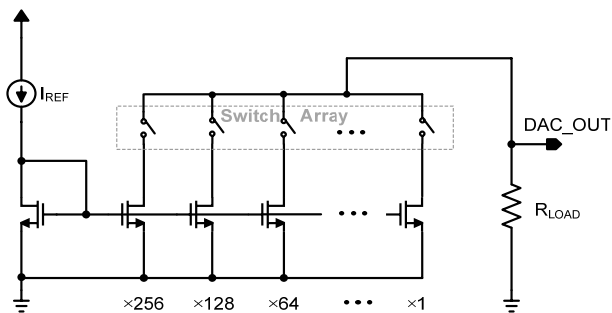


그림 2. 전통적인 전류 타입 DAC 블록 다이어그램
Fig. 2. Block diagram of conventional current-type DAC.

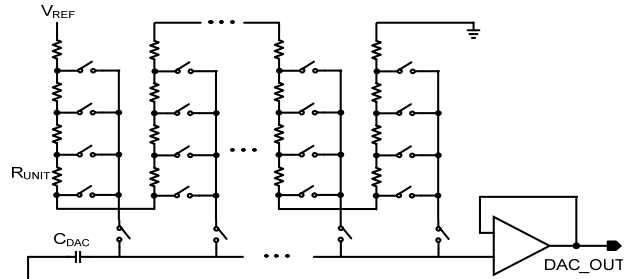


그림 3. 전형적인 저항 열 타입 DAC의 블록 다이어그램
Fig. 3. Block diagram of conventional resistor string type DAC.

열, 스위치, 출력 버퍼로 이루어진 전형적인 저항 열 DAC를 보여 준다^[3]. 분해능이 증가할수록, 대역폭을 일정하게 유지하기 위해, 단위 저항 (R_{unit})의 수가 증가하는 반면에 단위 저항 값은 더 작을 필요가 있다. 저항의 부정합이 단위 저항에 반비례하고, 분해능이 높을 때 부정합은 차동 비선형에러 (Differential Non Linearity Error: DNL) 적분비선형에러 (Integral Non Linearity Error: INL)에 매우 큰 영향을 준다. 이것을 피하기 위해 단위 저항을 증가시키는 것은 더 많은 면적 소비, 속도 감소 등 다른 문제들을 발생 시킨다. 분해능이 증가할수록, 구조의 복잡도가 증가되고, 많은 스위치 때문에 대역폭이 줄어들어서 8 비트 이상의 DAC를 구현하는 것은 현실적으로 힘들다.

전형적인 저항 열 타입 DAC의 큰 면적, 비선형성, 느린 변환 속도, 높은 복잡성 문제를 해결하기 위해서 본 논문에서는 2단계 저항 열 DAC구조가 제안 되었다. 그림 4는 2단계 저항 열 DAC 설계 개념을 보여주고 있다.

첫 번째 단계에서 Coarse DAC 동작된다. 최대와 최소 기준 전압은 각각 REFTOP과 REFBOT이며, 저항 열을 통해서 64개 레벨의 중간 기준 전압들이 생성된다. Coarse DAC 단계에서 12 비트 입력 중에서 상위 6

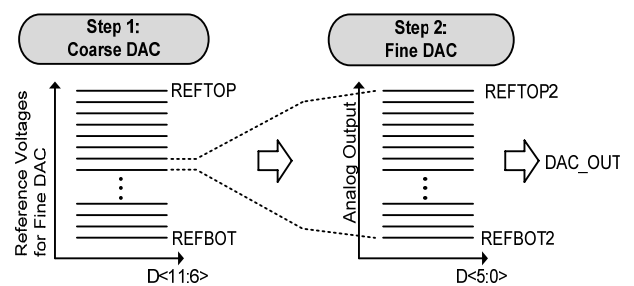


그림 4. 제안된 2단계 저항 열 DAC 설계 개념
Fig. 4. Concept of the proposed two-step resistor string DAC.

비트 ($D<11:6>$)에 해당되는 기준 전압들 (REFTOP2, REFBOT2)이 결정된다. Coarse DAC 동작이 끝난 후, Fine DAC 단계에서는 Coarse DAC에서 결정된 기준 전압들 (REFTOP2, REFBOT2)이 Fine DAC의 기준 전압으로 사용된다. Fine DAC 단계에서 최대와 최소 기준 전압은 각각 REFTOP2과 REFBOT2이며, 저항 열을 통해서 64개 레벨의 중간 기준 전압들이 생성된다. Fine DAC 단계에서 12 비트 입력 중에서 하위 6 비트 ($D<5:0>$)에 해당되는 최종 출력 (DAC_OUT)이 결정된다.

그림 5는 설계된 2단계 저항 열 DAC의 블록다이어그램을 보여주고 있다. DAC는 두 개의 저항 열 DAC들 (Coarse DAC, Fine DAC), 버퍼들 (Buffer), 기준전압 발생기 (Ref. Gen.), 이진-온도계코드 디코더들 (Binary-to-thermometer decoders, B2T Decoders) 그리고 출력 버퍼 (Out Buffer)로 구성 된다. 기준전압 발생기는 Coarse DAC의 6-bit 저항 열을 위한 두 기준전압 (REFTOP과 REFBOT)을 제공한다. Fine DAC를

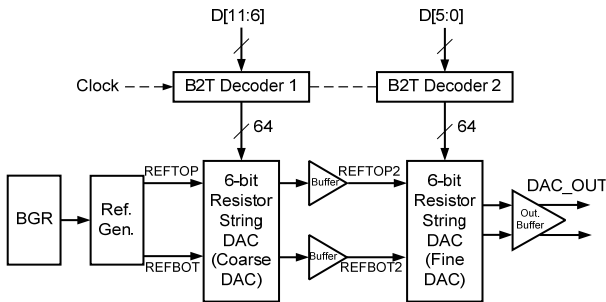


그림 5. 설계된 2단계 저항 열 DAC 블록다이어그램
Fig. 5. Block diagram of the designed two-step resistor string DAC.

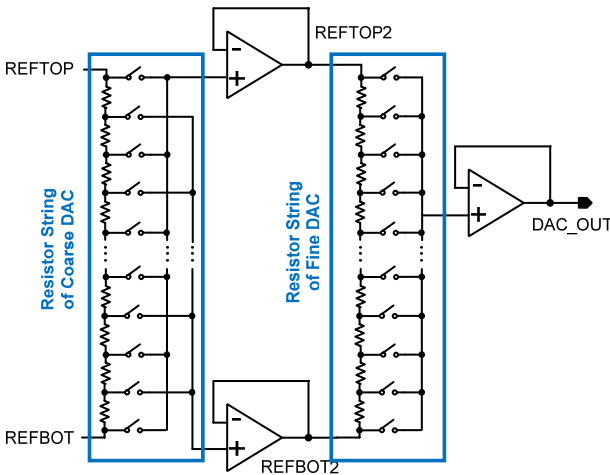


그림 6. Coarse DAC and Fine DAC의 저항 열
Fig. 6. Resistor strings of the Coarse DAC and Fine DAC.

위한 기준 전압은 Coarse DAC 동작이 끝난 후에 Coarse DAC에 의해 제공된다. Fine DAC는 최종 아날로그 출력을 발생시킨다.

그림 6은 Coarse DAC와 Fine DAC의 저항 열을 보여주고 있다. Coarse DAC와 Fine DAC의 기준 전압은 단일 저항 열로 부터 각각 생성된다. 12 비트 DAC를 하나의 저항 열로 구성할 경우 필요한 저항의 수는 4095개이지만, 2 단계 저항 열 구조를 채택한 결과, 12 비트 DAC를 위한 저항의 수는 단 2×63 개로 줄어들었다.

그림 7은 Coarse DAC와 Fine DAC 사이에 위치한 버퍼 회로도를 보여주고 있다. Two-Stage Op-amp를 사용하여 전압이득과 출력 범위를 증가 시키도록 설계 하였다. 버퍼의 소비전류는 1.8V 공급전압으로부터 35 μ A이고 Loading capacitance가 500fF일 때 phase margin은 70°이다.

그림 8은 출력 버퍼의 회로도를 보여주고 있다. 높은 이득과, 좋은 선형성, 큰 전압 범위를 얻기 위해 출력

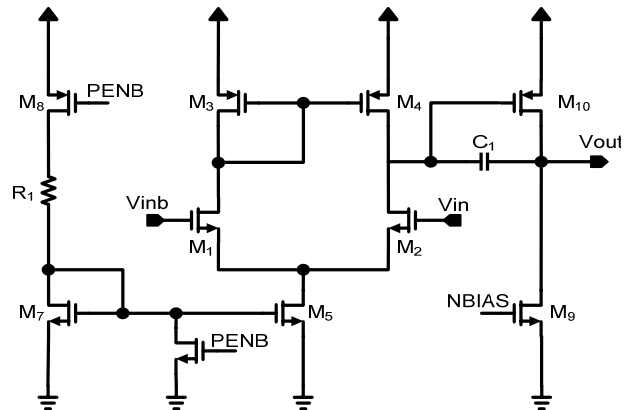


그림 7. Coarse DAC와 Fine DAC 사이의 버퍼 회로도
Fig. 7. Schematic of buffer between coarse DAC and Fine DAC.

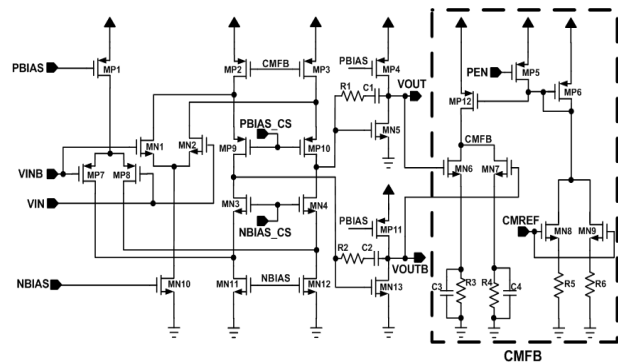


그림 8. 출력 버퍼 회로도
Fig. 8. Schematic of output buffer.

버퍼로는 Folded Cascode Two-Stage Op-amp를 설계 하였다^[4].

III. 실험 결과

이 칩은 1Poly 6Metal layer로 0.18um CMOS 공정에 서 제작 되었다. 그림 9는 칩 레이아웃을 보여주고 있으며, 실제 크기는 560 μm x 760 μm 이다.

그림 10은 측정을 위한 테스트 보드를 나타낸다. 테스트 보드는 4층 구조로 FR-4 재질을 사용 하였으며 50ohm 임피던스 매칭을 하였으며, Clock 신호와 아날 로그 신호의 간섭을 방지하기 위해 서로 다른 층에 배 선을 하였다.

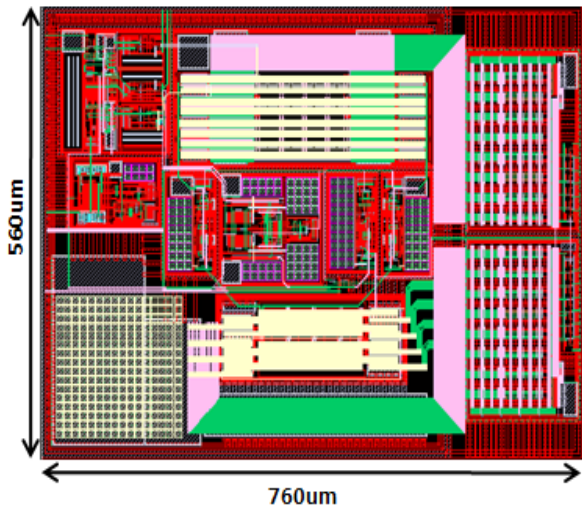


그림 9. 0.18μm CMOS의 저항 문자열 DAC의 칩 레이아웃

Fig. 9. Layout pattern of the resistor string DAC in 0.18-μm CMOS.

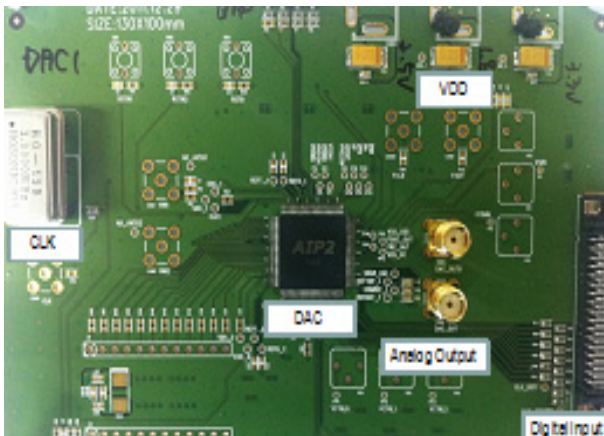


그림 10. 측정을 위한 테스트 보드
Fig. 10. Test board for measurement

그림 11은 출력 버퍼의 Transient 시뮬레이션 결과를 보여준다. RMS 전류소비 값은 차동 출력 전압 스윙이 1.6 V_{p-p} 일 때 1.8 V 공급 전압으로부터 200 uA이다.

그림 12 (a)와 (b)는 출력 버퍼 이득과 위상 응답의 simulation 결과 보여준다. DC이득은 95dB이고 이득이 1일 때 대역폭은 200MHz이다.

그림 13은 출력버퍼의 고속 푸리에 변환 (Fast

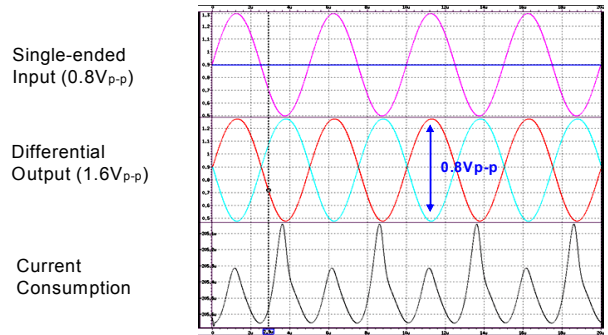
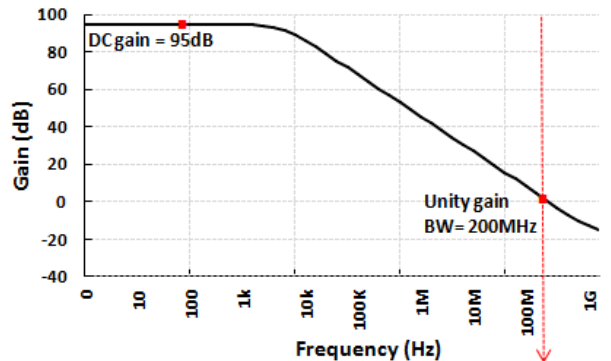
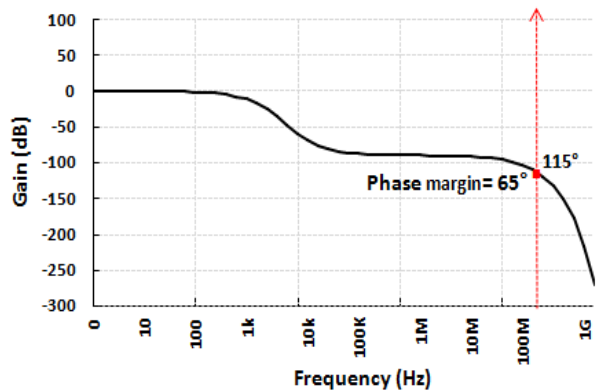


그림 11. 출력 버퍼의 Transient 시뮬레이션 결과
Fig. 11. Transient simulation results of the output buffer



(a)



(b)

그림 12. 출력버퍼의 소 신호 시뮬레이션 결과:
(a)이득 (b)위상응답

Fig. 12. Small-signal simulation results of the output buffer: (a) gain and (b) phase response

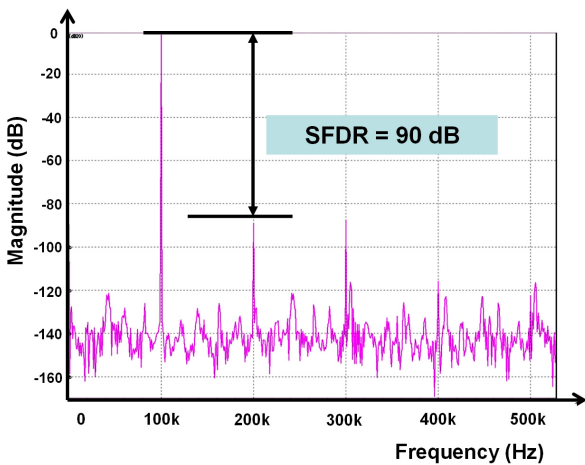


그림 13. 출력버퍼의 FFT 시뮬레이션 결과
Fig. 13. FFT simulation result of the output Buffer

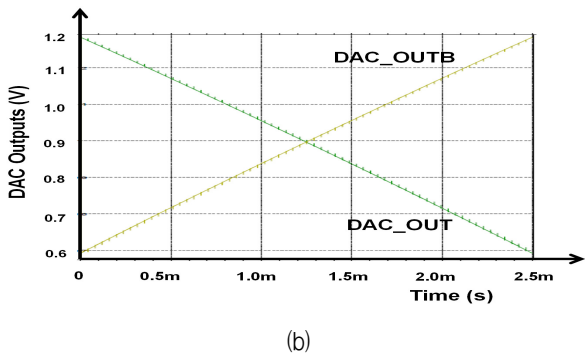
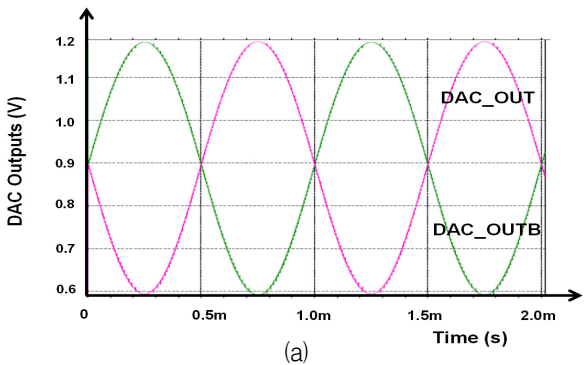


그림 14. 최상위 시뮬레이션 결과 (a)사인 입력 (b)램프 입력
Fig. 14. Top-level simulation results for (a) sine wave and (b) ramp inputs

Fourier transform: FFT) simulation 결과를 나타낸다. 입력 주파수가 100kHz일 때 출력버퍼의 동적 동작범위 (Spurious Free Dynamic Range: SFDR)는 90dB이다.

그림 14 (a)와 (b)는 각각의 sine과 ramp input을 위한 12-bit 두 단계 저항 열 DAC의 top-level simulation 결과를 나타낸다. 그림 14(b)에서 디지털 입력은 모두 '0' 에서 모두 '1'로 sweep 하고 차동 출력전압을 취하였다.

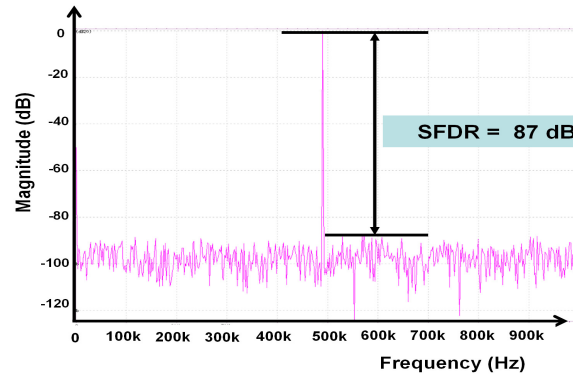


그림 15. 저항 문자열 DAC의 출력 스펙트럼
Fig. 15. Output spectrum of the resistor string DAC

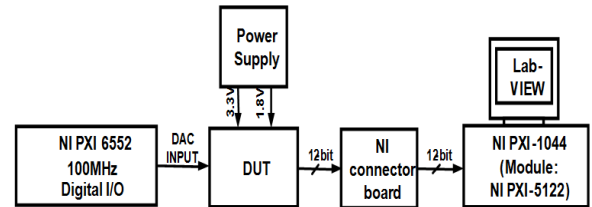


그림 16. DAC 프로 타입의 측정 환경
Fig. 16. Experimental setup of the DAC prototype.

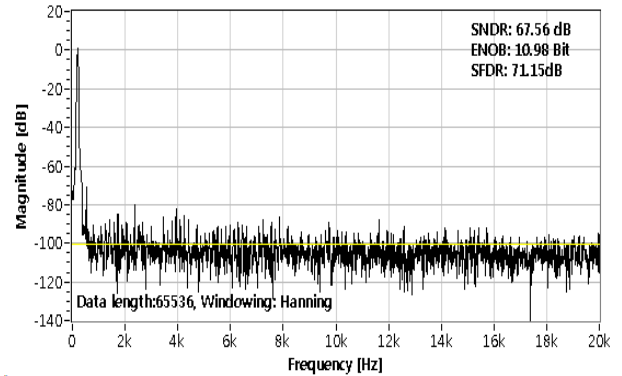


그림 17. DAC의 FFT 측정 결과
Fig. 17. Measured FFT results of the DAC.

그림 15는 500 kHz의 single-tone이 적용될 때 DAC output의 spectrum을 나타내었다. Transistor-level simulation에서 SFDR과 SNDR는 각각 87dB과 68.5dB이다.

그림 16은 DAC의 측정 환경을 보여주고 있다. 디지털 입력은 NI PXI-6552 Module로부터 적용 되었고, DAC output는 Labview에서 데이터를 분석하기 위해서 NI PXI-5122를 사용하여 출력 데이터를 획득하였다.

그림 17은 DAC의 측정된 FFT 결과를 나타내었다. 측정된 SFDR는 71.15dB이며, Data는 65k를 취득하여 Hanning windowing을 사용하여 FFT를 진행 하였다.

FFT는 결과는 측정된 DAC Output를 Labview FFT프로그램을 사용하여 결과를 구하였다.

그림 18은 샘플링 주파수에 따른 측정된 DAC의 SFDR 과 SNDR 값을 보여준다. 샘플링 주파수가 10kHz 이하에서는 SFDR이 70dB 이상의 값이 측정 되었으며, SNDR은 60dB 이상의 값이 측정 되었다.

그림 19 (a)와 (b)는 측정된 DAC의 INL, DNL 결과를 각각 보여주고 있다. 그림 19 (a)로부터 INL은 -0.91 LSB~+0.91 LSB임을 알 수 있으며, 그림 19 (b)

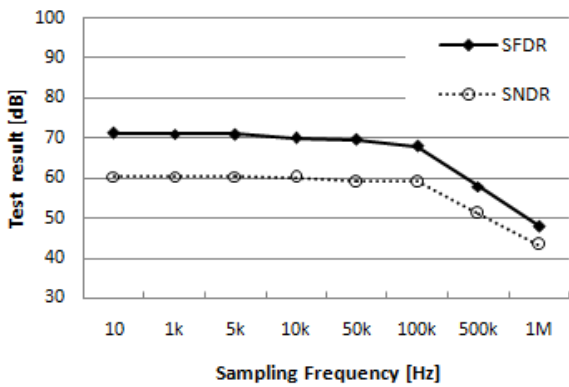
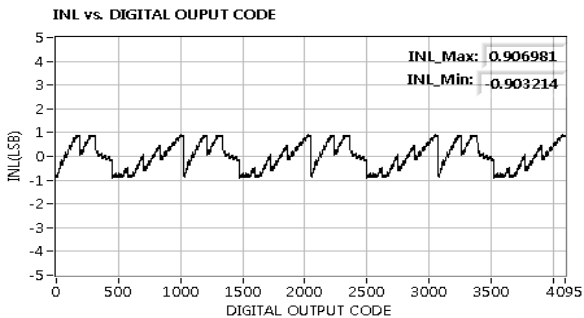
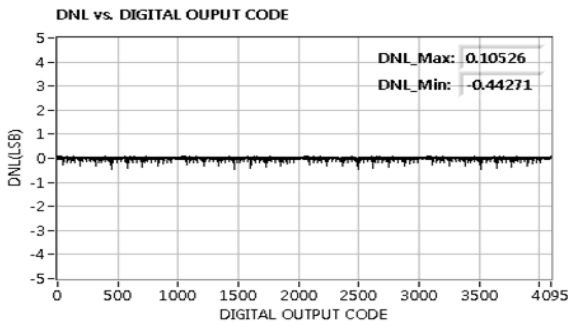


그림 18. DAC의 측정된 SFDR, SNDR과 샘플링 주파수의 관계
Fig. 18. Measured SFDR and SNDR of the DAC vs. sampling frequency



(a)



(b)

그림 19. DAC의 (a) INL (b) DNL 측정결과
Fig. 19. Measured (a) INL (b) DNL result of the DAC.

로부터 DNL은 -0.4 LSB~+0.1 LSB임을 알 수 있다.

INL, DNL의 측정결과가 +/- 1LSB 안으로 측정 되었다. 이는 DAC가 출력이 흔들림 없이 잘 출력 되고 있음 확인 할 수 있다.

(1)에서 정의된 FoM (Figure of Merit)를 기존 DAC들과의 성능을 비교하였다. DAC 성능은 면적 (A), DAC 분해능 (N), 변환 시간 (Ts)에 의해 곱해진 전력 소모 (P)로 표현될 수 있다.

$$FoM = \frac{T_s \cdot P}{\left(\frac{N}{DAC}\right)\left(\frac{DACs}{mm^2}\right)} = \frac{pJ}{\frac{b}{mm^2}} \quad (1)$$

그림 20은 기존 참고 문헌들과 설계한 DAC 성능을 FoM 기준으로 비교 하였다. 그래프에서 세로축은 로그 함수이고, 비트면적 밀도에 따라 pJ로 표현 되었다. 본 논문에서 설계한 DAC의 경우 참고 문헌들 보다 전력

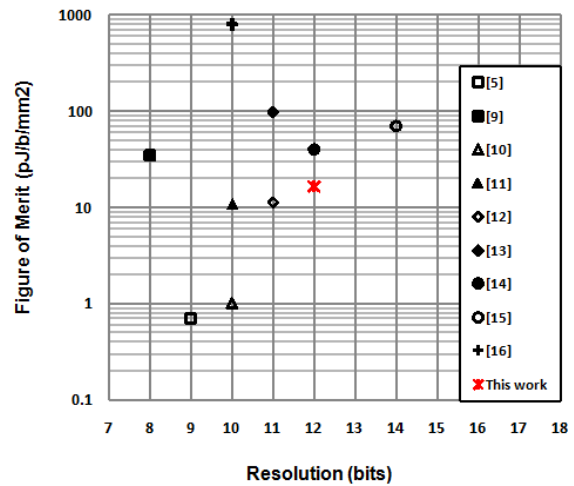


그림 20. DAC 성능 비교
Fig. 20. DAC performance comparison.

표 1. DAC의 성능 요약
Table 1. Performance Summary of DAC.

Technology	0.18-μm CMOS
Supply Voltage	1.8 V
Resolution	12 Bit
SFDR	71 dB
INL	-0.91 LSB~+0.91 LSB
DNL	-0.45 LSB~+0.11 LSB
Die Area	0.76 mm x 0.56 mm
Maximum Clock Speed	1 MHz
Current Consumption	1.088 mA
Power Down Current	37.19 nA

소모가 작아서 더 작은 FoM을 가짐을 알 수 있다.

Table 1은 2단계 저항 열 구조의 DAC 측정된 결과를 요약한다.

IV. 결 론

이 논문은 낮은 전력을 갖는 2단계 저항 열 타입 12비트 DAC의 설계 결과를 제시하였다. 2단계 저항 열 구조의 DAC가 무선 센서 분야의 낮은 전력 요구를 충족시키기 위해 설계 되었다. 이 칩은 0.18um CMOS 공정에서 제작되었고, 칩의 실제 크기는 0.76mm x 0.56mm이다. 1.8V 공급 전압으로부터 측정된 소비전력은 1.8mW이며, 측정된 SFDR는 71dB이다.

참 고 문 헌

[1] P. Hendriks, "Specifying communication DACs," IEEE Spectrum, vol.34, pp.58 - 69, Jul.1997.

[2] M. Pelgrom, "A 10-b 50-MHz CMOS D/A Converter with 75-Ω Buffer," IEEE J. Solid-State Circuits, vol.25, no.6, pp.1347 - 1352, Dec.1990.

[3] A. Abrial et al., "A 27-MHz digital-to-analog video processor," IEEE J. Solid-State Circuits, vol. SSC-23, pp. 1358 - 1369, Dec. 1988.

[4] D. Johns and K. Martin, Analog Integrated Circuit Design. New York :Wiley,1997.

[5] I. Knausz, et.al., "A Low Power, Scalable, DAC Architecture for Liquid Crystal Display Drivers", IEEE J. Solid-State Circuits, Vol.44, No.9, pp.2402-2410, Sep., 2009.

[6] C. Lin, et. al., "A 12bit 2.9GS/s DAC with IM3<-60dBc Beyond 1GHz in 65nm CMOS," IEEE J. Solid-State Circuits, Vol.44, No.12, pp.3285-3293, Dec., 2009.

[7] C., Lu, et.al., "A 10b Resistor-Resistor-String DAC with Current Compensation for Compact LCD Driver ICs", in ISSCC Dig. Tech Papers, Feb., 2011, pp.318-319.

[8] Y. Tang, et.al., "A 14 bit 200 MS/s DAC With SFDR > 78 dBc, IM3< -83 dBc and NSD< -163 dBm/Hz Across the Whole Nyquist Band Enabled by Dynamic-Mismatch Mapping", IEEE J. Solid-State Circuits, Vol.46, No.6, pp.1371-1381, June, 2011.

[9] G. Cauwenberghs, "A micropower CMOS algorithmic A/D/A converter," IEEE Trans. Circuits Syst., vol. 42, no. 11, pp. 913 - 919, Nov. 1995.

[10] M. Bell, "An LCD column driver using a switch

capacitor DAC," IEEE J. Solid-State Circuits, vol. SC-40, no. 12, pp. 2756 - 2765, Dec. 2005.

[11] Analog Devices. [Online]. Available: <http://www.analog.com/en/digital-to-analog-converters/da-converters/AD5611/products/product.html>

[12] S. Mortezaipoor et al., "Design of low-power ROM-less direct digital frequency synthesizer using nonlinear digital-to-analog converter," IEEE J. Solid-State Circuits, vol. 34, no. 10, pp. 1350 - 1359, Oct. 1999.

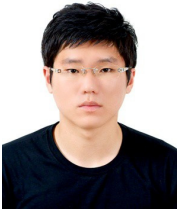
[13] F.Wang et al., "A quasi-passive CMOS pipeline D/A converter," IEEE J. Solid-State Circuits, vol. 24, no. 6, pp. 1752 - 1755, Dec. 1989.

[14] M. Moussavi et al., "A differential bipolar quasi-passive cyclic digital-to-analog converter with 4.416 MSps conversion rate and -77 dB THD," in Proc. IEEE Custom Integrated Circuits Conf., 2001, pp. 161 - 164.

[15] A. Heubi et al., "Micro power "relative precision" 13 bits cyclic RSD A/D converter," in Proc. Int. Symp. Low Power Electronics and Design, Aug. 1996, pp. 253 - 257.

[16] A. Chih-Wen Lu "A 10-bit Resistor-Floating-Resistor-String DAC (RFR-DAC) for High Color-Depth LCD Driver ICs," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 47, NO. 10, OCTOBER 2012.

저 자 소 개



유 명 섭(학생회원)
 2005년~현재 (주) 동부하이텍
 선임연구원
 2012년~현재 성균관대학교 정보
 통신대학 석사과정
 <주관심분야 : Data Converter,
 MIPI, PMIC>



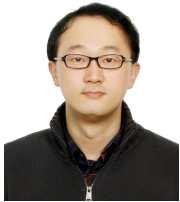
박 형 구(학생회원)
 2010년 건국대학교 전자공학과
 학사 졸업.
 2010년~현재 성균관대학교 정보
 통신 대학 석박통합과정
 <주관심분야 : RF Transceiver,
 무선 충전 시스템, Sigma-Delta
 ADC>



김 홍 진(학생회원)
 2010년 건국대학교 전자공학과
 학사 졸업.
 2010년~현재 성균관대학교 정보
 통신 대학 석박통합과정
 <주관심분야 : RF Transceiver,
 PMIC>



이 동 수(학생회원)
 2012년 건국대학교 전자공학과
 학사 졸업.
 2012년~현재 성균관대학교 정보
 통신 대학 석사과정
 <주관심분야 : RF Transceiver,
 Pre. Sensor>



이 성 호(정회원)
 2000년 서강대학교 전자공학과
 석사 졸업
 2011년 서울대학교 전기전자컴퓨
 터공학과 박사학위 취득
 2000년~2009년 GCT 책임연구원
 2010년~현재 한국전자부품연구원
 (KETI) 선임 연구원

<주관심분야 : Data Convert, RF Transceiver
 Power Amplifiers>



이 강 윤(평생회원)
 2003년~서울대학교 전기공학부
 박사 졸업.
 2000년~2005년 (주) 지씨티리씨치
 책임 연구원.
 2005년~2012년 건국대학교
 전자공학부 부교수

2012년~현재 성균관대 정보통신대학 부교수
 <주관심분야 : RF · 아날로그 집적회로설계, 아날
 로그/디지털 Mixed Mode 설계>