

논문 2012-50-5-7

MIM 커패시터에서의 정합특성의 온도에 대한 의존성 (Temperature Dependence of Matching Characteristics of MIM Capacitor)

장 재 형*, 권 혁 민*, 광 호 영*, 권 성 규*, 황 선 만*, 성 승 용*, 신 중 관*, 이 희 덕**

(Jae-Hyung Jang[Ⓞ], Hyuk-Min Kwon, Ho-Young Kwak, Sung-Kyu Kwon, Seon-Man Hwang, Seung-Yong Sung, Jong-Kwan Shin, and Hi-Deok Lee)

요 약

본 논문에서는 절연물체로 Si₃N₄를 사용한 MIM 커패시터의 정합특성의 온도에 대한 의존성에 대해 분석하였다. 온도가 올라감에 따라 정합특성이 열화 되는 현상이 나타났다. 즉, 25 °C, 75 °C 그리고 125 °C에서 Si₃N₄ MIM 커패시터의 정합특성 계수는 각각 0.5870, 0.6151, 0.7861 % μ m으로 측정 되었다. 이러한 현상은 온도가 증가함에 따라 커패시터 내부의 캐리어들의 이동도가 감소하고 전하의 농도가 많아지기 때문이라고 할 수 있다. 따라서 고온에서의 Si₃N₄ MIM 커패시터의 정합특성의 분석은 아날로그 집적회로나 SoC (System on Chip)에 아주 중요하고 필수적인 연구라고 할 수 있다.

Abstract

In this paper, temperature dependence of matching characteristics of Si₃N₄ MIM capacitor was analyzed in depth. The matching characteristics becomes worse as the temperature increases. That is, the matching coefficient of Si₃N₄ MIM capacitor at 25 °C, 75 °C, and 125 °C was 0.5870, 0.6151, and 0.7861 % μ m, respectively. This phenomena is believed to be due to the reduction of the carrier mobility and the increase of the charge concentration of the inner capacitor at greater temperature. Therefore, the analysis of the matching characteristics of Si₃N₄ MIM capacitors at high temperatures is essential for application to analog and SoC (System on Chip) circuit.

Keywords : MIM capacitor, Matching, Temperature, Si₃N₄, Silicon Nitride, Mismatch.

I. 서 론

아날로그 회로에서 널리 사용되는 differential amplifier, current mirror, voltage divider, band-gap voltage references, feedback networks, DAC, ADC 등에서는 주로 두 개 이상의 소자가 pair로 구성되는 차

동 쌍(differential pair)을 많이 사용하고 있다. 이런 회로에서 두 소자가 정밀한 정합 특성을 갖지 않는다면 회로의 성능이 저하되거나 심한 경우 오동작을 일으킬 수 있으므로 소자 간 정합 특성은 무엇보다 중요하다고 할 수 있다^[1-2]. 일반적으로 디지털 회로에서는 소자 간의 변수 차이가 출력부분에 큰 영향을 미치지 않지만, 아날로그 회로에서는 동작에 큰 영향을 미치게 된다. 또한 많은 아날로그 회로의 성능은 능동 소자(transistor, varactor, diode 등) 뿐만 아니라 수동 소자(MIM capacitor, inductor, resistor 등)에 의해서도 결정 된다고 알려져 있다^[3]. 더욱이 최근에 아날로그 소자의 회로의 집적화 및 성능 향상을 위해 능동 소자 뿐만 아니라 수동 소자의 집적화가 진행됨에 따라 수동 소자 간의 부정합 오류(mismatch error)를 정확히 평가하는

* 학생회원, ** 정회원, 충남대학교 전자공학과
(Dept. of Electronics Engineering, Chungnam National University)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술 개발사업(정보통신)[10041855, e-NVM 내장형 아날로그 혼성신호 기반의 융복합 공정기술 및 IP 개발]과 지식경제부와 한국산업기술진흥원의 전략기술인력양성사업으로 수행된 결과임

Ⓞ Corresponding Author(E-mail:wkdwo0@cnu.ac.kr)
접수일자 2012년10월5일, 수정완료일 2013년4월25일

것이 매우 중요해지고 있다^[4]. 특히 아날로그 회로의 집적화를 위해서는 다른 소자들에 비해 많은 면적을 차지하고 있는 커패시터의 크기를 줄이는 것이 매우 필요하다고 할 수 있다. 하지만 MIM 커패시터의 면적과 정합특성은 trade-off 관계를 갖기 때문에 MIM 커패시터의 정합특성에 대한 연구는 매우 중요하다고 할 수 있다^[5]. 최근 아날로그 회로에서는 미세한 정전 용량을 요구하는 회로가 많아지면서 기존의 연구로는 면적이 작아진 커패시터의 정전 용량에 대한 평가를 LCR meter로 측정하는데 한계가 발생하게 되었다. 따라서 최근에 미세한 정전 용량을 측정하기 위한 FGMT(Floating Gate Measurement Technique), CBCM(Charge-Based Capacitance Measurement)와 같은 방법이 제안되고 있으며, 특히 FGMT의 측정 방법은 source follower의 parasitic 커패시터의 영향을 없앨 수 있기 때문에 좀더 정확한 정합 특성을 추출해 낼 수 있다고 알려져 있다^[5~8]. 이러한 기존의 정합특성에 대한 논문들은 주로 상온에서 이루어져 왔다. 하지만 아날로그 회로의 동작에 의해 칩이 고온까지 올라 갈 수 있으므로, 상온에서 뿐만 아니라 고온에서의 정합특성도 분석하는 것이 매우 중요하다고 할 수 있다^[9].

따라서 본 논문에서는 FGMT 방법을 이용하여 절연물질로 실리콘 질화막 (Si_3N_4)을 사용한 MIM 커패시터의 온도에 따른 정합 특성을 분석하였다.

II. 실험 방법

실험에 사용한 MIM 커패시터는 일반적인 $0.13\mu\text{m}$ CMOS 공정을 이용하여 제작하였으며, Metal 2와 Metal 3 사이에 형성하였다. MIM 커패시터의 bottom electrode와 top electrode로는 TiN을 사용하였으며 약 650\AA 두께의 Si_3N_4 를 PECVD로 형성 하였다. 표 1은 본 실험에서 사용된 MIM 커패시터들의 여러 면적을 나타낸 것이며, source follower는 PMOS(W/L = 5/0.35

표 1. 실험에 사용된 Si_3N_4 MIM 커패시터의 크기
Table 1. Split of Si_3N_4 MIM capacitors used for experiments.

width (μm)	Height (μm)	Area (μm^2)
5	5	25
10	10	100
20	20	400
40	40	1600

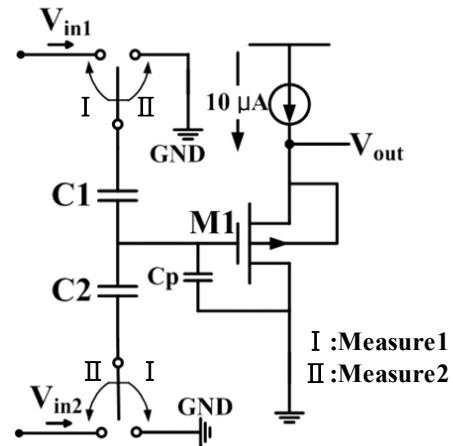


그림 1. 정합특성 측정에 사용된 FGMT의 구조 그림
Fig. 1. Schematic diagram of the floating gate capacitance measurement technique (FGMT) for measurement of matching characteristics.

μm)을 사용하였다.

본 실험에서는 정합특성 계수를 추출하기 위해 FGMT 방법을 이용하였으며 측정 방법은 다음과 같다^[5~7]. 그림 1에서와 같이 정합 특성 평가는 일반적으로 근접한 소자간의 소자 파라미터 차이로 정의되기 때문에 C2의 한 쪽 단자를 ground에 연결하고 하나의 회로로 같이 구성된 source follower인 PMOSFET (M1)에 외부 장치를 통해 일정한 전류를 흘려주면서 C1의 한 쪽 단자에 전압을 인가하게 된다. C1의 인가된 전압은 C1과 C2+Cp 간의 전압 분배 법칙에 따라 인가된 전압의 약 1/2 정도가 source follower의 게이트 전압에 걸리게 된다. 이렇게 인가된 전압은 source follower 소자의 gain이 이상적으로 1인 경우에 그대로 출력 단으로 전달이 되게 된다. 즉, 그림 2와 같이 인가전압에 따른 출력전압을 측정하여 추출된 입출력 전압 기울기를 S1이라고 정의한다. 다음에는 반대로 C1을 접지로 연결한 후 C2에 첫 번째 방법과 동일하게 전압을 인가하여 같은 방법으로 출력전압을 측정하고 두 번째 기울기인 S2를 구한다. 이렇게 구해진 기울기를 이용하여 아래의 식으로 한 쌍의 커패시터의 정합정도를 계산 할 수 있다.

$$V_{out1} = \frac{1}{\frac{1}{C_2 + C_p} + \frac{1}{C_1}} \times V_{in1} \quad (1)$$

$$S_1, S_2 = \frac{V_{out}}{V_{in1} \text{ or } V_{in2}} = \frac{C_1 \text{ or } C_2}{C_1 + C_2 + C_p} \quad (2)$$

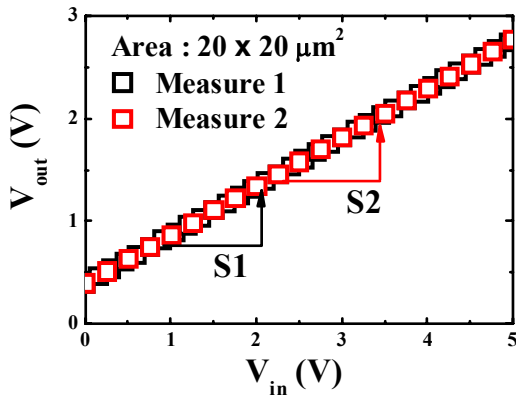


그림 2. FGMT 구조에서의 출력전압-입력전압 특성. 기울기의 차이가 그림 1의 두 커패시터의 차이를 나타냄.

Fig. 2. V_{out} vs V_{in1} (V_{in2}) of FGMT structure. The difference of slopes represents the difference of the two capacitors in Fig. 1.

$$2 \frac{S_1 - S_2}{S_1 + S_2} = 2 \frac{C_1 - C_2}{C_1 + C_2} = \frac{\Delta C}{C} \quad (3)$$

식(1)은 그림 1에서 FGMT 회로의 출력전압이 계산 되는 것을 나타낸 것이다. 이 식(1)을 이용하여 식(2)와 같이 S1과 S2를 계산 할 수 있으며, 측정된 결과는 그림 2와 같다. FGMT 회로를 통해 정합특성 계수를 평가하는 장점 중에 하나는 식 (3)과 같이 source follower의 parasitic 커패시터 (C_p)의 영향을 받지 않는다는 것이다. 식 (3)과 같이 기울기의 차이를 계산하면 C_1 과 C_2 의 미세한 정전 용량의 차이를 구할 수 있으며, 면적별 site간의 변화 정도를 표준 편차로 계산하여 정합특성 계수를 분석하게 된다.

이러한 방법으로 HP4156C semiconductor parameter analyzer를 이용하여 25°C에서 MIM 커패시터들을 측정하였다. 25°C에서 측정이 끝난 후, 온도를 75°C와 125°C로 차례로 높이면서 25°C에서와 마찬가지로 측정을 진행하였다. 그리고 HP4284A 장비를 이용하여 Si_3N_4 MIM 커패시터의 가장 큰 면적에서 온도를 변화시키면서 주파수가 100kHz일 때의 전압에 따른 정전 용량을 측정하였다. 데이터의 신뢰성을 높이기 위해 30개 이상의 sample을 측정하여 통계적으로 분석하였다.

III. 결과 및 고찰

Si_3N_4 MIM 커패시터의 가장 작은 크기인 5×5 (μm^2)에서의 정합특성의 누적 확률 분포를 그림 3과 같이 온도 조건에 따라 비교하였다. 25°C에서와 75°C에서는 그

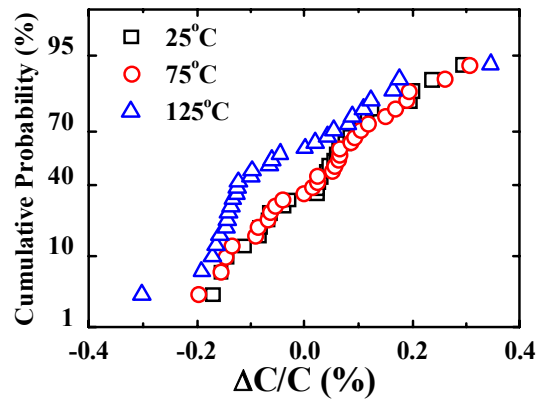


그림 3. 온도별로 비교해본 5×5 (μm^2) 면적의 Si_3N_4 MIM 커패시터의 정전용량값의 변화량의 확률 분포도

Fig. 3. Comparison of the cumulative probability of capacitance variation of Si_3N_4 MIM capacitor with a split of measurement temperature.

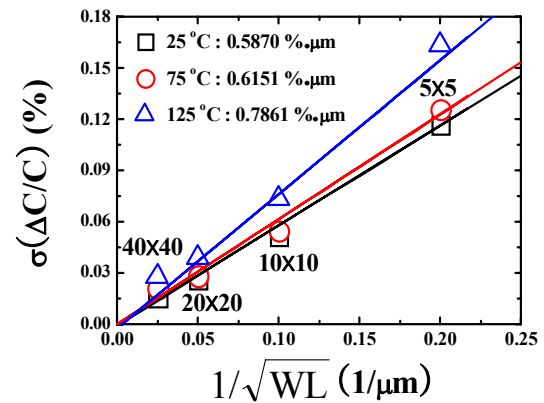


그림 4. 온도별로 추출된 Si_3N_4 MIM 커패시터의 정합특성 계수

Fig. 4. Extraction of the matching coefficient of Si_3N_4 MIM capacitor with three temperature conditions.

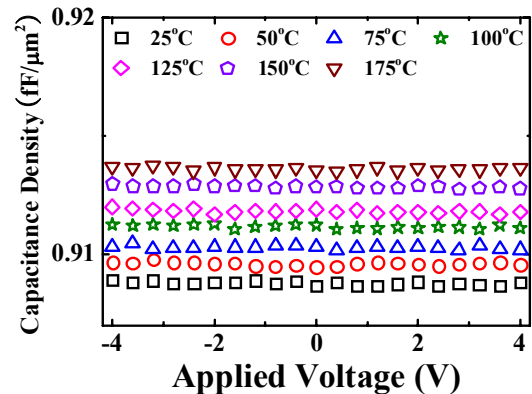


그림 5. 온도에 따라 측정된 Si_3N_4 MIM 커패시터의 C-V 곡선

Fig. 5. C-V characteristic for Si_3N_4 MIM capacitor with a split of temperature from 25°C to 175°C.

림 3과 같이 정전용량의 차이 값이 비슷한 경향을 보이고 있지만 125°C에서는 차이 값의 변동이 다른 조건에 비해 큰 것을 알 수 있다. 이 결과로 온도가 높아짐에 따라 MIM 커패시터의 정합특성이 달라질 수 있으며, 이에 따른 분석이 반드시 필요하다고 할 수 있다.

그림 4는 25°C, 75°C, 125°C의 세 가지 온도 조건에서 측정된 MIM 커패시터들의 정합특성 계수를 Pelgrom 모델을 이용하여 비교한 그래프로써^[2], 온도가 올라갈수록 기울기가 커지는 것을 알 수 있다. 25°C보다 75°C에서는 정합특성계수는 4.79% 증가한 것을 알 수 있으며, 125°C에서는 25°C보다 33.92%가 더 증가한 것을 확인 할 수 있다. 이러한 결과를 통해 온도가 높아짐에 따라 커패시터의 정합특성이 열화 되는 것을 알 수 있다.

FGMT 방법에서 source follower 트랜지스터와 MIM 커패시터가 동시에 온도에 대한 영향을 받겠지만, 앞서 설명과 같이 source follower 트랜지스터는 정합특성을 분석하는데 영향을 미치지 않는다. 그림 5는 온도를 변화 시켜 가면서 Si₃N₄ MIM 커패시터의 C-V 특성을 측정된 결과이다. 그림에서 알 수 있듯이 온도가 높아짐에 따라 정전용량이 증가하는 것이 확인 되었다. 이 결과는 기존의 발표되었던 다른 MIM 커패시터들의 정전용량이 온도에 비례하여 증가하는 것과 일치하는 결과이다^[10-12]. 온도가 올라가게 되면 정전용량은 증가하게 되지만, MIM 커패시터의 절연체내의 캐리어의 이동도는 온도에 비해 로그 함수적으로 감소하는 경향을 가지고 있다^[13]. 즉, 온도가 높아지게 됨에 따라 캐리어가 커패시터 내부에 머물러 있게 되는 시간이 많아지게 되고, 전압을 가해주면서 쌓이는 전하의 양이 많

아지면서 전하의 농도가 증가하며, 결국 정전용량이 커지게 되는 효과가 발생한다. 따라서 정전용량은 온도가 증가할수록 그 변화정도가 임의적으로 더 심해질 수가 있다. 이로 인해 정전용량의 변동이 심해질수록 같은 크기의 커패시터일지라도 측정되는 정전용량의 미세한 값이 차이가 더욱더 커지게 되므로 정합특성의 차이 또한 커지게 될 수 있다.

그림 6은 그림 5와 같은 방법으로 측정된 온도에 따른 MIM 커패시터의 정전용량을 추출하여 구한 TCC (Temperature Coefficient of Capacitance) 그래프를 나타낸 것이다. TCC의 계수는 아래와 같은 식 (4)를 이용하여 계산 할 수 있다.

$$TCC = \frac{1}{C_0} \times \frac{\Delta C}{\Delta T} \quad (4)$$

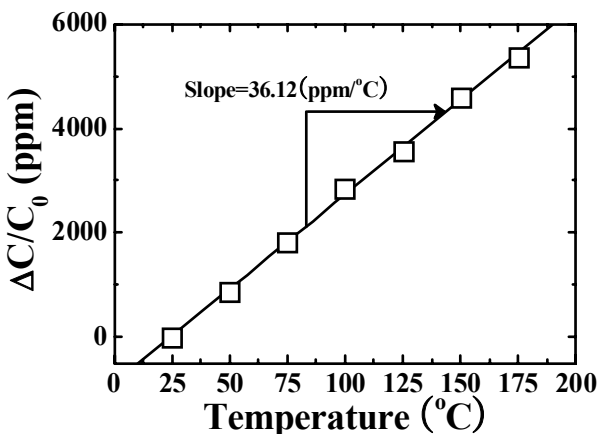
상온에서 전압이 인가되어 있지 않은 상태에서의 정전용량(C₀)을 기준으로, 각 온도별로 정전용량의 변화량을 구하여 기울기를 추출 하였다. 기울기는 36.12(ppm/°C)이다. TCC를 측정함으로써 Si₃N₄를 사용한 MIM 커패시터는 다른 물질들을 사용한 MIM 커패시터와 마찬가지로 온도에 따라 정전용량이 일정하게 증가 하는 것을 알 수 있었다 [14-15]. 이런 결과를 종합하여 보았을 때, MIM 커패시터는 온도에 따라 특성이 변하는 것을 알 수가 있으며, 이러한 변화는 정합특성에도 영향을 미치는 원인이 될 수 있다고 할 수 있다.

IV. 결 론

본 논문에서는 절연물질로 실리콘 질화막(Si₃N₄)을 사용한 MIM 커패시터의 정합특성을 온도에 따라 비교 분석을 하였다. MIM 커패시터의 정합특성을 25°C, 75°C, 125°C에서 측정하여 비교해 본 결과, 온도가 높아짐에 따라 정합특성이 열화가 되는 것을 확인 하였다. 75°C의 경우 25°C에서보다 정합특성계수가 4.79% 증가하였으며, 125°C에서는 25°C에서보다 33.92%나 더 증가한 것을 확인하였다. 따라서 아날로그 집적회로나 SoC 회로 안에서 많은 면적을 차지하고 있는 MIM 커패시터의 온도에 따른 정합특성 의존성에 대한 연구는 매우 중요하다고 할 수 있다.

참 고 문 헌

그림 6. Si₃N₄ MIM 커패시터의 TCC 그래프
Fig. 6. Extraction of the temperature coefficient of capacitance (TCC).



[1] H. P. Tuinhout, "Design of Matching Test

- Structures," IEEE Conf. on Microelectronic Test Structures, pp. 21-27, San Diego, USA, Mar. 1994.
- [2] M. J. M. Pelgrom, A. C. J. Duinmaijer and A. P. G. Welbers, "Matching Properties of MOS Transistors," IEEE Journal of Solid-State Circuits, Vol. 24, No. 5, pp. 1433-1440, Oct. 1998.
- [3] K. R. Lakshmikumar, R. A. Hadaway and M. A. Copeland, "Characterization and modeling of mismatch in MOS transistors for precision analog design," IEEE Journal of Solid-State Circuits, Vol. 21, No. 6, pp. 1057-1066, Dec. 1986.
- [4] L. Pileggi, G. Keskin, X. Li, K. Mai and J. Proesel, "Mismatch Analysis and Statistical Design at 65nm and below," IEEE Conf. on Custom Integrated Circuits, pp. 9-12, California, USA, Sept. 2008.
- [5] H. P. Tuinhout, H. Elzinga, J. T. Brugman and F. Postma, "The Floating Gate Measurement Technique for Characterization of Capacitor Matching," IEEE Trans. on Semiconductor Manufacturing, Vol. 9, No. 1, pp. 2-8, Feb. 1996.
- [6] 장재형, 권혁민, 정의정, 곽호영, 권성규, 이환희, 고성용, 이원목, 이성재, 이희덕, "MIM 구조를 갖는 $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ 캐패시터의 정합특성 분석," 전기전자재료학회 논문지, Vol. 25, No. 1, pp. 1-5, Jan. 2012.
- [7] J. Hunter, P. Gudem and S. Winters, "A Differential Floating Gate Capacitance Mismatch Measurement Technique," IEEE Conf. on Microelectronis Test Structures, pp. 142-147, California, USA, Mar. 2000.
- [8] H. Zhao, R. Kim, A. Paul, M. Luisier, G. Klimeck, F. J. Ma, S. C. Rustagi, G. S. Samudra, N. Singh, G. Q. Lo and D. L. Kwong, "Characterization and Modeling of Subfemtofarad Nanowire Capacitance Using the CBCM Technique," IEEE Electron Device Letters, Vol. 30, No. 5, pp. 526-528, May. 2009.
- [9] P. Andricciola and H. P. Tuinhout, "The Temperature Dependence of Mismatch in Deep-Submicrometer Bulk MOSFETs," IEEE Electron Device Letters, Vol. 30, No. 6, pp. 690-692, Jun. 2009.
- [10] J. G. Hyun, S. Y. Lee, S. D. Cho and K. W. Paik, "Frequency and Temperature Dependence of Dielectric Constant of Epoxy/ BaTiO_3 Composite Embedded Capacitor Films (ECFs) for Organic Substrate," Electronic Components and Technology Conference, pp. 1241-1247, Jun. 2005.
- [11] H. Hu, C. Zhu, Y. F. Lu, M. F. Li, B. J. Cho and W. K. Choi, "A High Performance MIM capacitor Using HfO_2 Dielectrics," IEEE Electron Device Letters, Vol. 23, No. 9, pp. 514-516, Sept. 2002.
- [12] S. Becu, S. Cremer, O. Noblanc, J. L. Aufran and P. Delpech, "Characterization and Modeling of Al_2O_3 MIM capacitors : Temperature and Electrical Field Effects," IEEE Conf. on Solid State Device Research, pp. 265-268, Grenoble, France, Sept. 2005.
- [13] C. Zhu, H. Hu, X. Yu, S. Kim, A. Chin, M. F. Li, B. J. Sho and D. L. Kwong, "Voltage and Temperature Dependence of Capacitance of High-k HfO_2 MIM Capacitors : A Unified Understanding and Prediction," IEEE International Electron Devices Meeting, pp. 36.5.1-36.5.4, Dec. 2003.
- [14] S. U. Park, C. Y. Kang, H. M. Kwon, B. S. Park, W. H. Choi, I. S. Han, G. Bersuker, R. Jammy and H. D. Lee, "Analysis of reliability characteristics of high capacitance density MIM capacitors with SiO_2 - HfO_2 - SiO_2 dielectrics," Microelectronic Engineering, Vol. 88, pp. 3389-3392, Dec. 2011.
- [15] S. U. Park, H. M. Kwon, I. S. Han, Y. J. Jung, H. Y. Kwak, W. I. Choi, M. L. Ha, J. I. Lee, C. Y. Kang, B. H. Lee, R. Jammy and H. D. Lee, "Comparison of Multilayer Dielectric Thin Films for Future Metal - Insulator - Metal Capacitors : $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3$ versus $\text{SiO}_2/\text{HfO}_2/\text{SiO}_2$," Japanese Journal of Applied Physics, Vol. 50, No. 10, pp. 10PB06-10PB06-4, Oct. 2011.

저 자 소 개



장 재 형(학생회원)
 2011년 충남대학교
 전자공학과 학사 졸업.
 2011년~현재 충남대학교
 전자공학과 석사과정
 <주관심분야 : CMOS 소자, 아날로그 반도체 소자 정합 특성>



권 혁 민(학생회원)
 2007년 충남대학교
 전자공학과 학사 졸업.
 2009년 충남대학교
 전자공학과 석사 졸업.
 2009년~현재 충남대학교
 전자공학과 박사 과정
 <주관심분야 : CMOS 소자, 아날로그 반도체 소자, MOSFET의 신뢰성, RF CMOS 소자>



곽 호 영(학생회원)
 2011년 충남대학교
 전자공학과 학사 졸업.
 2011년~현재 충남대학교
 전자공학과 석사과정
 <주관심분야 : CMOS 소자, 아날로그 반도체 소자 특성>



권 성 규(학생회원)
 2011년 충남대학교
 전자공학과 학사 졸업.
 2011년~현재 충남대학교
 전자공학과 석사과정
 <주관심분야 : CMOS 소자, 아날로그 반도체 소자, 저주파 노이즈 특성>



황 선 만(학생회원)
 2012년 충남대학교
 전자공학과 학사 졸업.
 2012년~현재 충남대학교
 전자공학과 석사과정
 <주관심분야 : CMOS 소자, 아날로그 반도체 소자 정합 특성>



성 승 용(학생회원)
 2012년 충남대학교
 전자공학과 학사 졸업.
 2012년~현재 충남대학교
 전자공학과 석사과정
 <주관심분야 : MOSFET 소자의 신뢰성, 아날로그 반도체 소자 특성>



신 종 관(학생회원)
 2012년 충남대학교
 전자공학과 학사 졸업.
 2012년~현재 충남대학교
 전자공학과 석사과정
 <주관심분야 : RF 소자 모델링, 아날로그 반도체 소자 특성>



이 희 덕(정회원)
 1996년 한국과학기술원 전기 및 전자공학과 박사 졸업
 1993년~2001년 LG반도체 및 하이닉스반도체 책임연구원
 2001년~현재 충남대학교 전자공학과 교수
 <주관심분야: Analog 소자 개발, 저주파 노이즈 분석, 차세대 Silicide/Germanide 기술 및 차세대 나노소자 개발, 반도체 소자의 TEG 설계 및 분석, 신뢰성 분석 및 RF 소자 Modeling 등>