

논문 2012-50-4-5

# 3D Device simulator를 사용한 공정과 Layout에 따른 FinFET 아날로그 특성 연구

( Analysis of Process and Layout Dependent Analog Performance of  
FinFET Structures using 3D Device Simulator )

노 석 순\*, 권 기 원\*\*, 김 소 영\*\*

( SeokSoon Noh, KeeWon Kwon, and SoYoung Kim )

## 요 약

본 논문에서는 3차원 소자 시뮬레이터인 Sentaurus를 사용하여, spacer 및 selective epitaxial growth (SEG) 구조 등 공정적 요소를 고려한 22 nm 급 FinFET 구조에서 레이아웃에 따른 DC 및 AC 특성을 추출하여 아날로그 성능을 평가하고 개선 방법을 제안한다. Fin이 1개인 FinFET에서 spacer 및 SEG 구조를 고려할 경우 구동전류는 증가하지만 아날로그 성능지표인 unity gain frequency는 total gate capacitance가 dominant하게 영향을 주기 때문에 동작 전압 영역에서 약 19.4 % 저하되는 것을 알 수 있었다. 구동전류가 큰 소자인 multi-fin FinFET에서 공정적 요소를 고려하지 않을 경우, 1-finger 구조를 2-finger로 바꾸면 아날로그 성능이 약 10 % 정도 개선되는 것으로 보이나, 공정적 요소를 고려 할 경우 multi-finger 구조의 게이트 연결방식을 최적화 및 gate 구조를 최적화 해야만 이상적인 아날로그 성능을 얻을 수 있다.

## Abstract

In this paper, the analog performance of FinFET structure was estimated by extracting the DC/AC characteristics of the 22 nm process FinFET structures with different layout considering spacer and SEG using 3D device simulator, Sentaurus. Based on the analysis results, layout methods to enhance the analog performance of multi-fin FinFET structures are proposed. By adding the spacer and SEG structures, the drive current of 1-fin FinFET increases. However, the unity gain frequency,  $f_T$ , reduces by 19.4 % due to the increase in the total capacitance caused by the added spacer. If the process element is not included in multi-fin FinFET, replacing 1-finger with 2-finger structure brings approximately 10 % of analog performance improvement. Considering the process factors, we propose methods to maximize the analog performance by optimizing the interconnect and gate structures.

**Keywords** : FinFET, finger, 3-stage ring oscillator, unity gain frequency

## I. 서 론

CMOS의 집적도가 증가함에 따라 단채널 효과(Short Channel Effects, SCE)와 drain induced barrier lowering (DIBL)현상이 악화되고 gate controllability의 감소로 인하여 소자의 누설전류가 증가하게 되었다<sup>[1]</sup>. 이에 따라 누설전류를 줄이기 위하여 multi-gate 구조인 FinFET이 등장하게 되었는데, 3D 구조인 FinFET

\* 학생회원, \*\* 정회원, 성균관대학교 정보통신대학  
(College of Information and Communication  
Engineering, Sungkyunkwan University)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원  
의 산업원천기술개발사업(정보통신)의 일환으로 수  
행하였음.[10039174, 22nm급 이하 파운드리 소자 및  
PDK 기술 개발]

※ 본 논문은 IDEC CAD Tool 지원을 받아 수행된 것임.  
접수일자: 2012년11월30일, 수정완료일: 2013년2월27일

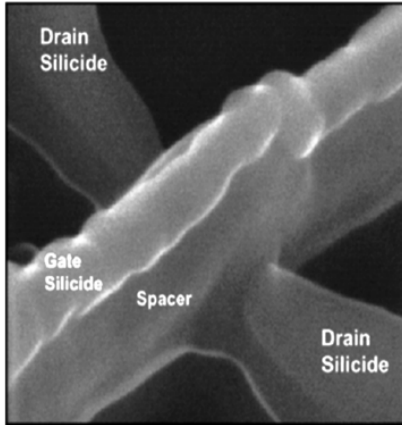


그림 1. 60 nm 급 FinFET SEM 사진<sup>[5]</sup>  
Fig. 1. A SEM picture of 60 nm process FinFET.<sup>[5]</sup>

은 드레인과 소스간의 electric field를 감소시켜 SCE와 누설전류를 효과적으로 줄일 수 있다. 따라서 디지털 회로에서는 누설전류의 감소로 인한 저전력 회로가 구현 가능하고, 아날로그 회로에서도 같은 채널 길이를 가지는 2D 구조의 MOSFET 보다 더 많은 drive current를 확보 할 수 있게 되어 고속 동작 회로가 구현 가능하다. 이러한 장점 때문에 디지털/아날로그 회로 및 mixed signal 설계에 있어 FinFET의 활용이 확대될 전망이다.<sup>[2~3]</sup>

아날로그 회로의 경우 다양한 채널 길이와 폭을 가진 소자를 사용하여 설계되는데, FinFET은 공정적 제약으로 인해 fin의 높이와 폭이 고정되어 fin으로 구성할 수 있는 effective width가 제한되므로 구동전류가 큰 소자를 만들기 위해서는 여러 개의 fin을 연결한 multi-fin 구조로 구현해야 한다<sup>[4]</sup>. 그러나 multi-fin FinFET은 3차원적인 소자 구조로 인해 fin의 개수가 증가할 때마다 기생 커패시턴스가 증가하게 되어 소자의 unity-gain frequency ( $f_T = g_m / 2\pi C_{gg}$ )와 같은 아날로그 특성이 악화되게 된다.<sup>[6~7]</sup>

이러한 문제점을 해결하기 위하여 FinFET의 유효 채널 길이를 같게 한 뒤 FinFET의 구조를 조절 하여 아날로그 성능을 최적화 하는 방법이 연구 되어 왔다<sup>[8],[9]</sup>. 하지만 multi-fin FinFET은 게이트를 여러 개의 fin이 둘러싸게 되는 소자 구조의 특성상 게이트 주변의 커패시턴스 성분이 주파수 특성을 좌우하게 되고, 특히 아날로그 회로의 경우 회로의 레이아웃에 따른 기생성분의 변화에 따라 회로의 성능이 민감하게 영향을 받게 된다. 따라서 fin의 개수가 늘어날 경우 증가하는

기생 커패시턴스와 게이트 저항을 줄이고자 MOSFET layout에 널리 사용되는 multi-finger 구조로 구현될 것으로 예상된다<sup>[10]</sup>. 또한, fin 개수의 증가에 따른 게이트의 기생성분의 감소를 위하여 게이트의 바로 윗부분을 같은 layer로 연결하는 구조에서 상위 metal layer를 이용하여 기생성분을 최소화 하는 것도 가능 할 것이다.

그림 1은 [11]에서 연구되어진 FinFET 실제 공정 사진이다. 이와 같이 공정적 요소인 spacer가 추가 되면 gate-induced drain leakage (GIDL)가 줄어들게 되어 소자의 구동 전류가 증가 하고, selective epitaxial growth (SEG) 구조가 추가되었을 때에도 역시 소스/드레인 저항이 줄어들게 되어 그렇지 않은 구조보다 구동 전류가 증가 한다<sup>[11]</sup>.

본 논문에서는 Synopsys 社의 삼차원 소자 시뮬레이터인 Sentaurus를 이용하여, spacer 및 SEG 등의 공정적 요소를 고려하여 1-fin FinFET과 multi-fin FinFET 구조에서 레이아웃에 따른 DC특성과 AC특성인  $C_{gg}$ 와  $f_T$ 를 비교하고, mixed-mode 시뮬레이션을 통해 링 오실레이터의 주파수를 분석하고 이에 따른 레이아웃 개선 방법을 제안한다.

## II. 공정 요소를 고려한 single fin (1-fin) FinFET 구조 분석

본 논문에서는 그림 2와 같이 silicon-on-insulator (SOI) 기판 위에 표준 구조와 spacer와 SEG를 고려하여 구조를 Sentaurus를 삼차원적으로 모델링 하였다<sup>[12]</sup>. 기본 구조의 gate length는 22 nm, gate oxide thickness는 1.5 nm, fin width는 15 nm, fin length는 80 nm 이다. 1-fin FinFET의 공정적 요소인 spacer는 그림 2(b)와 같이 게이트의 옆에 nitride를 이용하여 10nm 두께로 추가되었고, SEG는 그림 2(c)와 같이 소스/드레인의 contact을 가로, 세로 모두 40 nm 크기로 확대하였다<sup>[13]</sup>.

드레인에 전압을 0.05 V 와 1 V로 각각 인가 후 1-fin FinFET 구조에 대한 DC 시뮬레이션을 하고,  $I_d$ - $V_g$  그래프를 이용하여 공정적 요소인 spacer와 SEG가 추가됨에 따라 문턱전압( $V_{th}$ ), SS(Subthreshold Swing),  $I_{off}$ (드레인 누설전류),  $I_d$ (drive current)가 표 1과 같이 추출 되었다. 표준구조보다 작은 전압에도 드레인 전류의 변화를 크게 줄 수 있는 spacer 구조가 SS

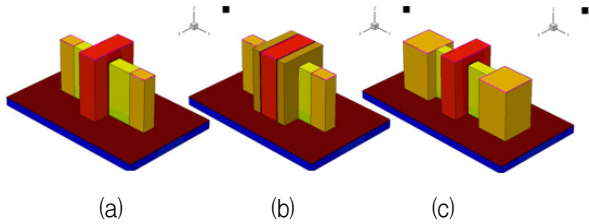


그림 2. 공정요소에 따른 1-fin FinFET 구조  
(a) standard (b) w/ spacer (c) w/ SEG.  
Fig. 2. Structures of 1-fin FinFET according to the process elements (a) standard (b) w/ spacer (c) w/ SEG.

표 1. 공정요소에 따른 1-fin FinFET DC 특성  
Table 1. Structures of 1-fin FinFET according to the process elements DC characteristics.

Structure		Lin.(Vd=0.05V)	Sat.(Vd=1.0V)
Standard	V <sub>th</sub>	0.205 [V]	0.417 [V]
	SS	74.673 [mV/dec]	72.229 [mV/dec]
	I <sub>off</sub>	1.367e-10 [A]	3.719e-10 [A]
	I <sub>d</sub>	6.719e-06 [A]	7.052e-05 [A]
Spacer	V <sub>th</sub>	0.217 [V]	0.464 [V]
	SS	74.903 [mV/dec]	72.017 [mV/dec]
	I <sub>off</sub>	1.465e-10 [A]	3.432e-10 [A]
	I <sub>d</sub>	9.504e-06 [A]	9.251e-05 [A]
SEG	V <sub>th</sub>	0.220 [V]	0.399 [V]
	SS	79.263 [mV/dec]	74.795 [mV/dec]
	I <sub>off</sub>	1.259e-10 [A]	3.430e-10 [A]
	I <sub>d</sub>	7.100e-06 [A]	7.429e-05 [A]

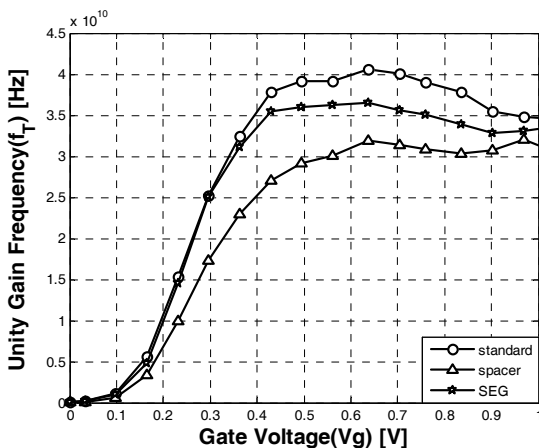


그림 3. 게이트 전압 변화에 따른 공정요소별 1-fin FinFET unity gain frequency 특성  
Fig. 3. Unity-gain frequency characteristics according to the process elements with various Vg.

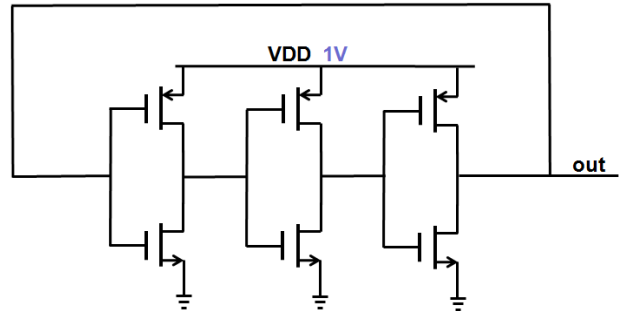


그림 4. 3단 링 오실레이터 회로도  
Fig. 4. A schematic of 3-stage ring oscillator.

특성은 오히려 좋아짐을 확인 할 수 있었고, fin의 저항을 줄일 수 있는 SEG구조에서는 드레인 누설 전류를 줄일 수 있는 효과를 확인 할 수 있었다<sup>[14]</sup>.

AC시뮬레이션을 저주파인 1 MHz에서 수행하여 게이트 전압에 따른 C<sub>gg</sub> (total gate capacitance)의 값을 추출하였다. Spacer의 높은 유전율과 SEG로 인한 게이트-소스/드레인 간의 기생 커패시턴스의 증가로 인하여 두 경우 모두 C<sub>gg</sub>가 증가하였고, spacer를 추가하는 것이 SEG를 확대하는 것보다 게이트 커패시턴스에 영향을 많이 주는 것으로 확인되었다. 따라서 그림 3과 같이 I<sub>d</sub>-V<sub>g</sub> 그래프를 통해 구한 g<sub>m</sub> (transconductance)과 C<sub>gg</sub>를 이용하여 구한 unity-gain frequency는 공정적 요소인 spacer를 고려했을 경우 표준 구조보다 약 19.4 % 성능 저하 되었다<sup>[7]</sup>.

그림 4는 공정적 요소 추가에 따른 delay time을 분석하기 위해 Sentaurus의 mixed-mode를 이용하여 구현한 3단 링 오실레이터의 회로도이다. N-type FinFET과 P-type FinFET의 effective width는 1:2로 설계되었다. 식(1)은 input clock이 high에서 low로, 식(2)는 low에서 high로 transition할 때 인버터의 propagation delay 이고, 주파수는 식(3)과 같이 표현된다. 그림 5는 그림 4의 구조에 대하여 주기를 비교한 그래프이다. 공정적 요소를 추가 했을 경우 링 오실레이터의 발진주파수는 각각 표준 구조에서 8.93 GHz, spacer 구조에서 6.68 GHz, SEG 구조에서 8.66 GHz로 확인되었다. 이 결과와 위의 f<sub>T</sub> 결과와 마찬가지로 공정적 요소가 추가 됨에 따라 C<sub>gg</sub>의 증가로 인해 아날로그 성능이 저하됨을 알 수 있다.

$$\tau_{PHL} = \frac{C_{gg} \cdot \Delta V_{HL}}{I_{avg,HL}} \quad (1)$$

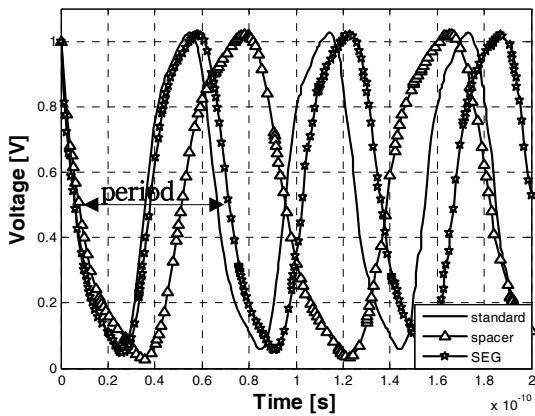


그림 5. 공정요소에 따른 3단 링 오실레이터의 출력비교

Fig. 5. Node outputs of 3-stage ring oscillator using Sentaurus mixed-mode.

$$\tau_{PLH} = \frac{C_{gg} \cdot \Delta V_{LH}}{I_{avg, LH}} \quad (2)$$

$$f = \frac{1}{T} = \frac{1}{2 \cdot n \cdot (\tau_{PHL} + \tau_{PLH})} \quad (3)$$

### III. 표준 구조와 공정 요소를 고려한 1-finger & 2-finger FinFET 구조 분석

FinFET의 집적도가 높아짐에 따라 구동전류가 큰 소자를 만들기 위해서는 fin 개수를 증가 시켜 유효한 채널 길이를 늘려 multi-fin 구조로 소자를 제작하게 된다. 이 단원에서는 앞서 실험한 1-fin FinFET에서 공정한 요소를 추가 했을 때 측정 된 결과와 경향성이 multi-fin 구조에서도 적용 가능한지 실험해 보았다. Multi-fin 구조의 소자 특성을 향상시키기 위하여 통상 multi-finger 구조로 레이아웃 될 것이다. 하지만 multi-finger 구조의 경우 게이트를 연결하는 부분과 fin사이에서 추가적인 기생 커패시턴스가 증가하는 문제점이 발생한다. 이 문제를 해결하기 위한 방법으로 multi-finger의 게이트를 연결하는 interconnect을 상위 metal layer로 연결하는 구조를 제안 한다.

그림 6 (a),(b),(c)는 공정적 요소를 추가 하지 않은 이상적 표준적인 multi-finger 구조이고 (d),(e),(f)는 공정적 요소인 spacer와 SEG 구조를 추가한 multi-finger

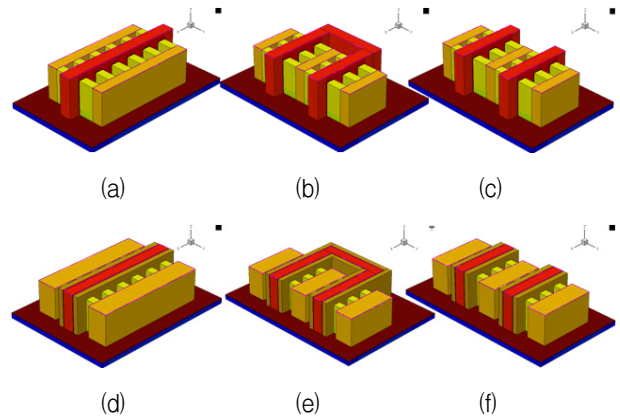
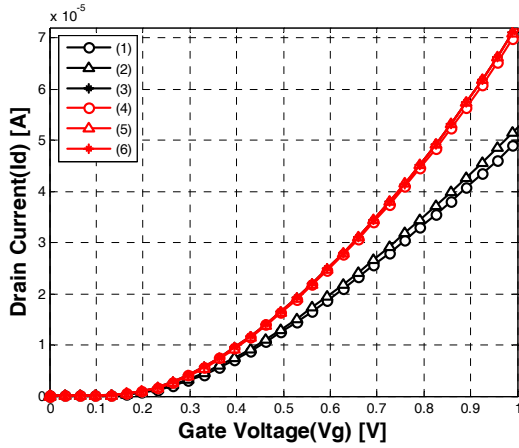


그림 6. Multi-fin FinFET 구조 (a) 1-finger (b) 2-finger (c) 2-finger interconnect (d) 1-finger w/ spacer and SEG (e) 2-finger w/ spacer and SEG (f) 2-finger interconnect w/ spacer and SEG

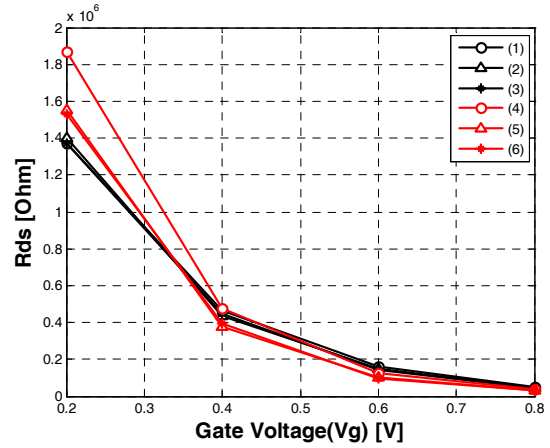
Fig. 6. Multi-fin FinFET structure (a) 1-finger (b) 2-finger (c) 2-finger interconnect (d) 1-finger w/ spacer and SEG (e) 2-finger w/ spacer and SEG (f) 2-finger interconnect w/ spacer and SEG

FinFET 구조이다. 상위 metal layer의 저항과 커패시턴스는 충분히 작다고 가정하였다. 그림 7 (a)는 공정 요소를 고려하지 않은 1-finger 와 2-finger FinFET과 공정요소를 고려한 1-finger 와 2-finger FinFET에 드레인 전압을 1V를 인가 한  $I_d-V_g$  특성 그래프이다. 세 경우 유효한 채널 길이가 같지만 공정적 요소인 spacer와 SEG구조를 고려하게 되면 공정적 요소를 고려하지 않은 구조보다 구동전류가 높게 추출 된다.

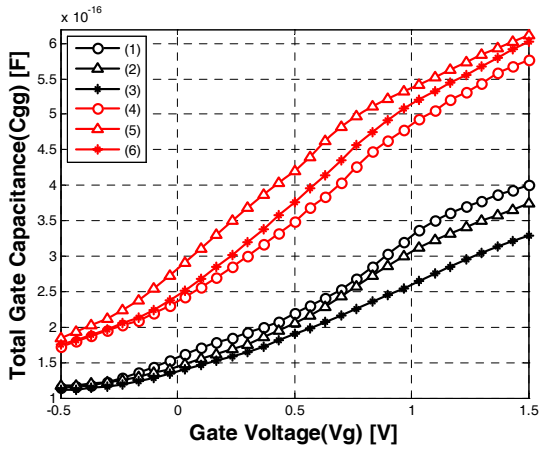
그림 7의 (b)는  $C_{gg}-V_g$  특성 그래프이다. 결과를 통해 알 수 있듯이 공정요소가 추가되지 않은 그림 6 (b)와 (c)를 비교해 보면, 2-finger 구조에서 게이트간의 연결을 interconnect을 사용하는 구조로 변경함에 따라 게이트를 연결하는 부분에서 발생하던 기생 커패시턴스가 줄어  $C_{gg}$ 가 줄어드는 것을 확인 하였다. 하지만 공정적 요소를 고려한 경우인 그림 6 (d)와 (e)를 비교 했을 경우, 1-finger에서 2-finger로 구조를 변경하게 되면 2개의 소자가 드레인을 공유하는 형태로 구조는 간단해 졌지만 spacer가 이상적인 구조보다 1.7배 길게 추가되어  $C_{gg}$ 에 미치는 영향이 더 커지는 문제점이 발생하게 된다. 그러나 그림 6 (f)와 (e)를 비교 했을 때, 같은 상위 metal layer로 게이트를 연결하여 공정적 요소를 추가한 2-finger interconnect 구조에서는  $C_{gg}$ 가 작아짐을 확인하였다.



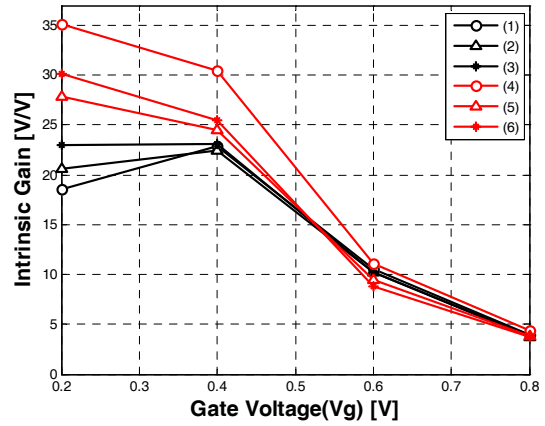
(a)



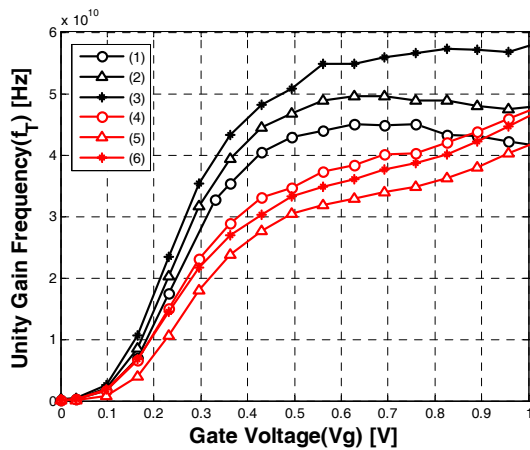
(a)



(b)



(b)



(c)

그림 7. Multi-fin FinFET 구조  
(a)  $I_d$ - $V_g$  특성 (b)  $C_{gg}$ - $V_g$  특성 (c)  $f_T$  특성

Fig. 7. Multi-fin FinFET structure.  
(a)  $I_d$ - $V_g$  characteristics  
(b)  $C_{gg}$ - $V_g$  characteristics  
(c)  $f_T$  characteristics

그림 8. Multi-fin FinFET 구조  
(a) 출력 저항 특성 (b) 고유 이득 특성

Fig. 8. Multi-fin FinFET structure  
(a)  $R_{ds}$  characteristics  
(b) intrinsic gain characteristics

공정적 요소를 고려하지 않았을 경우 1-finger에서 2-finger로 구조 변경 되었을 때 아날로그 성능이 동작 전압 영역에서 약 10 % 향상되었고, spacer 구조와 SEG구조가 추가되면  $C_{gg}$ 가 증가하여 아날로그 성능이 약 15.7 % 저하 되었다. 이에 따라 multi-fin과 multi-finger에서 spacer 구조와 SEG 구조의 유무가 아날로그 성능에 미치는 영향을 예측 할 수 있다. 그림 7 (c)는 1-finger 와 2-finger FinFET의 표준 구조와 공정적 요소를 고려한 구조에 대하여 아날로그 성능을 평가 할 수 있는 unity-gain frequency를 나타낸 그래프이다. Spacer와 SEG의 영향으로 인하여 공정적 요소를 추가한 구조에서는 아날로그 성능은 표준구조에 비하여

저하되지만 상위 metal layer interconnect을 사용하여 구조를 최적화 했을 경우 아날로그 성능도 같이 향상됨을 확인 하였다.

Multi-fin FinFET 구조에서 추출한 output 저항  $R_{ds}$ 는 그림 8 (a)로 나타나 있고, 고유 이득(intrinsic gain) 특성인  $A_v = g_m * R_{ds}$ 는 그림 8(b)에 나타났다. Subthreshold 영역인 0.4 V 이하에서는 spacer의 영향으로 저항이 증가하여 고유 이득이 증가하지만, 문턱전압 이후 영역에서는 drain current의 증가로 인해 output 저항이 줄어들게 되므로  $g_m$ 이 증가해도 고유 이득이 이상적인 구조에 비해 크게 증가되는 경향은 보이지 않는다.

IV. Gate 구조에 따른 FinFET 특성 분석

II, III단원에서 1-finger, 2-finger FinFET에 공정적 요소를 고려했을 경우 표준구조보다 아날로그 특성이 저하됨을 알 수 있었다. 이 문제를 해결하기 위하여 이 단원에서는 게이트와 소스/드레인간의 fringing electric field를 감소시키기 위하여 그림 9에 보인바와 같이 SEG 구조보다  $C_{gg}$ 에 직접 영향을 미치는 게이트와 spacer 구조를 변화 시켜 소자특성을 분석하였다. 그림 9 (c)에 보인바와 같이 게이트 물질인 poly silicon이 얇아져도 게이트의 controllability가 감소하지 않음을 그림 10의 (a)

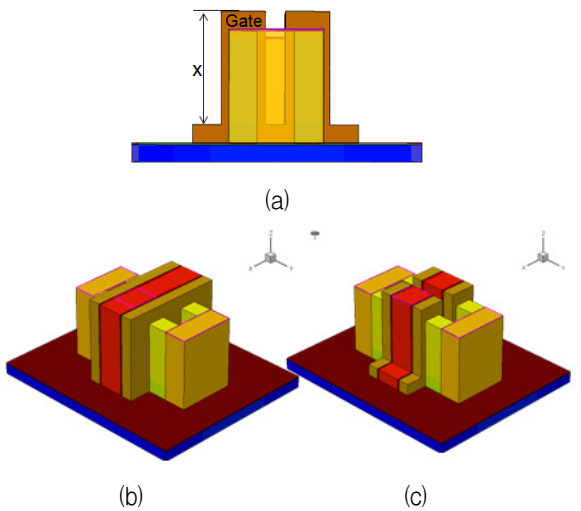
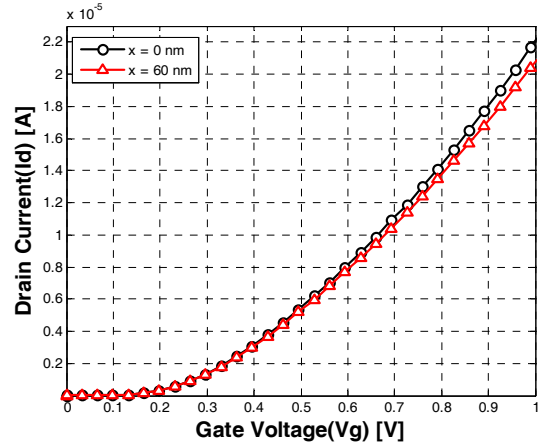
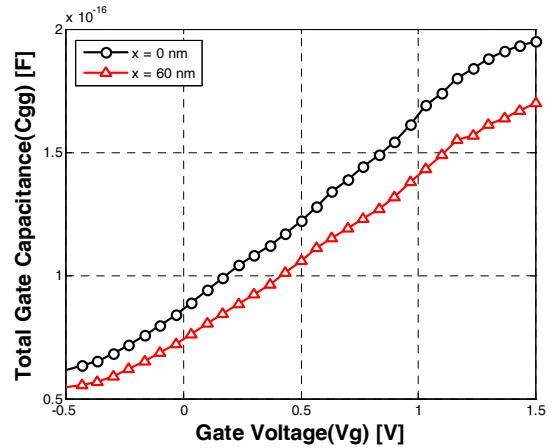


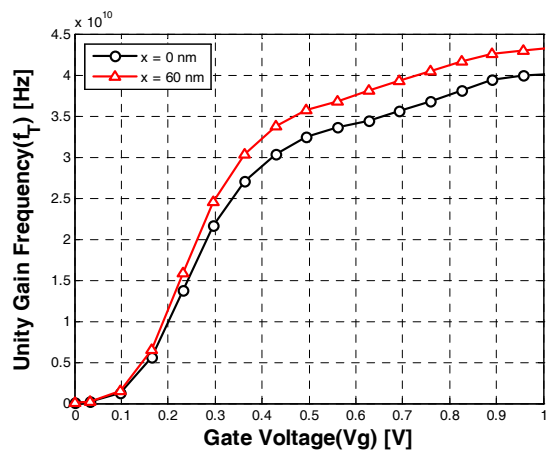
그림 9. Gate 구조 최적화에 따른 2fin FinFET (a) y-z 단면 (b) x = 0 (c) x = 60 nm  
 Fig. 9. FinFET structure according to the gate optimizing (a) y-z plane view (b) x = 0 (c) x = 60 nm



(a)



(b)



(c)

그림 10. 2-fin FinFET 구조 (a)  $I_d-V_g$  특성 (b)  $C_{gg}-V_g$  특성 (c)  $f_T$  특성  
 Fig. 10. 2-fin FinFET structure (a)  $I_d-V_g$  characteristics (b)  $C_{gg}-V_g$  characteristics (c)  $f_T$  characteristics.



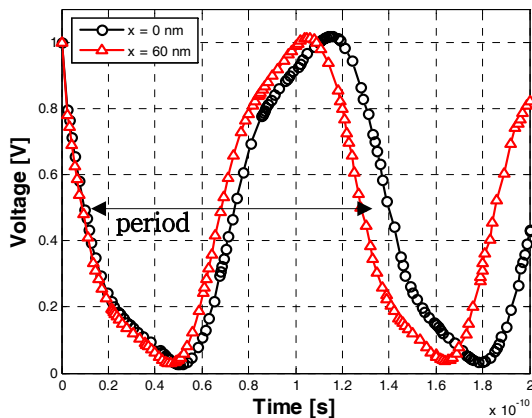


그림 11. Gate 최적화에 따른 3단 링 오실레이터의 출력 비교

Fig. 11. Node outputs of 3-stage ring oscillator accordance to gate optimizing using Sentaurus mixed-mode.

$I_d$ - $V_g$  특성 그래프를 통하여 확인 할 수 있다. 그림 10의 (b)는  $C_{gg}$ - $V_g$  특성 그래프이다. 공정적 요소인 spacer와 게이트 최적화에 따라  $C_{gg}$ 가 줄어들었음을 확인 하였다. 그림 10의 (c)는 unity-gain frequency를 나타낸 그래프이며, 그림 11은 3단 링 오실레이터 주기를 비교한 그래프이다. Spacer 구조를 최적화 했을 경우 링 오실레이터의 발진주파수는 각각  $x = 0$  nm 일 때 7.65 GHz,  $x = 60$  nm에서 8.35 GHz로 아날로그 성능이 향상됨을 확인 하였다.

## V. 결 론

본 논문에서는 3D 소자 시뮬레이터인 Sentaurus를 사용하여, 22 nm 급 FinFET에서 공정적 요소인 spacer 및 SEG 구조를 고려하여 레이아웃에 따른 DC/AC특성을 분석 하였다. Fin이 1개인 FinFET에 spacer와 SEG 구조를 추가하였을 때, DC특성인 구동전류는 증가하였지만, AC특성인 아날로그 성능지표  $f_T$ 는  $C_{gg}$ 의 증가로 인하여 저하 되었다. 구동전류를 증가시키기 위해 fin 개수를 증가시킨 1-finger와 2-finger FinFET의 경우, spacer와 SEG를 고려하지 않았을 때 2-finger FinFET 구조가 1-finger에 비해 아날로그 성능이 개선되는 것으로 보이나, 공정적 요소를 고려할 경우 1-finger에서 2-finger로 구조를 변경하게 되면 2개의 소자가 드레인을 공유하는 형태로 구조는 최적화 되지만 spacer가 이

상적인 구조보다 1.7배 길게 추가되어  $C_{gg}$ 가 증가하므로  $f_T$ 가 저하되는 것으로 확인되었다. 따라서 2-finger 구조에서 상위 metal layer를 이용해 게이트를 연결하는 interconnect 구조를 모델링 하였고, 게이트와 spacer 구조 최적화를 통해  $C_{gg}$ 를 감소시켜 아날로그 성능이 향상되는 것을 확인할 수 있었다.

## 참 고 문 헌

- [1] The International Technology Roadmap for Semiconductors(ITRS), 2011
- [2] K. W. Lee, SeokSoon Noh, NaHyun Kim, KeeWon Kwon, and SoYoung Kim, "Comparative study of analog performance of multiple fin tri-gate FinFETs," International Conference on Electronics, Information and Communication, 2012.
- [3] W. Yang and J. G. Fossum, "On the feasibility of nanoscale triple gate CMOS transistors," *IEEE Trans. Electron Devices*, vol. 52, no. 6, pp. 1159 - 1164, Jun. 2005.
- [4] Byung-Kil Choi, Kyoung-Rok Han, Ki-Heung Park, Young-Min Kim, and Jong-Ho Lee, "Study on Electrical Characteristics of Ideal Double-Gate Bulk FinFETs," *The Journal of The Institute of Electronics Engineers of Korea*, vol.43, no. 11, pp. 754 - 760, Nov. 2006.
- [5] J. Kedzierski, M. Jeong, T. Kanarsky, Y. Zhang, and H.-S. P. Wong, "Fabrication of metal-gated FinFETs through complete gate silicidation with Ni," *IEEE Trans. Electron Devices*, vol. 51, no. 12, pp. 2115 - 2120, Dec. 2004.
- [6] L. Wei, F. Boeuf, T. Skotnicki, and H.-S. Philip Wong, "Parasitic Capacitance: Analytical Models and Impact on Circuit-Level Performance," *IEEE Trans. Electron Devices*, vol. 58, no. 5, pp. 1361 - 1370, May 2011.
- [7] Dambrine et al., "what are the limiting parameters of deep submicron MOSFETs for high frequency applications," *IEEE Electronic Device Letter.*, vol. 24, no. 3, pp.189-191, Mar. 2003.
- [8] D. Lederer, et al., "Dependence of finFET RF performance on fin width," in Proc. 6th Topical Meeting on SiRF, San Diego, CA, Jan. 18 - 20, 2006, pp. 4 - 6.
- [9] H. Zhao, Y.-C. Yeo, S. C. Rustagi, and G. S. Samudra, "Analysis of the effects of fringing

- electric field on FinFET device performance and structural optimization using 3-D simulation," *IEEE Trans. Electron Devices*, vol. 55, no. 5, pp. 1177 - 1184, May 2008.
- [10] H. Lee, J.-H. Lee, Y. J. Park, and H. S. Min, "Characterization issues of gate geometry in multifinger structure for RF-SOI MOSFETs," *IEEE Electron Device Lett.*, vol. 23, no. 5, pp. 288 - 290, May 2002.
- [11] Seongjae Cho, Shinichi O'uchi, Kazuhiko Endo, Sang Wan Kim, Younghwan Son, In Man Kang, Meishoku Masahara, James S. Harris, Jr., and Byung-Gook Park, "Rigorous Design of 22-nm Node 4-Terminal SOI FinFETs for Reliable Low Standby Power Operation with Semi-empirical Parameters," *Journal of Semiconductor Technology and Science*, vol. 10, no. 4, Dec. 2010.
- [12] Synopsys Sentaurus Device User Guide Ver.E-2010.12.
- [13] A. Dixit, A. Kottantharayil, N. Collaert, and K. De Meyer, "Analysis of the parasitic S/D resistance in multiple-gate FETs," *IEEE Trans. Electron Devices*, vol. 52, no. 6, pp. 1132 - 1140, Jun. 2005.
- [14] Balasubramanian Murugan, Samar K. Saha and Rama Venkat, "Analysis of Subthreshold Behavior of FinFET using Taurus," *Journal of Semiconductor Technology and Science*, vol. 7, no. 1, Mar. 2007.

---

 저 자 소 개
 

---



노 석 순(학생회원)  
 2010년 세종대학교  
 전자공학과 학사  
 2013년~현재 성균관대학교  
 정보통신대학원 석사과정

<주관심분야 : Device Simulation and Modeling>



권 기 원(정회원)  
 2001년 Stanford University  
 재료공학과 박사 졸업.  
 2001년~2006년 삼성전자(주)  
 DRAM개발실 수석연구원  
 2007년~현재 성균관대학교  
 정보통신공학부 부교수

<주관심분야 : 메모리IP, 아날로그/디지털 Mixed mode 설계>



김 소 영(정회원)-교신저자  
 1997년 서울대학교  
 전기공학부 학사 졸업.  
 1999년 Stanford University  
 전기공학과 석사 졸업.  
 2004년 Stanford University  
 전기공학과 박사 졸업.

2004년~2008년 Intel Corporation  
 2008년~2009년 Cadence Design Systems  
 2009년~현재 성균관대학교 정보통신대학  
 반도체시스템공학과 부교수

<주관심분야 : Device and Interconnect Modeling, Power Integrity, Signal Integrity, Computer-Aided Design, Electromagnetic Compatibility>