

# 뇌서지에 의한 플라이백 컨버터의 서지전류 경로 분석

박준우<sup>1</sup>, 이강희<sup>1</sup>, 김진호<sup>1</sup>, 홍성수<sup>†</sup>, 원재선<sup>2</sup>, 김종해<sup>2</sup>

## Analysis of Surge Current Path of Flyback Converter by Lightning Surge

Jun-Woo Park<sup>1</sup>, Kang-Hee Lee<sup>1</sup>, Jin-Ho Kim<sup>1</sup>, Sung-Soo Hong<sup>†</sup>, Jae-Sun Won<sup>2</sup>, and Jong-Hae Kim<sup>2</sup>

**Abstract** - The study of lightning surge have been conducted on information and communications equipment and power system. However, the research on SMPS itself is an inactive field. This paper analyzes surge current path of flyback converter with the combination wave generator by lightning surge. Also, this paper discloses that there exists the surge current with high-frequency component besides the low-frequency component based on the standard surge current. This high-frequency surge current is the major reason to damage the semiconductor devices such as FET and IC. To confirm the validity of the proposed issue, the analysis and experimental results are presented.

**Keywords:** lightning surge current, coupling/decoupling networks, low/high frequency surge current, combination wave generator

### 1. 서 론

서지란 회로를 따라서 전달되며, 급속히 증가하고 서서히 감소하는 특성을 지닌 과도파형으로써, 그 종류로는 뇌서지(Lightning Surge), 정전기방전(Electrostatic Discharge), 개폐서지 등이 있다. 뇌서지는 최근 전세계 기후변화에 따라 낙뢰가 빈번하게 발생함으로써, 이에 강인한 제품이 요구되고 있다. 뇌서지는 크게 직격뢰 이외에도 송전선로, 대지에 매설된 전원선등에 의해 발생하는 간접뢰와 유도뢰등이 있으며, 수kV이상의 전압이 전자기기에 인가됨으로써 전원공급기, 반도체등의 소자가 파손의 원인이 된다.<sup>[1]</sup>

그림 1은 낙뢰시험을 위한 목적으로 IEC에서 규제하고 있는 단락회로 전류파형이다.<sup>[2]</sup> 이 파형의 특징은 가상 영시간(Virtual Zero Time)부터 첨두치까지의 증가시간인 전반시간(Front Time)은 8 $\mu$ s이며, 가상 영시간부터 첨두치의 반값만큼 감소한 시간인 반치시간(Time to Half Value)은 20 $\mu$ s이다. 전원회로에 이러한 유도뢰가

인가될 시, 순간적으로 수백A가 흐르게 된다.

이러한 대전류가 피시험기기 뿐만 아니라, 타시험 장비에도 인가될 경우, 시험 중지가 불가피하다. 따라서 서지실험 시, 타시험기기 보호를 위한 감결합 회로(Decoupling Circuit)와 상용전원이 피시험기기에 정상적으로 인가되기 위한 결합 회로(Coupling Circuit)가 요구된다. 그림 2는 위와 같은 요구를 충족하며, 동시에 뇌서지를 발생시키는 서지 발생기를 포함하는 조합과 신호발생기의 블록도이다.<sup>[3]</sup> 라이브(Live)와 뉴트럴(Neutral)선상에서 들어오는 60Hz의 전압성분에 대해 커패시터는 개방형태로, 인덕터는 도통형태로 등가모델 표

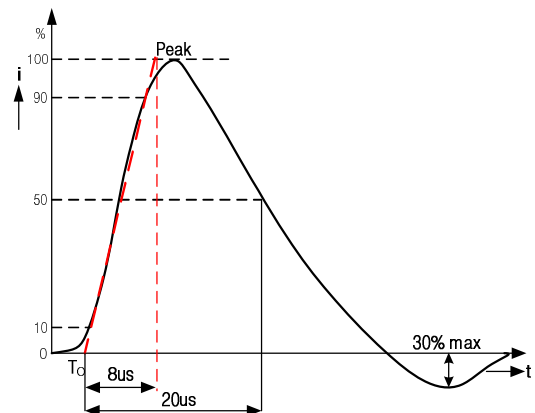


Fig. 1 Waveform of short-circuit current at the surge generator(8/20 $\mu$ s)

Paper number: TKPE-2013-18-2-9 ISSN: 1229-2214

<sup>†</sup> Corresponding author: hongss@kookmin.ac.kr, Dept. of Elec. Eng., Kookmin University

Tel: +82-2-910-5071 Fax: +82-2-910-4449

<sup>1</sup> Dept. of Elec. Eng., Kookmin University

<sup>2</sup> Power Development Group, Samsung Electro-Mechanics  
Manuscript received Sep. 27, 2012; accepted Jan. 7, 2013

— 본 논문은 2012년 전력전자학술대회 우수추진논문임

현이 된다. 따라서 감결합 회로망의 주 전원 전류가 피 시험기기에 흐르도록 한다. 뇌서지 발생기에서 발생하는 서지전압은 상대적으로 고주파대역 성분이므로, 역으로 인덕터는 개방 형태, 커패시터는 도통형태의 등가모델이 되어 뇌 서지 파형에 대해 충분히 높은 임피던스를 제공하게 됨으로써, 역 전류의 흐름을 억제시킨다. 감결합 회로망에서 커패시터에 병렬로 달린 저항은 방전저항으로 커패시터에 걸린 전압을 방전시켜주며, 바리스터는 사고 예방을 위해 추가시킨 서지보호 소자이다.

결합 회로는 60Hz의 상용전원이 서지발생기내로 들어 오는 것을 차단해 주는 역할을 하며, 소자용량 값은 규제에 정해져 있다. 공통모드의 경우 18 $\mu$ F의 커패시터가 서지발생기와 피 시험기기 사이에 추가되어 있는 형태의 C-Mode가 사용되며, 차동모드에서는 9 $\mu$ F과 10 $\Omega$ 이 직렬로 연결된 형태의 CR-Mode가 사용된다. 직렬로 저항이 추가 될 경우 시료 내에 흐르게 될 서지전류 값은 줄어들게 되어, 테스트의 성공률이 높다.

이를 토대로 감결합/결합 회로는 실험의 안정도에 기여할 뿐 서지전류의 경로에는 직접적인 영향이 없다고 판단되어 왔다. 동시에 기존 서지전류 경로는 비검증 경로로써, FET의 동작 여부에 따른 분석이 이뤄지지 않았다. 따라서, 본 논문에서는 실제 서지전류의 특성 및 경로 분석을 진행함과 동시에 주요 소자파손 원리를 제시하고, 실험을 통하여 타당성을 검증한다.

## 2. 서지전류 분석

### 2.1 기존 서지전류 경로 분석

그림 3은 플라이백 컨버터에 대하여 뇌서지전압 인가 시, 기존 뇌서지 전류 경로이다.<sup>[4]</sup> 크게 네가지 경로로 구분하고 있으며, 상기의 경우는 접지에서 라이브로 인

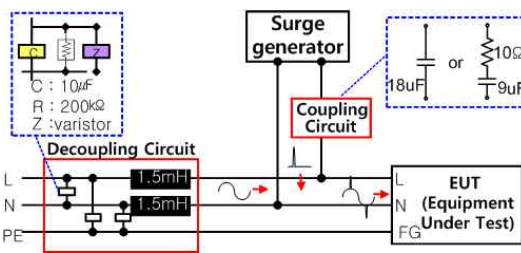


Fig. 2 Test setup for coupling/decoupling networks on a.c./d.c. lines; line-to-line coupling

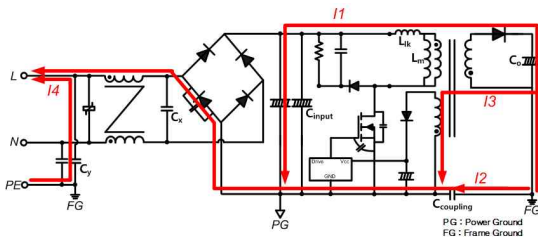


Fig. 3 Conventional surge current path of flyback converter

가되는 경로이다. 2차측에서는 트랜스포머를 통하여 1차측 입력단자와 보조권선으로 서지전류가 유입되며, EMI 레벨 저감 목적으로 삽입된  $C_{coupling}$ 과 1차측의 Y-커패시터( $C_y$ )를 통해서도 라이브로 인가된다. 이와 같은 경로는 주로 파손되는 반도체 소자와 Y-커패시터를 토대로 해석된 것으로 판단되며, 모든 구간에서의 전류파형이 규격파형과 동일한 전류가 흐르는 것으로 가정하고 있다.

### 2.2 두 개의 서지전류파형

본 논문에서는 그림1의 규제 파형을 플라이백 컨버터에 인가할 시 실제 흐르는 전류파형을 보여주고 경로를 분석한 후, 이로 인해 발생하는 소자의 파손 원리를 제시한다. 서지전류 경로 분석에 앞서 규제 전류파형 외에도 추가적인 전류가 우선적으로 발생함을 보인다.

그림 4를 통해 상대적으로 완만하게 증감현상을 보이는 전류파형은 입력 커패시터만으로 흐르는 것을 볼 수 있다. 급격히 증감현상이 존재하는 전류파형은 그림 5와 같이 정류회로를 거치고, 입력 커패시터로 흐르는 전류 ( $i_{input\ cap}$ )와 트랜스포머의 1차측 방향으로 흐르는 전류 ( $i_{pri}$ )로 나뉘게 된다. 따라서, 정류회로를 통과하여 회로 내부로 인가되는 서지전류는 기존 이론<sup>[4]</sup>과는 달리 두 가지 형태를 보인다. 전류파형을 주파수대역별로 구분하면, 기존 규제 서지전류파형인 저주파성 서지전류와 이에 앞서 발생하는 고주파성 서지전류로 나눌 수 있다. 저주파성 서지전류는 입력 커패시터로 흐르고, 고주파성 서지전류는 트랜스포머를 통하여 2차측으로 인가되거나, FET와 같은 주로 파손되는 반도체소자로 흐른다.

또한 기존 그림 1의 8/20 $\mu$ s 규격파형은 전반시간과 반치시간이 증가되어 변형된 형태로 입력 커패시터로

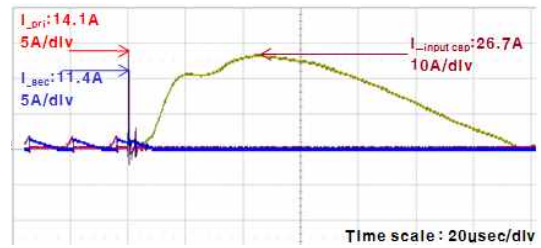


Fig. 4 Coexistence of two surge current waveform (4kV Line-to-Ground)

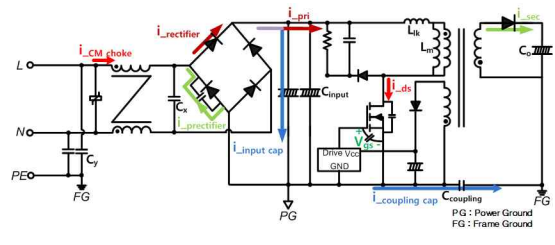


Fig. 5 Key path of surge current for measurement

Table 1 Main Parameter of flyback converter

Component	Value	Unit
$V_{in}$	220AC	V
$P_O$	55	W
$V_O$	112	V
$f_{SW}$	67	kHz
$L_m$	470	uH
$L_{lk}$	6.5	uH

호른다. 이는 신호발생기에 단락회로가 아닌, 피시험기가 삽입됨에 따라 임피던스 특성의 변화로 발생한 현상이다. 본 2.2절에서 주장한 사항을 확인하기 위하여 시료는 32인치 TV에 적용하였으며, 플라이백 컨버터의 주요 파라미터는 표 1과 같다.

### 3. 실험 결과

2절에서 언급한 전류파형은 확대된 그림 6을 통해서도 확인이 가능하다. 고주파성 서지전류는 공진형태를 띠며, EMI 목적으로 삽입되어 있는 Y-커패시터와 결합 커패시터 및 FET가 턴-오프 상황에서도 기생 커패시터를 통해 흐른다.

뇌서지가 회로에 유입될 경우 그림 7에서 보이듯이 우선적으로 고주파성 서지전류가 IC의 보호 동작(Protection)을 유도한다. 이로 인해 회복 가능한 고장(Soft Fail)이 발생함으로써 FET는 턴 오프가 이루어져

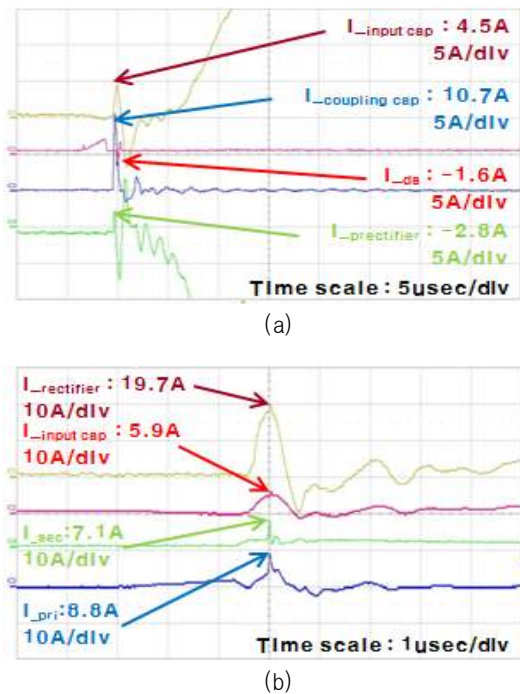


Fig. 6 Key waveforms of high-frequency surge current 6kV Line-to-Ground) (a) Experiment results (time 5usec/div) (b) Experiment results (time 1usec/div)

저주파성 서지전류가 FET로 흐르는 것을 방지한다. 이후, 입력 커패시터의 양단에는 과전압의 인가로, IC의 초기기동 단자의 보호기능이 스위치 턴 오프 현상을 지속하며 자동회복(Auto Recovery)가능 구간을 유지한다. 입력 커패시터에 흐르는 전류( $i_{input\ cap}$ )인 저주파성 서지전류는 고주파성 서지전류가 발생한 후 시간간격을 두고 존재하며, 그림 6의 고주파성 서지전류의 공진주파수는 일반적으로 800k~1.2MHz이다. 이러한 고주파성 서지전류는 패턴의 기생 임피던스와 함께 EMI 필터단의 Y-커패시터와 공통모드 초크코일의 누설인덕턴스에 의해 주파수가 주로 결정되며, EMI 규제에 의하여 문제 원인 제거에 어려움이 있다.

### 4. 새로운 서지전류 분석

#### 4.1 저주파성 서지전류

고주파성 서지전류에 의한 FET의 턴 오프 현상으로 저주파성 서지전류는 입력 커패시터를 통해서만 흐르게 되며, 트랜스포머와 FET에서의 흐름은 없다. 따라서 주파수별 서지전류 경로가 존재하므로 기존 예측 경로와는 다르며, 전류의 침투치도 기존 상식과 상이하다. 이 현상은 뇌서지 실험 시, 타 시험장비의 보호목적으로 삽입된 감결합회로에 의해 전류분배 현상이 발생하기 때문이다. 사용된 시료는 2편 플러그로써 접지를 안테나에 연결하여 이를 접지로 활용하나, 뇌서지 실험중에는 조합과 신호발생기의 감결합 회로의 접지가 그 역할을 하게 된다. 이는 라인과 접지간에 높은 임피던스를 갖는 Y-커패시터의 영향 때문이다. 본 논문에 사용된 시료모델의 경우, 6kV의 서지전압 인가 시 조합과 신호발생기에서는 150A가 인가되나, 그림 8과 같이 경로상의 임피

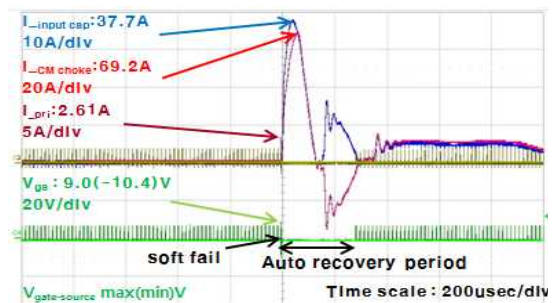


Fig. 7 Key waveforms of surge current during the soft fail

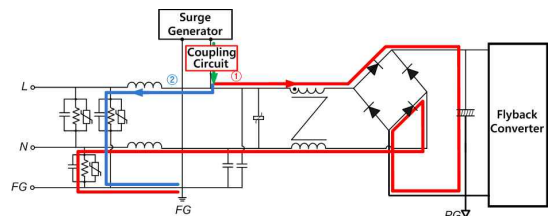


Fig. 8 low-frequency surge current path of SMPS

턴스에 의해 전류가 분배되어 시료에는 그보다 작은 값의 전류가 흘러 들어간다.

뇌서지 실험은 그림 9와 같이 선로 대 접지 결합과 선로 대 선로 결합이 존재한다. 두 가지 경우의 서지테스트를 수행하면, 공통모드초크의 자화인덕턴스는 보이지 않고, 회귀전류의 영향으로 차동모드 방식의 전류가 흐름으로써 등가적으로 누설인덕턴스만 보인다. FFT를 통해 확인한 결과 저주파성 서지전류는 20kHz 대역으로 나타난다. 일반적으로 누설인덕턴스는  $10^{-5} \sim 10^{-6} \text{H}$ 이므로  $L_D(1.5\text{mH})$ 의 인덕턴스보다 매우 작기 때문에, 감결합 회로망내의  $L_D$ 에 의해서 저주파성 서지전류가 분배된다.

따라서 6kV 서지전압 인가 시 선로 대 접지 결합에서는 조합과 신호발생기에는 그림 10과 같이 150A가 기록되나, 회로내로 인가되는 값은 그 반값인 75A로,  $L_D$ 의 영향이 크게 나타난다. 그림 11은 모의실험 결과파형으로써, PSIM tool을 사용하였다. 감결합회로망은 조합과 신호발생기 내에 존재하여 전류 측정이 불가능하고, 동시에 측정기기의 보호를 위하여 모의실험만을 진행하였다. 앞에서 언급한 바와 동일하게, 전류가 대략 1/2로 분배되어 흐르는 것을 확인할 수 있다. 선로 대 선로 결합의 경우에는 바리스터에 동작전압 이상의 전압이 걸리게 됨으로써 단락상태가 되어 대부분의 저주파성 서지전류가 피시험기기로 인가된다. 그러나 서지보호소자가 동작함으로써 뇌서지 실험에 상대적으로 강인하다.

4.2 고주파성 서지전류

이전 3절의 그림 6(a)에서 보인 서지전류 파형은 접지에서의 키르히호프의 전류법칙이 적용된 것이다. 이를 정리하면 표 2와 같다. 또한 TV 패널에 고정 및 접지 역할로 삽입된 나사를 통해서도 EMI필터단의 Y-커패시

Table 2 Main Current value at Power Ground

Component	Value	Unit
$i_{\text{input cap}}$	9	A
$i_{\text{prectifier}}$	2.8	
$i_{\text{coupling cap}}$	-10.7	
$i_{\text{ds}}$	-1.6	

터로 전류가 통과하게 된다. 고주파성 서지전류가 우선적으로 발생하여 IC의 보호 동작을 유도하는 현상은 역방향으로 서지전압 인가를 통해서 확인 가능하다. 접지에서 서지전압 인가할 시, 저주파성/고주파성 서지전류는 2차측 접지로부터 동시에 인가되지 않고, 고주파성 서지전류만이 발생된다.

그림 12와 같이, 고주파성 서지전류는 트랜스포머의 인터-와인딩(inter-winding) 커패시터를 통하여 1차측으로 인가되어 FET를 턴 오프시킨다. 그 후, 저주파성 서지전류는 조합과 신호 발생기내의 감결합 회로에 존재하는 접지를 통하여 인가됨으로써, 전류방향만 선로에서 접지로 인가시킨 방향에서 반전된 상태로 흐르게 된다.

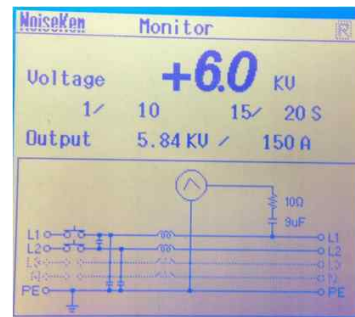
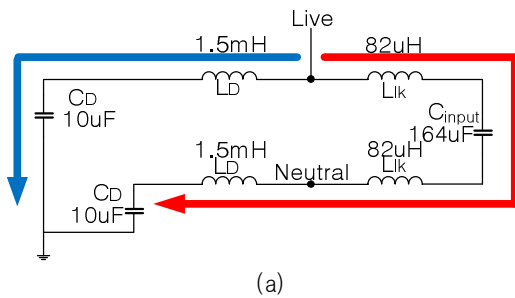
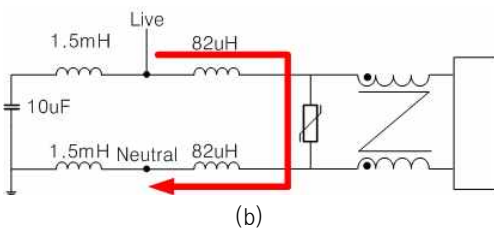


Fig. 10 Surge current/voltage recorded in the display window of Combination wave generator



(a)



(b)

Fig. 9 low-frequency surge current path by decoupling network (a) Line-to-ground coupling (b) Line-to-line coupling

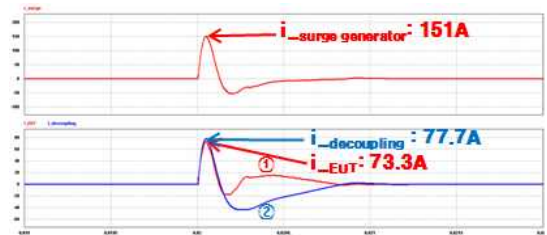


Fig. 11 Simulated waveforms of low-frequency surge current (6kV\_Line-to-Ground)

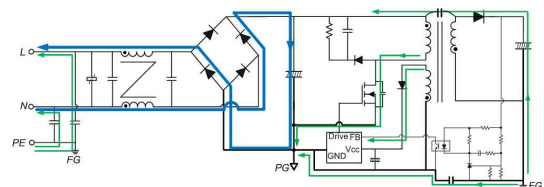


Fig. 12 Surge current path in the flyback converter (Ground → Live)



따라서 회로내의 소자에 직접적으로 영향을 주는 고주파성 서지전류 값을 확인하고 싶을 시, 역방향의 서지전압을 인가 시킨 후 안테나선에 흐르는 전류를 측정하면 된다. 상기 회로도도 역방향 서지전압 인가 시의 서지전류 경로를 보이고 있으며, 굵은 선이 저주파성 서지전류 경로이며, 가는 선이 고주파성 서지전류 경로이다.

4.3 뇌 서지전류의 새로운 경로

지금까지 새로운 뇌 서지경로를 제시하기 위하여 주파수별로 구분하여 저주파성 서지전류와 고주파성 서지전류를 분리 해석하였다. 이를 시료모델에 6kV의 서지전압 인가 시, 그림 6을 토대로 각 주요 전류 침투치는 최종적으로 그림 13과 같다. 플라이백 컨버터와 타 전자기기의 보호용인 감결합회로를 포함하며 서지전압을 발생시키는 조합과 신호 발생기가 결합된 형태이다. 회로도의 화살표 방향은 양의 서지전압 인가 시의 전류방향이다.

4.4 주요 소자 파손 원리

고주파성 서지전류는 트랜스포머의  $C_{inter-winding}$ 와 EMI 목적으로 삽입된  $C_{coupling}$ 를 통해 2차측으로 유입이 되며, 일부는 EMI필터단의 Y-커패시터와 FET 및 IC로 흘러들어간다. 트랜스포머는 그림 14와 같이 기생 커패시터가  $C_{inter-winding}$  뿐만 아니라, 자화 인덕턴스에 병렬로 보이는  $C_{intra}$ 가 존재한다. 본 논문에서 사용된 트랜스포머의 1차 공진주파수는 권선 방법과 권선 수에 따라 1MHz ~ 1.55MHz까지 존재한다. 이 주파수를 기점으로 저주파대역에서는 인덕턴스가 보이나, 이후 임피던스는 캐패시턴스가 보이게 된다. 고주파성 서지전류가 상기 주파수대역내에 존재하므로, 트랜스포머가 커패시터로 동작할 현이 가능할 경우 서지 전류 억제 불능으로 반도체 소자 파손 가능성이 보다 높다.

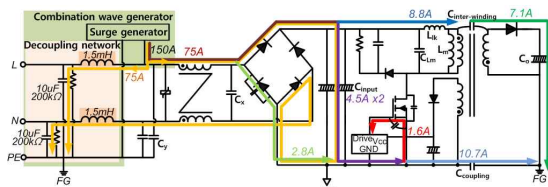


Fig. 13 Analysis of low/high surge current path (6kV\_Line-to-Ground)

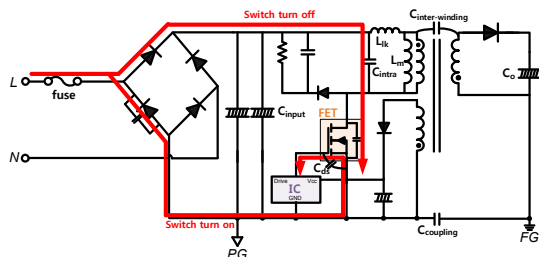


Fig. 14 Current path about major damaged devices in the switch to turn on/off

만약 이 고주파성 서지전류가 과도하게 흐르거나 트랜스포머의 1차 공진주파수를 초과하는 주파수의 서지전류가 유입될 경우, 스위치의 턴 오프 시에는 FET의 드레인-소스단, 턴 온 시에는 FET의  $C_{iss}$ 에 과전압 인가로 소자파손을 유발하며 동시에 스위치파손으로 인한 회로보호용 퓨즈도 끊어지게 된다. 또한 스위치 턴 온에서 파손되는 FET는 단락상태가 되어 IC의 파손으로도 이어진다. 따라서 저전압(9kV미만) 서지 테스트에서는 IC와 FET등의 반도체 소자와 퓨즈의 동시 파손이 회복 불가능한 고장(Hard Fail)의 주 원인이다.

또한 그림 15와 같이 커플링 캐피터에 고주파성 서지전류의 공진으로 인하여 인가된 서지전압보다 더 높은 전압이 걸림으로써, 고전압(9kV이상) 서지 테스트에서는 소자 허용전압(Y1: 8kV)을 초과하여, 파손 문제가 발생된다.

5. 결 론

본 논문에서는 플라이백 컨버터에서 기존에 알려졌던 규제 서지전류 파형 외에도 고주파성 서지전류의 존재를 새로이 밝혔으며, 이에 대한 경로 분석을 진행하였다. 이를 통해, 저주파성 서지전류는 컨버터내의 유입이 없으며, 선로 대 선로 및 선로 대 접지 결합에 따라 인가되는 전류의 침투치가 다름을 보였다. 이에 대한 원인으로써 조합과 신호발생기의 감결합 회로가 미실험 전자기기의 보호뿐만 아니라 서지테스트에도 영향을 미치는 사실을 제시하였다. 또한 고주파성 서지전류는 주요 파손소자 내로 흐르게 되어 실제 서지문제의 원인이 되며, IC, FET 및 퓨즈와 커플링 커패시터의 파손 원리를 제시 하였다. 또한 반도체 소자로 직결되는 경로 상에는 트랜스포머가 존재하므로, 트랜스포머의 1차 공진주파수가 중요한 변수가 된다.

따라서 차후 본 논문을 토대로 서지보호소자의 적용 없이, 뇌서지에 취약한 소자 보호 대책을 강구하는 기본 자료로 사용될 수 있다고 판단된다.

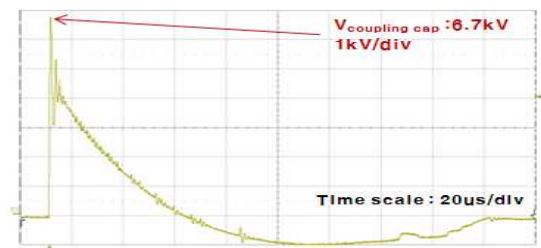


Fig. 15 Voltage waveform of coupling capacitor by resonance (5kV\_Line-to-Ground)

본 연구는 2011년도 국민대학교 교내 연구비 지원과 삼성전기(주)의 연구비 지원 결과로 수행 되었음

**참 고 문 헌**

- [1] K. M. Heo, "From Occurrence of the Surge to Prevention," *Report of Power Electric Engineers Association*, No. 1, pp. 29-34, Nov. 2001.
- [2] IEC 61000-4-5(2005) Electromagnetic Compatibility: Testing and measurement techniques-Surge immunity test
- [3] Mi Zhou etc., "Coupling and decoupling network for surge immunity test on power lines," *Proceedings of International Conference on Electrical Machines and Systems*, pp. 151-155, 2008.
- [4] Infineon, "How to design SMPS to Pass Common Mode Lightning Surge Test," on Power Management & Supply, Application Note p. 7, V1.0, Sep. 2005.



**김종해(金鍾海)**

1968년 3월 11일생. 1999년 8월 영남대 전기공학과 졸업(공학). 2005년 5월 일본 나고야대 전기공학과 졸업(공학). 1996년 3월~2000년 2월 영남대 공업기술연구소 연구원. 2002년 4월~2003년 3월 호리정보과학진흥재단 연구원. 2003년 1월~2005년 3월 일본 나고야대 COE연구원. 2005년 11월~2012년 8월 삼성전기 CDS사업부 CDS기반기술G 수석연구원(그룹장). 2012년 9월~현재 대구가톨릭대 전기에너지공학과 조교수.



**박준우(朴俊佑)**

1987년 8월 29일생. 2011년 국민대 전자정보통신공학부 졸업. 2011년~현재 동 대학원 전자공학전공 석박사통합과정.



**이강희(李康熙)**

1986년 8월 26일생. 2012년 국민대 전자정보통신공학부 졸업. 2012년~현재 동 대학원 전자공학전공 석사과정.



**김진호(金辰鎬)**

1985년 1월 7일생. 2010년 국민대 전자정보통신공학부 졸업. 2010년~현재 동 대학원 전자공학전공 석사과정.



**홍성수(洪成洙)**

1961년 1월 25일생. 1984년 서울대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1992년 동 대학원 전기 및 전자공학과 졸업(공학). 1984년~1999년 현대전자(주) 정보통신 연구소 책임연구원. 1999년~현재 국민대 전자정보통신공학부 교수.



**원재선(元載善)**

1973년 2월 20일생. 1999년 영남대 대학원 전기공학과 졸업(석사). 2005년 영남대 대학원 전기공학과 졸업(공학). 2001년~2004년 영남대 공업기술연구소 연구원. 2004년~2006년 HSL 일렉트로닉스 전자설계팀 선임연구원. 2006년~현재 삼성전기 CDS사업부 CDS요소기술G 책임연구원.