

반도체 산업에서의 수익창출 분석을 활용한 생산성 향상에 관한 연구 -6시그마 기법을 중심으로-

윤영도* · 김민준* · 양광모** · 강경식***

*명지대학교 산업경영공학과 박사과정 · **유한대학교 산업경영과

***명지대학교 산업경영공학과 교수

A Study on Increasing Productivity using Profits Making Analysis in the Semiconductor Industry

Young-Do Yun* · Min-Jun Kim* · Kwang-Mo Yang** · Kyong-Sik Kang***

*Department of Industrial & Management, Myongji University, Yongin

**Department of Industrial Engineering, Yuhan College, Pucheon

***Department of Industrial & Management, Myongji University, Yongin

Abstract

Domestic semiconductor industry grew rapidly enough to draw a close attention in a short period less than twenty years. Korea grew to be the third largest semiconductor manufacturing country in the world during the period and has maintained the proud of Koreans even in technological competitiveness. Accordingly, In this study, it was introduced and analyzed 6 sigma method using profits making analysis for increasing Productivity in the semiconductor manufacturing process

Keywords : Profits making analysis, 6sigma method, Semiconductor industry

1. 서론

반도체 제조는 가장 복잡한 제조공정의 하나로 분류되며, 이러한 복잡한 시스템을 통제하기 위해서는, 다양한 시스템 조건 하에서 적절한 생산전략을 마련하는 것이 필요하다. 그러나, 반도체 제조 시스템에 대한 다양한 상황과 관련한 연구는 많지 않다. 반도체 산업의 생산 흐름은 가장 독특한 특징을 가지고 있으며 생산 계획과 반도체 제조의 스케줄링과 계획을 어렵게 하고 있다. 반도체 작업특성상 각각 다른 단계에 있는 자재

는 같은 장비의 사용을 위해 경쟁을 하므로 작업시간보다 단지 기다리는 시간에 상당한 시간을 할애하고 있는 실정이다. 시스템의 불확실성이 장비고장, 불확실한 생산수율 및 제작업 등에서 발생하여 반도체 산업에서 생산계획과 제조 스케줄링을 어렵게 하고 있다. 그러므로 이러한 시스템에 있어 효과적인 스케줄 방법을 개발하는 것은 중요한 과제라고 볼 수 있다. 따라서 본 연구에서는 이러한 복잡한 반도체 공정의 생산성 향상을 위하여 수입창출 방안을 6시그마 기법을 도입하여 전개하고 결과를 도출하는 방법을 제안하고자 한다.

† Corresponding Author : Young-Do Yun, 611-401 Purun Apt, Sunae 3-dong, Bundang-gu, Seongnam-si, Gyeonggi-do, Korea, Fax : +82-31-645-8298, E-mail : youngdo.yun@gmail.com
Received January 20, 2013; Revision Received March 12, 2013; Accepted March 12, 2013.

2. 반도체 공정 생산성 향상에 관한 선행연구

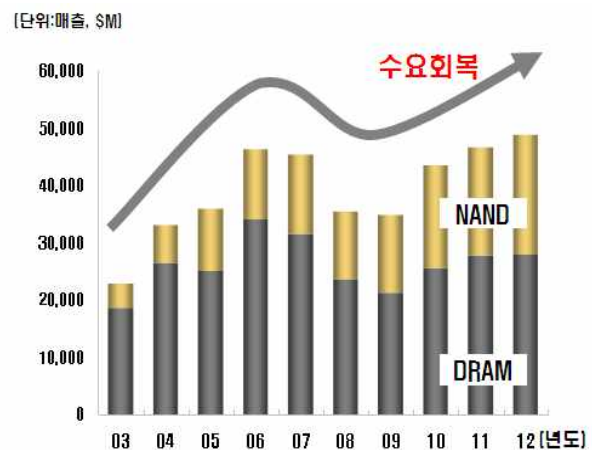
김신호(2008)[2]은 현재 반도체 습식공정(Wet process)에서 세정수·에칭제를 정량 토출, 정량 컨트롤과 함께 소비된 총 유량을 조절 및 확인하기 위한 정량공급 시스템에 있어서 정량토출을 통한 정량제어가 불확실한 현재의 문제점을 정확히 파악·분석하여 생산성 향상에 기여 했다. 박상조(2007)[6] 반도체 수율 분석의 문제점을 보완하기 위하여 다양한 소자를 포함하는 SoC 설계의 초기 단계에서 생산성과 수율 향상을 위하여 통계적 기법과 분석적 기법을 동시에 지원하는 2중 모드 알고리즘을 설계하여 수율분석 및 예측 시스템을 구현하여 생산성 향상을 추구하였다. 김세정(2005)[1]은 재투입(reentrant) 특성을 가지는 반도체 생산 공정에서 생산 투입량 결정을 연구하여 반도체 생산 공정 중 주요 병목 공정인 사진 공정의 스테퍼(stepper)에서 작업될 웨이퍼의 종류와 양을 결정하는 수리적 모델을 제안하였다. 김형운(2005)[3] 다품종 소량 생산 체제인 주문형 반도체 제조 공정에서의 일정계획을 중심으로 하여 배치 일정계획에서 이러한 조건 하에 총 납기 지연이 최소화 되도록 어떤 그룹의 로트들을 배치 가공할 것이며 언제 가공을 할 것인지 결정하였으며 시뮬레이션 실험을 통해서 제안된 규칙과 기존의 규칙을 비교하여 생산성 향상에 기여 하였다. 나동길(2004)[4]는 반도체 공정의 생산성 향상을 위하여 휴리스틱을 적용하여 병목공정 중심의 반복적 일정계획 방법을 통하여 전체 작업장의 일정계획을 구현하였다. 송관배(2003)[7]는 M사의 반도체 공정의 효율적인 운영을 위하여 M사의 현행시스템과 EDD(Earliest Due Date), SPT(Shortest Process Time)을 비교하였으며, 가장 혼합 할당 규칙인 EDD-SPT를 개발하여 비교하였다. 백종관외 2인(2002)[5]는 반도체 웨이퍼 공정의 로트 일정계획은 투입 정책과 밀접한 관련이 있어서 이용 고려하면서 로트 순서 지정을 수행하는 밀접한 관련성을 연구하였다. Lin, et al.(2001)[8]은 시뮬레이션을 사용한 반도체 웨이퍼 제조의 할당규칙 수단, 할당규칙 방침의 효과를 연구하였다. 이들의 시뮬레이션 결과는 운반장비 이용률 그리고 자재처리량, 대기시간, 평균 운송시간에 동일하게 영향을 주는 할당 정책을 보여주어 가장 가까운 운반장비를 갖는 최단거리 그리고 선입선출(FIFO) 규칙의 조합은 다른 규칙을 능가함을 보여주었다. 그러나, 이 연구는 단지 기계의 할당규칙에 대한 고려 없이 운송시스템의 할당규칙만을 고려하였다는 단점을 가지고 있다. 이전 연구조사로부터, 대부분의 스케줄(Schedule) 연구는 단지 기계를 기초로 한 할당규칙방침과 관련되어 있어 다양한 상황 하에서

기계와 시점에 대한 조합에 초점을 맞춘 연구는 거의 없다. Wein(1988)[10]은 투입통제전략이 할당규칙 보다 반도체 웨이퍼 제조에 더 많은 영향을 미친다고 지적하였다. 그러나 Lu, et al.(1994)[9]은 좋은 할당규칙은 또한 시스템 업적 향상에 중요하다는 점을 보여주었다. 현재까지의 반도체 공정의 생산성 향상에 관한 연구를 분석해보면 시뮬레이션을 통한 일정계획 분야와 수리적 모델을 활용한 수율 및 재료 분석에 관한 연구가 주를 이루고 있다. 또한 반도체 제조시스템의 생산성에 관련된 대부분의 연구는 사이클 타임 단축에 대한 일정한 생산량의 증대와 같은 단일목표에 대한 알고리즘의 스케줄을 개발하는데 초점을 맞추고 있다. 따라서 본 연구에서는 6시그마 기법을 활용하여 반도체 생산 공정의 작업 개선에 따른 생산성 향상 방안을 수입창출 분석에 따라 공정 개선을 중심으로 전개 하고자 한다.

3. 6시그마 적용을 위한 현황분석

3.1 문제의 정의 (Define)

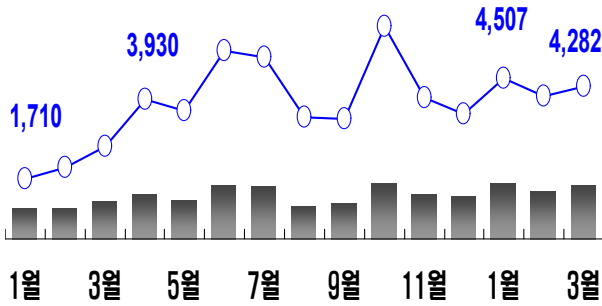
반도체 산업의 생산성 향상을 위한 6시그마 도입을 위하여 먼저 국내 현황을 분석하여 문제점을 도출하고자 한다. 또한 본 연구의 대상기업인 A기업의 현황을 파악 한 후 다음단계에서 공정의 문제점에 대한 데이터를 분석하기 위한 기초 자료를 수집하고자 한다.



[그림 1] 국내 반도체 산업 메모리 반도체 매출 현황

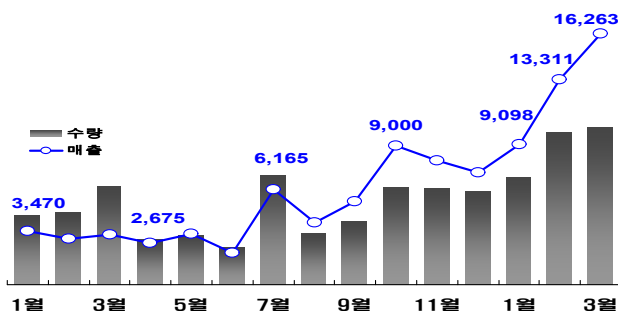
반도체 산업은 최근 '07년~'09년, 3년간의 불황기 및 세계침체 이후 [그림 1]과 같이 메모리 기반의 응용제품 증가 및 경기 상승을 반영한 수요 급증으로 2010년부터 지속적인 매출 상승 및 수요 부족이 나타나고 있다.

또한 연구 대상 기업인 A 기업은 반도체 불황기에는 제품의 공급과잉으로 [그림 2]와 같이 품질이 저조한 DRAM 제품의 판매가 어려운 실정이다.



[그림 2] A기업의 비정상 제품의 판매량

하지만 [그림 3]과 같이 연구 대상 기간 하반기 이후 수요부족 시점 이후 지속적인 DRAM 제품의 판매 및 매출이 증가하고 있다.



[그림 3] DRAM 제품의 판매량 추이분석

따라서 A기업은 기업의 수익모델을 창출하기 위하여 여러 가지 대안을 찾아 분석하여 반도체 산업의 생산성 향상에 기여해야 한다.

3.2 현황 파악 (Measure)

앞 절에서 분석된 반도체 산업의 현황을 분석하면 앞으로 반도체 산업의 매출은 계속 증가할 전망이며, 국내 및 국제 경쟁력이 증가하는 환경 변화에서 생존하기 위해서는 공정 개선에 의한 수익구조를 분석하여 생산성을 향상 시켜야 한다.

따라서 본 연구에서는 연구 대상 기업의 반도체 생산의 문제점 중에서 집중 분야를 선정하여 다음 단계에서 대상별 현황을 파악하여 개선하고 정착화 시키는 6시그마 기법을 도입하였다.

수익창출을 위한 집중 분야를 선정하기 위해서는 현장에서 일하고 있는 작업자들의 의견을 반영하여야 하지만 이는 주관적인 평가가 이루어 질 수밖에 없다. 따라서 이러한 주관적인 평가를 최대한 객관화하기 위하여 다기준 의사결정기법을 사용하고자 한다. 본 연구에서는 작업자들이 부여한 값들의 평균이 크고 그 값들이 차이가 적은 경우 즉, 거의 일치한 평가를 내리는 기능에 우선순위를 두도록 하기 위하여 SN비(망목특성)를 활용하였다.

본 연구에서는 다기준 의사결정법을 활용한 반도체 공정 책임자 평가를 통하여 생산라인에서 우선적인 개선 중점안을 선정하고자 한다. 연구 대상이 되는 반도체 생산공정의 개선항목은 다음과 같으며, 이를 의사결정 대상으로 생산라인 책임자 5명이 분석한다.

- ① 저수율 Wafer
- ② MTF, MTTR 개선
- ③ 측정 시 전용장비 사용
- ④ PKG Minor 외관불량
- ⑤ 불량원인 명확화
- ⑥ FBGA Bottleneck 분석
- ⑦ 장비의 조건 표준화
- ⑧ 기계별 기준조건 설정
- ⑨ 상품화 기간 단축 필요

의사결정을 위하여 다기준 의사결정법을 사용하였으며, 관련된 생산라인 책임자들이 평가한 반도체 공정에서의 개선 중점안을 만들어 낸 것이 <표 1>과 같다.

<표 1> 반도체 공정 개선선 중점안 평가 결과

| 항목 | 책임자 1 | 책임자 2 | 책임자 3 | 책임자 4 | 책임자 5 |
|--------------------|-------|-------|-------|-------|-------|
| 저수율 Wafer | 7 | 9 | 7 | 9 | 8 |
| MTF, MTTR 개선 | 3 | 4 | 5 | 3 | 3 |
| 측정 시 전용장비 사용 | 3 | 3 | 5 | 3 | 5 |
| PKG Minor 외관불량 | 7 | 7 | 8 | 7 | 8 |
| 불량원인 명확화 | 3 | 2 | 3 | 3 | 3 |
| FBGA Bottleneck 분석 | 2 | 2 | 3 | 2 | 2 |
| 장비의 조건 표준화 | 3 | 5 | 3 | 5 | 3 |
| 기계별 기준조건 설정 | 4 | 3 | 3 | 3 | 5 |
| 상품화 기간 단축 필요 | 9 | 8 | 9 | 8 | 8 |

여러 전문가가 각각의 주관적 요소에 부여된 값을 다구찌 기법에서 이용하는 SN비로 계산하고 그 값들을 정규화 한다. 이때 각각의 요소에 부여된 값을 SN비로 계산하고 그 값들을 정규화 한다. SN비(Signal-to-Noise ratio)는 원래 통신분야에서 통신시스템의 품질수준을 평가하는 척도로써 신호의 힘 S와 잡음의 힘 N의 비의 값을 SN비라는 이름으로 사용해온 것인데 다구찌에 의해 설계, 제조공정의 우수성 및 제품의 신뢰성등을 측정하는 척도로써 확장되어 널리 사용되어 왔다. 제품의 성능을 나타내는 변수를 일컬어 특성치라 하며 특성치는 일반적으로 가장 바람직한 값(이상치 또는 목표치)을 가진다. 이상치나 목표치의 관점에서 특성치를 세 종류로 구분할 수 있다.

- ① 망소 특성치 : 품질 특성치가 작을수록 좋은 경우
- ② 망대 특성치 : 품질 특성치가 클수록 좋은 경우
- ③ 망목 특성치 : 품질 특성치의 특정한 목표치가 주어질 경우

망소 특성의 경우에 SN비가 크다는 것은 특성치들의 평균과 분산이 모두 작아지는 것을 의미하고 망대 특성의 경우에 SN비가 크다는 것은 특성치들의 평균은 크고 분산은 작아지는 것을 의미한다. 주관적인 요소는 1부터 9까지의 구간 척을 이용하여 전문가들에 의해 가중치를 부여하므로 전문가들이 부여한 값들을 망대 특성치로 간주하였다. 본 연구에서는 반도체 생산라인의 중점 개선안 선택에 있어서 각 항목 j 의 임의의 요소 i 에 생산라인 책임자들이 부여한 값들의 평균이 크고 그 값들이 차이가 적은 즉, 거의 일치한 평가를 내리는 항목에 우선순위를 두도록 하였다. 망대 특성치에 대한 SN비 공식은 다음 식(1)과 같다.

$$SN_{ij} = -10 \log \left[\frac{1}{u} \sum_{p=1}^u \frac{1}{b_{ijp}^2} \right] \quad (p = 1, \dots, u) \quad (1)$$

이때 b_{ijp} 는 각 항목 j 의 임의의 요소 i 에 대한 p 명의 생산라인 책임자들이 부여한 값을 의미한다. 임의의 주관적 요소에 생산라인 책임자들의 부여한 값들을 식(1)에 의해 계산하고 그 값들을 정규화한다. 생산라인 중점개선 1안인 “저수율 Wafer”에 대한 SN비를 계산하면 다음과 같다.

$$\begin{aligned} SN_{11} &= -10 \log \left[\frac{1}{5} \sum_{p=1}^5 \frac{1}{b_{11p}^2} \right] \\ &= -10 \log \left[\frac{1}{5} \left(\frac{1}{7^2} + \frac{1}{9^2} + \frac{1}{7^2} + \frac{1}{9^2} + \frac{1}{8^2} \right) \right] \\ &= 17.8977 \end{aligned}$$

$NSSNV_{ij}$ (Normalized subjective Attribute SN ratio Value)는 다음 식(2)와 같으며, 이것이 각 항목의 중요도라 할 수 있다.

$$NSSNV_{ij} = \frac{SNV_{ij}}{(SNV_{i1} + SNV_{i2} + \dots + SNV_{iu})} \quad (2)$$

“저수율 Wafer”에 대한 중요도를 계산하면 다음과 같다.

$$\begin{aligned} NSSNV_{ij} &= \frac{17.8977}{(17.8977 + 10.5965 + \dots + 18.4426)} \\ &= 0.1603 \end{aligned}$$

모든 항목에 대한 중요도를 정리하면 다음 <표 2>와 같다.

다기준의사결정법의 결과에 따라 본 연구의 대상이 되는 A기업의 중점 개선 사항은 상품화 기간 단축 필요(0.1652), 저수율 Wafer(0.1603), PKG Minor 외관불량(0.1553)이고, 다음 단계에서 이것들에 대한 현황을 파악하고 개선안을 제안하고자 한다.

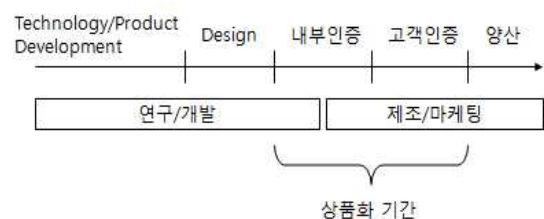
<표 2> 반도체 생산공정 개선사항에 대한 생산라인 책임자 분석

| 항목 | SN비 | 정규화 값 (중요도) |
|--------------------|---------|-------------|
| 저수율 Wafer | 17.8977 | 0.1603 |
| MTTF, MTTR 개선 | 10.5965 | 0.0949 |
| 측정 시 전용장비 사용 | 10.8267 | 0.0970 |
| PKG Minor 외관불량 | 17.3295 | 0.1553 |
| 불량원인 명확화 | 8.5733 | 0.0768 |
| FBGA Bottleneck 분석 | 6.5321 | 0.0585 |
| 장비의 조건 표준화 | 10.8267 | 0.0970 |
| 기계별 기준조건 설정 | 10.5965 | 0.0949 |
| 상품화 기간 단축 필요 | 18.4426 | 0.1652 |

4. 수익창출 모델 시스템 적용

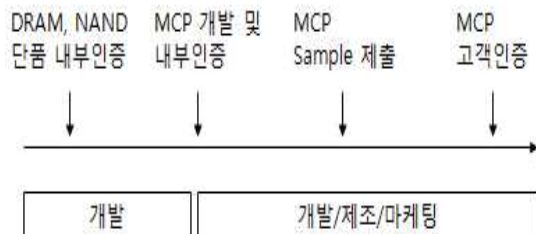
4.1 중점 요인 분석 (Analysis)

현재 반도체 산업은 Global 경기침체, 반도체 업계 재편 등의 상황으로 공급업체들의 공급이 줄어들고 있는 시점이다. 이에 따라 평균 판매단가 (Average Sales Price: ASP)가 상승 Trend로 전환되고 있으며 Spot Market의 저가 메모리 수요도 점진적으로 확대되고 있는 실정이다. 이러한 시기에는 특히 많은 제품을 빠른 시기에 시장에 공급하여 수익을 극대화하는 것이 무엇보다 중요하다. 이는 중점 분석에서 제안되었던 상품화 기간 단축측면, FAB 저수율 Wafer 폐기 구제측면과 PKG Minor 외관불량 구제측면으로 분석 할 수 있다. 신제품 개발 및 생산에 있어 상품화 기간을 단축하게 되면 경쟁사보다 시장 진입이 빠르게 되어 고객을 우선적으로, 또 지속적으로 선점할 수 있게 된다. 이것은 고객의 제품과 반도체간의 지속적인 성능 개선으로 이어져 고객의 제품 품질 측면에서 점점 안정적인 상태를 가져가게 되므로 사실상 타사의 반도체가 진입하는데 상당한 장벽으로 나타나고 있다. 신제품의 상품화 기간 단축이 수익성 개선 측면에서 상당한 효과가 있을 것은 분명한 사실이나 여기서는 A기업에서 양산되고 있는 MCP (Multi Chip Package)의 Technology 전환에 대한 상품화 기간 단축방안을 검토해 보고자 한다. 상품화 기간이라 함은, 제품 개발 일정 중 자사 내부인증에서부터 고객인증까지로 정의한다[그림 4.]



[그림 4] 제품 개발 일정

MCP제품은 명칭 그대로 DRAM과 NAND의 단품을 하나의 Package로 구성한 것을 의미한다. 이는 Mobile 시대에서 기기의 크기를 최소화하며 DRAM의 처리속도와 NAND의 저장능력을 모두 활용하기 위한 Chip Stack의 형태이다. 이러한 구조로 인해 MCP의 상품화 기간은 다음의 세 구간의 기간에 따라 결정된다(그림 5).



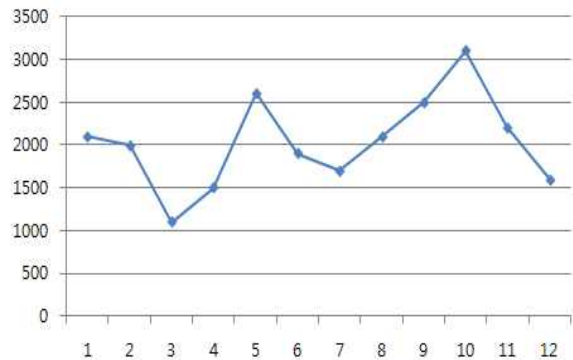
[그림 5] MCP 상품화 기간

A기업의 경우, MCP를 구성하는 DRAM, NAND 개발이 완료된 이후, MCP 개발이 이루어지고 있으며, 약 1.5개월이 소요되고 있다. 이는 고객의 요청 및 평가 조건에 따라 MCP의 동일한 단품으로도 여러 개의 MCP를 개발하게 되는데 실패 위험을 최소화 하기 위해 하나의 MCP가 개발된 이후 다른 MCP를 개발하여 내부인증을 진행하고 있다. 이러한 방법으로 내부에서 평가가 완료된 MCP Sample을 순차적으로 고객에게 제출하게 되며 약 2개월이 소요된다. 이 시기에는 고객이라는 외부적 요인이 발생함에 따라 개발 및 제조, 마케팅부문까지 회사 내의 모든 부문에서 중복되는 업무가 발생하고 있으며 이러한 상황으로 부문간 Gray Zone이 형성되게 된다. 고객인증의 경우, Sample 인도와 고객기기와의 Debugging, Test등 메모리 신뢰성 확보를 위해 고객과 협업하는 기간으로 이 역시 개발 및 제조, 마케팅까지 회사 내의 모든 부문에서 중복되는 업무가 발생하고 있으며 약 2개월이 소요되고 있다. 또 다른 수익창출을 위한 중점 개선사항인 FAB 저수율 Wafer 폐기 구제측면과 PKG Minor 외관불량 구제측면을 분석하기 위해서는 기업의 수익구조에 영향을 주고 있는 다음 사항을 고려해야 한다.

- ① 다품질 제품 판매로 당사 품질 변동 발생 및 고객 신뢰도 저하
- ② 2차 브랜드 개발 가능성
- ③ 정상 제품의 평균판매단가 변동 및 판매량 변화
- ④ 기업 윤리 측면

또한 대상기업의 반도체에서 발생되는저품질 제품의 처리 방향 표준화를 위하여 다음사항을 고려하여 개선사항을 제안해야 한다.

- ① 저가 판매 시 수익성 보장 여부
 - 1단계 : 저품질 제품의 발생량을 예측
 - 2단계 : 판매화를 위한 완제품 생산 비용 예측
- ② 수익성을 위한 사업 Modeling을 통해 최적의 사업형태 제시
- ③ 사업 Modeling을 통해 원가 최소화 아이디어 제시

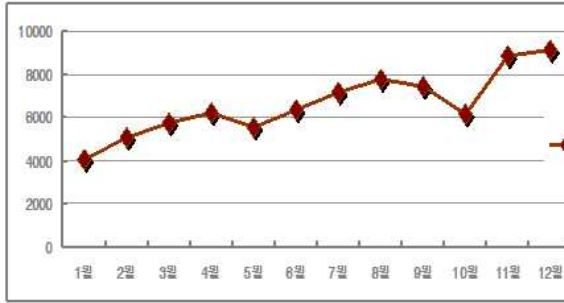


[그림 6] 월별 저수율 Wafer 생산량 (장)

대상기업인 A기업의 FAB 저수율 Wafer는 자사 품질 정책 및 Package 공정에서 안개 될 생산성 저하 문제로 인해 [그림 6]와 같이 Wafer 상태로 연간 25,000장 정도를 폐기하고 있다. 이는 완제품으로 환산 시 연간 600,000개 수준이다. Package 외관검사(External Visual Inspection) 공정에서 불량 유형에 따른 불량명을 <표 3>과 같이 분류하고, 현재 품질 기준에서 불량이나 단순 외관 불량 및 Repair가 가능하여 반도체 신뢰성 및 전기적 동작 특성 측면에서는 문제가 없는 불량 유형 선정 후 폐기하고 있으며, 월간 Rework 가능한 Package 수량은 [그림 7]에 나타나 있듯이 79,000개이다.

<표 3> EVI 공정 불량 유형 정의

| 불량명 | 불량 유형 |
|----------------------------------|---|
| Foreign Material | Package에 이물질이 협착된 경우 |
| Substrate Fiber Foreign Material | Package Substrate 면에 실오라기 이물질이 협착된 경우 |
| Ball Missing | Substrate Ball Land에 Ball이 한 개 이상 없는 경우 |
| Mold FM | Package에 Mold Flash 이물질이 협착된 경우 |
| Resin & Flash Material | Mold 금형에서 비정상적인 EMC 피커기가 풀려서 오염된 경우 |
| SUBSTRATE SCRATCH | Substrate 표면에 Spec 이상의 균형 자국이 있는 경우 |
| BALL SIZE 불량 | Ball Size가 Spec 범위를 벗어난 경우 |
| Adhesive Foreign Material | 접착제성 이물질이 협착된 경우 |
| Ball Position | Ball의 위치가 Spec 범위를 벗어난 경우 |
| Ball Bridging | Ball이 2개 이상 서로 연결된 경우 |
| Count Variance | Lot 수량 불일치 |



[그림 7] 월별 Rework 가능 Package 수량

<표 4> 수익성 창출 항목별 평가

| 항목 | 평가 | | | | | 결과 |
|---------------------|-------|---------|-------|-------|-----|-----|
| | 고객 품질 | 생산 Cost | 판매 가능 | 기업 윤리 | 수익성 | |
| 상품화 기간 단축 | ○ | ○ | ○ | ○ | ○ | 적합 |
| FAB 저수율 Wafer 폐기 구제 | ○ | ○ | ○ | ○ | ○ | 적합 |
| PKG Minor 외관 불량 구제 | ○ | X | ○ | ○ | ○ | 부적합 |

상품화 기간 단축 측면, FAB 저수율 Wafer 폐기 구제측면과 PKG Minor 외관 불량 구제측면은 수익성 창출 항목에 대해 고객 품질 신뢰도, 생산 Loss에 의한 Cost, 판매 가능 여부 등에 걸쳐 수익성과 더불어 사업성 및 기업의 윤리성 측면까지도 평가, 검토가 필요하다. 따라서 개선 항목으로 선정하기 전에 제품 생산/판매 시 고려사항을 분석하여 <표 4>와 같은 결과를 도출했다.

4.2 수익창출 모델 적용 (Improve)

4.2.1 Parallel(병렬) 인증에 의한 상품화 기간 단축

첫 번째 단계로, MCP 개발 진행을 이원화 및 병렬로 운영한다. 먼저 Test item과 Condition에 따라 대표제품과 파생제품으로 MCP 제품을 이원화하여 대표제품은 기존과 동일한 Test item 및 Condition으로, 파생제품은 일부의 Test item만을 적용한다.

- ① 대표제품 : Precondition + Reflow + EFR + DVT
- ② 파생제품 : Reflow + EFR

또한, 내부인증 자재의 FAB Out 시점에 대표제품 개발이 진행되도록 한다. 이렇게 되면 대표제품의 인증 완료와 동시에 파생제품의 인증이 이루어지게 되어 1개월을 단축할 수 있다.

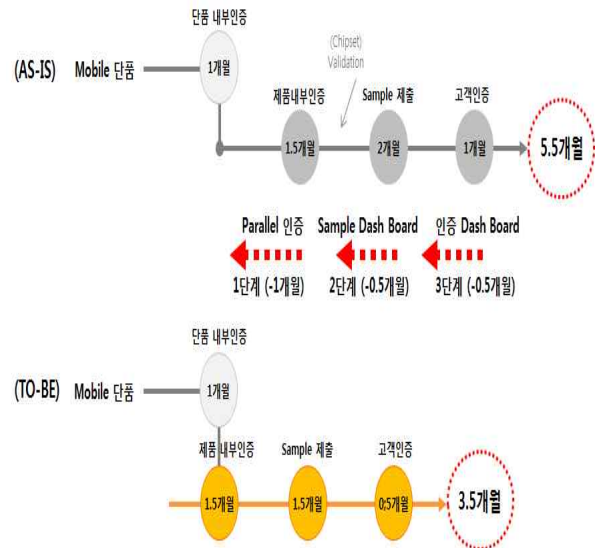
두 번째 단계로, Sample Dash Board를 운영한다. 이를 위해서 회사 내의 모든 부문에서 중복되는 업무 (Gray Zone)을 없애기 위해 제품별, 공정별 In/Out

Schedule 관리 Sheet를 도입했다. 이는 Sample 진행 단계를 세분화하고 책임 담당제로 운영하여 부문간 R&R을 확립한다. 이를 활용하여 Daily 점검을 통한 진행상황 및 Issue가 원활히 공유되고 양산라인의 장비활용도 가능하게 되어 Sample 제출기간이 0.5개월 단축할 수 있다.

세 번째 단계로, 고객별 인증 Dash Board를 운영한다. 인증 Dash Board를 통해고객별 인증 단계를 세분화 하여 일정 관리를 하고 Daily 점검 및 공유를 통한 일정 준수를 한다. 또한 고객 밀착 대응을 통한 조기인증 유도하기 위하여 Validation 결과 활용 EVT단계 Skip을 추진하는 집중 Promotion 실시하고 정기 미팅을 통한 인증 현황 파악 및 문제점을 해결 다음과 같이 해결한다. 적기 기술지원을 통한 인증 단축 추진 결과 고객인증 일정 단축으로 0.5개월 단축할 수 있다.

상품화 단축을 위한 병렬운영으로 1개월 기간 단축을 포함하여 Sample Dash Board 운영과 고객별 인증 Dash Board 운영을 총 2개월 간의 상품화 기간을 단축시킨 결과를 얻을 수 있다. [그림 8]은 현재 운영하고 있는 상품화 기간을 병렬로 운영할 수 시스템을 나타낸 것이며, 이로 인한 효과를 분석한 것이다.

이는 A기업에서 영업이익 개선을 예상하며 1개월 350억원, 2개월 800억원으로 분석할 수 있다.



영업이익의 예상 [\$M]

| 구분 | 기존 | 개선 | 증감 |
|-------|------|------|---------|
| A | 7.3 | 6.9 | -0.4 |
| B | 4.2 | 12.0 | +7.7 |
| Total | 11.5 | 18.8 | +\$7.2M |

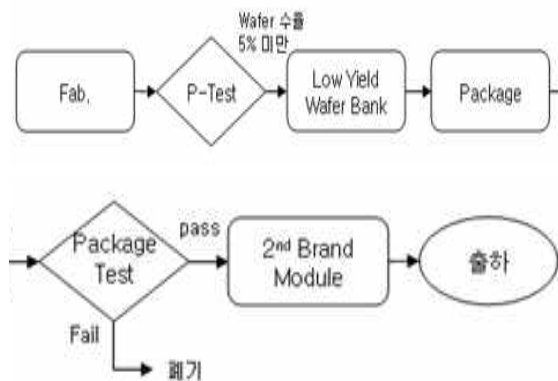
[그림 8] 상품화 단계 개선방안

4.2.2. 구제 및 판매절차 개선에 의한 저수율 웨이퍼 구제 개선 방안

FAB 저수율 제품은 품질 특성상 규격을 약간 벗어난 Over Quality(OQ : 불량은 아니라 정가보다 약간 싸게 판매되는 제품)인 OQ1 이상의 품질 Grade를 가질 것으로 예상되며, 현 Low Grade 제품 처리 절차에 따라 OQ1 혹은 OQ2로 판정하여 A업체의 품질 정책에 합당할 것으로 판단된다.

A기업은 DRAM 비정상 제품의 경우 Low Grade 제품으로 4개의 제품 특성 군으로 분류하고, 판매 방식 및 판매 법인 또한 다르게 운영하고 있으며, 이는 [그림 9]와 같으며, 내용은 다음과 같다.

- ① 저수율 Wafer를 저수율 Wafer Bank에 적정 수량 Stock후 신규 Run 생성 및 Route 생성 운영
- ② PKG 공정에서 저수율 Wafer Run Marking을 하고 저수율 Wafer Bank에서 부여한 별도의 Run No. 체계에 따라 운영 함
- ③ Low Grade 제품 판정 : 단품 판매 혹은 2nd Brand Module 판매



[그림 9] 구제 및 판매 절차

FAB 저수율 Wafer 폐기 구제에 대한 연간 예상 효과는 다음 식(3)과 같이 나타낼 수 있다.

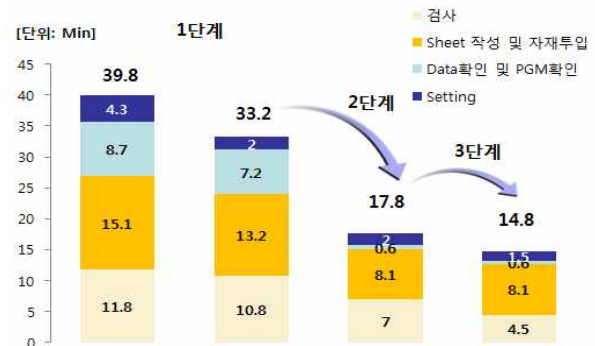
$$(\text{판매가격} - \text{PKG 이후 공정 비용}) \times \text{연간 폐기 정상 Die 수} \quad (3)$$

식(3)을 활용하여 단품 판매가격을 \$2.40(OQ1 가격: 정품 가격의 85% 적용), PKG 이후 공정 비용을 \$0.23(PKG COM: \$0.14+ PKT COM: \$0.09)로 예상했을 경우 다음과 같은 효과를 나타낼 수 있다.

$$(\$2.40 - \$0.23) \times 600,000 = \text{약 } \$130,000 \quad (15\text{억원})$$

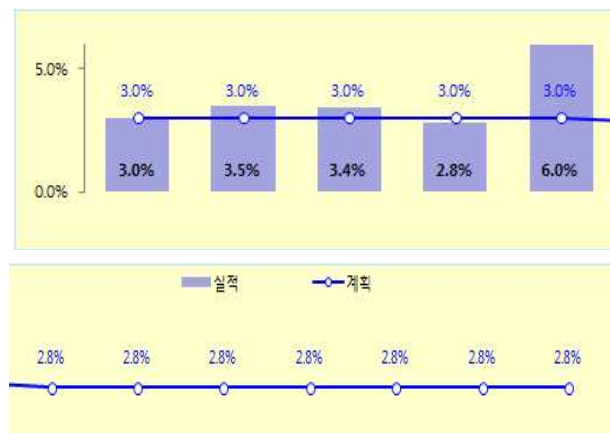
4.3 적용 효과 분석 (Control)

본 연구는 6시그마 기법을 활용하여 반도체 생산 공정의 작업 개선에 따른 생산성 향상 방안을 수입창출 분석에 따라 공정 개선을 중심으로 전개 하였으며 대상 과제를 선정하기 위하여 다기준 의사결정법을 활용한 반도체 공정 책임자 평가를 통하여 생산라인에서 우선적인 개선 중점안을 선정하였다. 이 결과로 병렬 인증에 의한 상품화 단축과 구제 및 판매절차 개선에 의한 저수율 웨이퍼 구제 개선으로 하였으며 이를 6개월간 적용하여 운영한 결과 A기업은 다음과 같은 효과를 얻을 수 있었다. 각 항목에 대한 효과는 앞 절에서 제안하였으며 본 절에서는 개선 항목에 영향을 받은 효과를 분석하였다. 저수율 웨이퍼 구제 개선과 병렬 인증에 의한 상품화 단축이 생산 공정에 영향을 주었으며, [그림 9]의 결과와 같이 이를 1차, 2차 및 3차 작업자 교육에 따라 작업 시간의 단축 효과를 가져 왔다.



[그림 9] 개선 교육에 따른 작업효과

또한 가장 중요한 것은 작업자들의 개선 마인드 증가이다. 본 연구과제의 효과로 인하여 작업자들의 개선하고자 하는 의욕이 지난 6개월 동안 계획보다 더 높은 실적을 나타냈으며, 앞으로도 계속 증가할 추세이다 [그림 10].



[그림 10] 작업자 개선 활동 실적

5. 결론 및 향후 연구과제

반도체 웨이퍼의 제조는 가장 복잡한 제조공정의 하나로 분류된다. 이러한 복잡한 시스템을 통제하기 위해서는, 다양한 시스템 조건 하에서 적절한 개선방안을 결정하여야 한다. 본 연구는 6시그마 기법을 활용하여 생산라인을 개선하는 방법과 다기준 의사결정방법을 통하여 개선 중점대안을 선정하는 방법을 제안하였다. 또한 A기업의 반도체 생산 라인에 적용하여 그 효과를 검증하였다. 본 연구에서는 6시그마 기법을 활용하여 반도체 생산 공정의 작업 개선의 필요성과 생산성 향상, 수입창출 분석의 필요성을 제안한 논문이라 할 수 있다. 또한 반도체 공정의 생산성 향상에 관한 연구를 분석해보면 반도체 제조시스템의 생산성에 관련된 대부분의 연구는 사이클 타임 단축에 대한 일정시간 생산량의 증대와 같은 단일목표에 대한 알고리즘의 스케줄을 개발하는데 초점을 맞추고 있다. 현재까지 진행된 이론적인 개선방안보다 현장에서 작업자들이 개선할 수 있는 방안을 개발하는 연구가 필요할 것이다.

6. 참고 문헌

- [1] 김세정(2005), “반도체 생산 공정에서 재공재고 균형과 셋업 시간을 고려한 생산 계획 연구”, 한국과학기술원 산업공학과 박사학위 논문
- [2] 김신호(2008), “반도체제조 습식공정에서의 세정수 에칭제 정량공급 시스템에 관한 연구”, 금오공과대학교 생산기계공학과 박사학위논문
- [3] 김형운(2005), “주문형 반도체 제조공정에서의 일정 계획”, 한국과학기술원 산업공학과 박사학위 논문
- [4] 나동길(2004), “이종 병렬 기계 작업장을 가지는 화합물 반도체 공정의 생산 일정 계획 시스템”, 전북대학교 산업정보시스템공학과 박사학위논문
- [5] 백중관, 백준걸, 김성식(2002), “반도체 Fab공정의 효율적인 통제를 위한 생산 기준범 산출 알고리즘” 대한산업공학회지 제28권 제 4호 pp415-424
- [6] 박상조(2007). “나노미터 공정기술에서 반도체의 DFM과 DFY 향상 시스템”, 호서대학교 컴퓨터공학과 박사학위논문
- [7] 송관배(2003), “가중혼합 할당규칙에 의한 모듈생산 시스템 스케줄링”, 명지대학교 산업공학과 박사학위논문
- [8] Lin, J. T., Wang, F. and Yen, P.(2001), “Simulation analysis of dispatching rules for an automated interbay material handling system in wafer fab” International Journal of Production Research Vol 39, No 6, pp1221-1238
- [9] Lu, S. C. H(1991). and Kumar, P. R, “Distributed scheduling based on due dates and buffer priorities”, IEEE Transactions on Automatic Controls, Vol 36, pp1406-1416
- [10] Wein, L. M.(1998), “scheduling semiconductor wafer fabrication” IEEE Transactions on Semiconductor Manufacturing, Vol 1, No 3, pp115-130

저 자 소 개

윤 영 도



명지대학교 산업공학과 학사, 석사
현재 sk하이닉스 근무중
관심분야 : 생산관리, 작업관리, 안전관리 등.

주소: 경기도 용인시 처인구 남동 산 38-1 명지대학교
산업경영공학과

김 민 준



명지대학교 산업공학과 학사, 석사
현재 안전보건공단 교육미디어실
근무 중
관심분야 : 안전관리, 생산관리, 작업관리 등

주소: 경기도 용인시 처인구 남동 산 38-1 명지대학교
산업경영공학과

양 광 모



명지대학교 산업공학과 학사, 석사
박사, 현재 유한대학교 산업경영공
학과 조교수직 중
관심분야 : 생산관리, 작업관리, 안전관리 등.

주소: 주소: 경기도 부천시 소사구 경인로 590 유한대학
교 산업경영과

강 경 식



인하대학교 산업공학과에서 학
사·석사·박사와 연세대학교·
경희대학교에서 경영학 석사·박
사 취득. North Dakota State
Univ.에서 Post -Doc과 Adjunct
Professor 역임. 현재 명지대학
교 산업경영공학과 교수로 재직
중. 주요 관심분야는 생산관리,
물류관리, 안전경영 등이다.

주소: 경기도 용인시 처인구 남동 산 38-1 명지대학교
산업경영공학과