

상용 65 n CMOS 공정을 이용한 100~110 GHz 저잡음 증폭기와 커플러

A 100~110 GHz LNA and A Coupler Using Standard 65 n CMOS Process

김 지 훈 · 박 홍 종 · 권 영 우

Jihoon Kim · Hongjong Park · Youngwoo Kwon

요 약

본 논문에서는 상용 65 n CMOS 공정을 이용하여 100~110 GHz에서 동작하는 저잡음 증폭기와 커플러를 구현하였다. 제작된 LNA는 3단 공통 소스 FET로 구성되었다. 단위 공통 소스 셀의 높은 이득 특성을 얻기 위해 이를 고려한 레이아웃을 하였다. 또한, 저잡음 특성과 충분한 이득을 얻기 위해 성능을 최적화시켰다. 커플러는 CMOS 공정의 multimetal을 이용한 broadside 커플러로 구성하였다. Density rule을 만족시키기 위한 metal strip을 사용해 이에 의한 영향을 고려해 커플러 동작이 가능하도록 설계하였다. 제작된 저잡음 증폭기의 측정 결과, 100 GHz에서 5.64 dB, 110 GHz에서 6.39 dB의 이득과 10 % 이상의 3-dB 대역폭, 11.66 dB의 잡음 지수를 얻었다. 커플러는 100~110 GHz 대역에서 2~3 dB의 삽입 손실, 1 dB 이하의 magnitude mismatch와 5° 이하의 phase mismatch를 얻었다.

Abstract

In this paper, a 100~110 GHz LNA and A coupler using standard 65 n CMOS process is presented. The LNA consists of three common source FET stages. A few layout types are considered to get high gain characteristic of unit common source cell. Also, optimized performance to achieve low noise characteristic and enough gain. Coupler is composed of broadside coupler using multimetal in CMOS fabrication. In the coupler, the metal strip to meet density rule is used, and the coupler is designed with consideration of the metal strip to function properly. Gain of fabricated LNA is 5.64 dB at 100 GHz and 6.39 dB at 110 GHz. Bandwidth is over 10 % and noise figure is 11.66 dB at 100 GHz. Fabricated coupler has shown insertion loss of 2~3 dB at 100~110 GHz band. Magnitude mismatch of coupler is below 1 dB and phase mismatch of coupler is below 5°.

Key words : LNA, Coupler, W-Band, CMOS, MMIC, Receiver

I. 서 론

오늘날 높은 데이터 전송 속도에 대한 수요가 증가되고 있다. 이에 따라 질 높은 무선 통신 서비스

「이 논문은 2012년도 두뇌한국21사업에 의하여 지원되었음.」

「이 논문은 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임.」

「이 논문은 IDEC(반도체설계교육센터)의 지원을 받아 수행된 연구임.」

서울대학교 전기컴퓨터공학부(School of Electrical Engineering and Computer Science and INMC, Seoul National University)

· Manuscript received November 30, 2012 ; Revised February 25, 2013 ; Accepted March 11, 2013. (ID No. 20121130-11S)

· Corresponding Author : Jihoon Kim (e-mail : j7h7@snu.ac.kr)

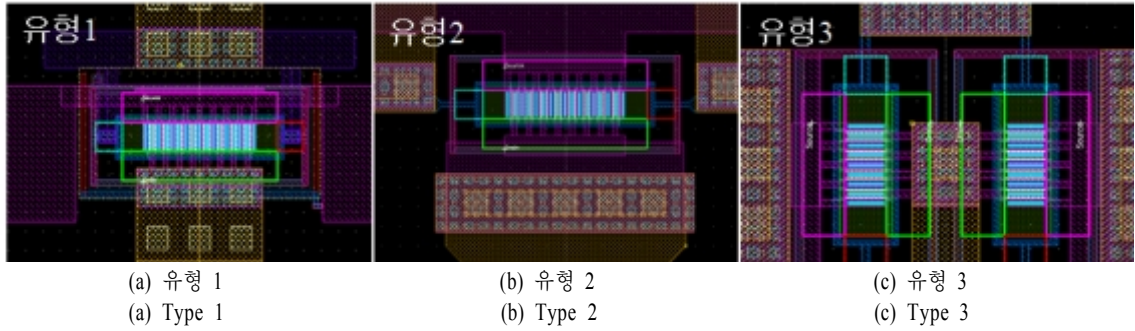


그림 1. 비교한 트랜지스터 레이아웃의 구조
Fig. 1. Structure of the layout of transistor.

표 1. 제작된 트랜지스터 유형 간의 MAG 비교
Table 1. Comparison of MAG of fabricated transistor types.

MAG	60 GHz	77 GHz	94 GHz
유형 1	8.71 dB	7.8 dB	6.65 dB
유형 2	7.7 dB	6.57 dB	5.55 dB
유형 3	9.0 dB	7.76 dB	6.80 dB

바이어스 조건: $V_{gs}=0.85$ V, $V_{ds}=1.2$ V

및 새로운 응용 분야에 대한 요구가 증가하고 있다^[1]. 따라서 밀리미터파 대역에 대한 많은 연구 및 응용이 활발히 진행되고 있다. 밀리미터파 대역에서는 민간 및 군사용 RADAR, Passive Imaging, 초고속 통신 등 많은 응용이 있다. 특히 W-band 이상의 대역은 공기 중 감쇄 특성이 좋고 투과성이 높기 때문에 군사적으로 매우 중요한 가치를 가지고 있고, 활발히 연구가 진행 중에 있다^{[2],[3]}.

그러나 밀리미터파 활용에 있어서는 기술적인 장벽이 존재한다. 반도체 소자의 이득 및 출력 전력은 주파수 제공에 반비례하는 관계가 있다. 이러한 이유 때문에 밀리미터파 집적회로 설계는 충분한 이득을 얻어내기가 매우 힘들다. 이러한 이유로 인해 대부분의 밀리미터파 소자들은 GaAs, InP 등의 III-V 화합물 반도체 공정을 사용하고 있다. 하지만 화합물 반도체 공정의 경우, CMOS 공정에 비해 훨씬 고가의 제작비가 소요된다. 이에 따라 표준화된 상용 CMOS 공정을 이용해 저가의 W-대역 receiver를 개발하는 연구가 활발히 진행되고 있다.

본 논문에서는 이러한 추세를 따라 국내의 표준

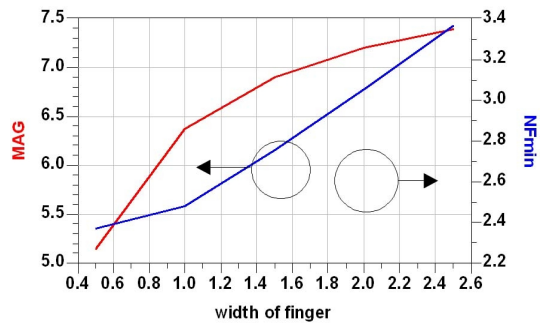


그림 2. 트랜지스터의 단일 게이트 핑거 너비에 따른 MAG와 NFmin 변화(핑거 수는 16개)
Fig. 2. The width of finger of the transistor vs MAG and NFmin (the number of finger is 16).

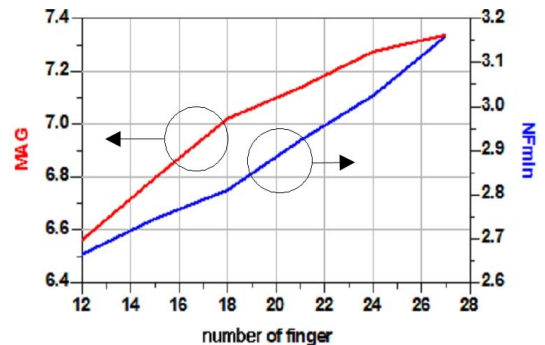


그림 3. 트랜지스터의 게이트 핑거 수에 따른 MAG와 NFmin 변화(핑거 너비는 0.5 μm)
Fig. 3. The number of finger of the transistor vs MAG and NFmin(the width of finger is 0.5 μm).

상용 65 n CMO 커플러를 설계하였다. 94 GHz 등의 W-대역 단일 칩 수신기를 목표로, 수신기의 가장 핵심 부품인 저잡음 증폭기와 수신기에서 활용할 수

있는 커플러를 우선적으로 제작하였다. 제안된 회로들을 검증하기 위해서 제작하여 *S*-parameter 특성과 잡음 특성을 모두 측정하였다.

II. 회로 설명

2.1 트랜지스터 사이즈 결정

W-대역 저잡음 증폭기의 설계를 위해서는 우선 트랜지스터의 사이즈와 레이아웃을 결정한다. 일단 트랜지스터의 사이즈를 결정하기 위해서는 저잡음 특성과 이득을 고려해야 한다. 트랜지스터의 사이즈를 결정하는 요소로는 단일 게이트 너비와 게이트 핑거 수가 있다. 게이트 너비가 증가할수록 기생 캐패시턴스와 게이트 저항은 커지지만 드레인과 소스 저항은 작아지고 채널의 증가에 따른 트랜스컨덕턴스가 커져 전력이득에 유리하다. 반면에 잡음 지수는 단일 게이트 핑거의 너비가 커진다면 게이트 저항이 커지기 때문에 나빠지는 경향이 있다. 또한 게이트 핑거 수가 증가하면 기생 캐패시턴스가 증가하나, 게이트 저항이 감소하고 트랜스 컨덕턴스가 증가하여 전력 이득에 유리하나, 마찬가지로 기생 캐패시턴스의 영향으로 잡음 지수는 증가하는 경향을 그림 2, 3의 시뮬레이션을 통해 관찰할 수 있었다. 따라서 각각에 대한 효과적인 타협이 필요하다. 이에 따라 단일 게이트 핑거 너비를 $1.5 \mu\text{m}$ 로 하고, 게이트 핑거 개수를 16개로 정하였다.

한편, 밀리미터파 회로 설계에 있어서 트랜지스터의 기생 성분은 소자 특성에 큰 영향을 미치기 때문에, 레이아웃에 따라 소자의 게인 특성이 크게 달라질 것으로 예상되었다. 이에 따라 세 가지의 레이아웃 유형을 만들어 측정해 MAG(Maximum Available Gain)를 비교하였다. 첫 번째 레이아웃 유형은 게이트 단 신호 라인의 top metal이 트랜지스터 근처에서 아래쪽의 metal로 내려가서 양쪽으로 갈라져 게이트에 feeding되는 형태이다. 두 번째 레이아웃 유형은 게이트 단 신호 라인의 top metal을 트랜지스터 근처에서 양 쪽으로 나누어 트랜지스터의 양 쪽에서 아래쪽의 metal로 내려가서 게이트에 feeding되는 형태이다. 두 유형의 차이점은, 유형 1의 경우 구조가 간단하여 기생 커패시턴스와 게이트 소스 커패시턴스

가 작은 반면, 손실이 큰 아래쪽 metal을 많이 사용하게 되어, 손실이 비교적 커질 확률이 높다. 한편, 유형 2의 경우, top metal이 게이트 feeding을 위해 내려가는 지점 바로 근처까지 연결되어 있어 손실을 줄일 수 있으나, 기생 커패시턴스가 커질 확률이 높다. 여기에 유형 1 두 개를 병렬로 연결한 유형 3까지 세 가지 형태의 레이아웃을 그려서 비교해 보았다.

목표로 하는 주파수인 94 GHz에서 세 가지 유형의 트랜지스터 MAG를 측정해 보았다. 측정된 결과는 표 1과 같다. 유형 3이 가장 높은 MAG 값을 가졌고, 유형 1은 거의 차이가 없었으며, 유형 2는 다소 낮은 값으로 나타났다. 이 결과를 바탕으로 해당하는 94 GHz에서 유형 1을 사용해 설계하는 것으로 결정하였다. 따라서 유형 1과 같은 레이아웃의 게이트 너비를 $1.5 \mu\text{m} \times 16$ 으로 하는 트랜지스터를 저잡음 증폭기 설계에 사용하였다.

2.2 3단 공통 소스 저잡음 증폭기 설계

트랜지스터 하나의 MAG가 목표 주파수인 94 GHz에서 약 6.65 정도로 측정되었다. 설계하면서 해당 주파수 영역의 안정도 변화에 따라서 MAG에서 MSG(Maximum Stable Gain)로 바뀌면서 실제 설계에서 공통 소스단의 이득은 더 낮은 값이 되었다. 이와 함께 트랜지스터 부근 feeding line을 비롯한 손실들을 고려하여, 적당한 이득을 얻기 위해서 3단 공통 소스 토폴로지를 사용하였다. 그림 4는 제안된 3단 공통 소스 저잡음 증폭기의 회로도이다. 이 3단 공통 소스 토폴로지는 전송 선로로 CPW(coplanar waveguide)를 선택하였다. 밀리미터파 회로에서 전송선로는 CPW나 GCPW(Grounded Coplanar Waveguide)를 사용한다. CPW는 GCPW 선로에 비해 전송 선로의 커패시턴스가 작아서 더 높은 특성 임피던스를 얻을 수 있다. 따라서 CPW 선로를 사용해 전체 회로를 설계하였다. W-대역에 해당하는 높은 주파수의 응용이기 때문에, CPW 선로는 공정의 가장 두꺼운 top metal을 사용해 손실을 최소화하였다. 또한, CPW의 ground에 해당하는 양 쪽의 metal에는 공정에서 제공하는 metal을 층층이 쌓아서 ground를 만들었다. 이를 통해서 필드 누출로 인한 손실을 최소화

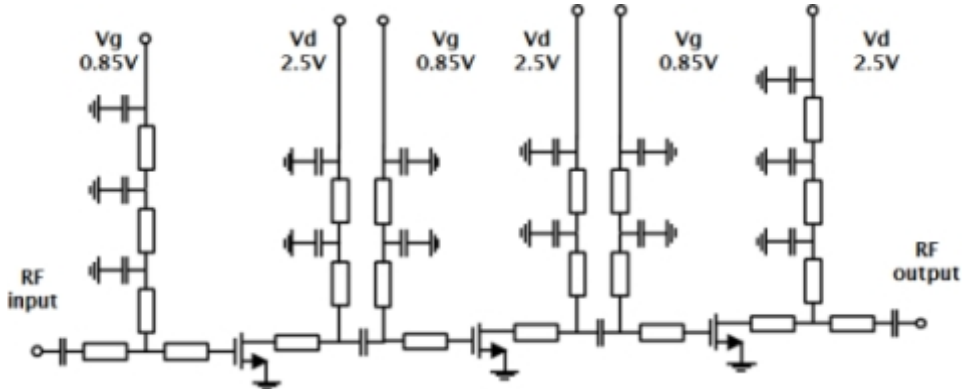


그림 4. 제안된 3단 공통 소스 저잡음 증폭기의 회로도
 Fig. 4. Schematic of the proposed 3-stage CS LNA.

하였다. 바이어스 선로와 매칭에 있어서, 집적에 용이하도록 바이어스 선로를 활용해 매칭을 하였다. 이를 통해서 회로 사이즈를 줄일 수 있었다.

밀리미터파 회로 설계의 또 하나의 문제점은 모델이 정확하지 않기 때문에 설계한 결과와 제작된 결과가 차이가 난다는 데 있다. 따라서 설계할 때 최대한 광대역 특성을 갖도록 설계할 필요가 있다. 이렇게 설계된 저잡음 증폭기는 의도했던 대로 광대역, 컴팩트한 특성을 얻도록 설계되었다. 그림 5는 설계된 저잡음 증폭기의 S-파라미터 시뮬레이션 결과이다. 반사 손실과 이득이 모두 광대역 특성을 갖는 것을 확인할 수 있고, 94 GHz에서 이득은 6~8 dB이다. MMIC 제작에 있어 제작된 회로를 튜닝하기 위한 튜닝 팩터를 넣음으로써, 중심주파수는 94 GHz보다 약간 낮게 설계하였다. 설계된 저잡음 증폭기의 사이즈는 1 mm×1 mm 정도인데, 프루빙을 위한 패드 사이즈를 제외할 경우, 전체 회로가 컴팩트한 사이즈를 유지하고 있다.

2-3 커플러 설계

W-대역 커플러는 CMOS 공정에서 제공하는 multi metal layer를 이용한 broadside 커플러를 설계하였다. 해당 CMOS 공정의 가장 위 두 층의 metal이 각각 1.2 μm , 3 μm 로 두꺼운 metal layer로 구성되어 있어, 이 두 층을 사용하면 손실이 적은 커플러를 설계할 수 있다. 그러나 기본적인 broadside 커플러를 레이아웃 했을 경우, 공정의 density rule에 의해 제작이

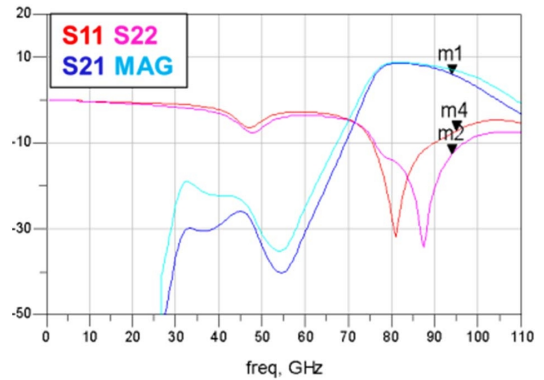


그림 5. 설계된 3단 공통 소스 저잡음 증폭기의 시뮬레이션 결과
 Fig. 5. Simulated result of proposed 3-stage CS LNA.

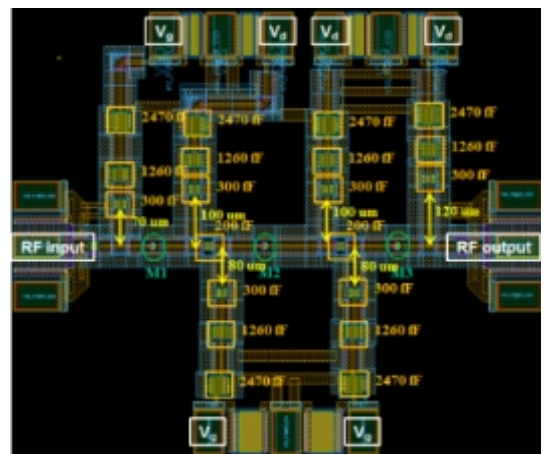


그림 6. 설계된 3단 공통 소스 저잡음 증폭기의 레이아웃
 Fig. 6. Layout of proposed 3-stage CS LNA.

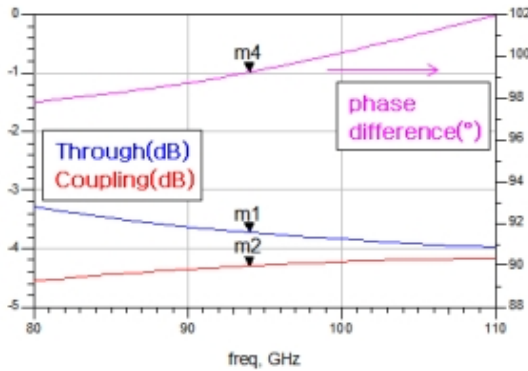


그림 7. 설계된 커플러의 시뮬레이션 결과
Fig. 7. Simulated result of proposed coupler.

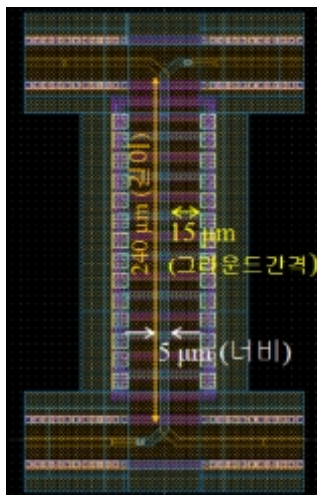


그림 8. 설계된 커플러의 레이아웃
Fig. 8. Layout of proposed coupler.

불가능하다. 이에 따라 신호 전송 선로로 사용하는 최상층 metal 외의 하층 metal들을 신호 path에 추가해야한 했다. 여기서는 metal strip들을 사용해서 신호 전송 선로와 수직으로 배치하여 density rule을 해결하고자 했다. CPW 선로 아래에 수직인 metal strip을 배치시킨 구조는 slow-wave CPW로 알려져 있다^[4]. 이 때, 경계 부근에서 특성 임피던스가 달라지면서 신호의 감쇄 등의 문제가 발생하였다. 따라서 metal을 엇갈려 배치하고, 최소한의 metal을 사용하는 방법으로 신호 감쇄를 최소화하였다. 또한 커플러의 신호 선로 너비와 신호 선로 길이, 신호 선로와 ground의 거리, strip의 너비와 strip간의 거리 및 strip 배치 등의 변수를 조절해 가면서, 손실이 작으면서

커플러로 동작하는 구조를 설계하였다. 일련의 설계 과정은 한국 Agilent 사의 ADS에서 제공하는 3차원 전파 시뮬레이터인 Momentum을 사용해 설계되었다. 레이아웃 Gds 파일을 ADS momentum으로 불러와 2-D 구조로 만들고, 각 메탈의 두께와 전기전도도 그리고 실리콘 기판과의 거리, 메탈과 메탈을 채우는 유전체의 유전율 등의 정보를 입력하여 실제 공정 환경과 유사하게 EM simulation을 수행하도록 하였다. 설계된 결과는 그림 7과 같다. 삽입 손실이 1 dB 정도이고, through단과 coupling단 간의 magnitude mismatch는 1 dB 이하로 설계했다. 단, phase mismatch는 94 GHz에서 10° 정도 틀어지게 설계되었는데, 앞에서 언급한 metal strip을 넣어서 설계하는 과정에서 손실을 작게 하기 위해서 약간의 phase mismatch는 감수할 수밖에 없었다.

III. 제작 및 측정

제안된 회로들을 검증하기 위해서 회로를 제작하여 측정하였다. 본 연구실은 W-대역 S-파라미터 측정 장비와 W-대역 잡음 지수 측정 셋업을 보유하고 있다. S-파라미터의 측정은 110 GHz까지 지원하는 VNA(Vector Network Analyzer)인 한국 Agilent 사의 8510XF 제품을 이용한다. 110 GHz 프루브를 사용해 on-wafer 방식으로 측정할 수 있다. 잡음 지수의 측정에 있어서는 잡음 지수 분석기(noise figure analyzer) 외에도 W-대역 잡음 소스(W-band noise source)가 필요하다. W-대역 잡음 소스는 W-대역의 잡음을 내보내므로, 이것이 회로를 통해 출력된 뒤에도 W-대역의 높은 주파수를 갖고 있다. 따라서 이것을 분석해 잡음 지수를 얻기 위해서는 W-대역 혼합기(W-band mixer)를 통해 주파수를 하향 변환해야 한다. 이 혼합기의 구동을 위해서는 큰 LO(Local Oscillator) 전력이 필요한데, 여기에 W-대역 건 소스(W-band Gunn source)가 필요하다. 그림 9과 그림 10은 본 연구실에서 보유한 W-대역 S-파라미터와 잡음 지수의 측정 장비 셋업을 보여준다. 이를 통해서, S-파라미터와 잡음 지수의 측정을 수행하였다. 그림 11은 설계한 3단 공통 소스 저잡음 증폭기의 측정 결과이다. 기존 설계에서는 94 GHz를 목표하는 중심 주파수로 하여 조금 더 낮은 주파수에서 설계하

였으나, 실제 제작된 회로의 경우 주파수의 이동이 더 많이 일어나 이득이 100 GHz에서 110 GHz 정도의 대역에서 형성되었다. 또한 실제 측정에 있어서 트랜지스터와 최상의 메탈까지 연결하는데 필요한 비아와 전송선로, MIM 캐패시터 등에서 고주파 손실이 발생하게 된다. 따라서 100 GHz 이상의 높은 주파수에서는 트랜지스터의 게인이 표 1의 바이어스에서와 같이 그대로 나오지 않으므로 불가피하게 V_{ds} 를 표 1의 1.2 V에서 2.5 V로 더 올릴 수밖에 없었다. 이 때 LNA 전체의 피크 게인은 약 2 dB 정도 증가하였다. 100 GHz에서 5.64 dB의 이득, 110 GHz에서 최대 이득 6.393 dB를 얻었다. 110 GHz 이상 대역에서도 이득이 존재할 것으로 예상되나, 측정할 수 없어서 검증은 하지 못했다. 110 GHz의 이득이 최대 이득이라고 한다면, 3-dB 대역폭이 충분히 10% 이상으로 얻어졌음을 확인할 수 있다. 주파수가 틀어짐으로 인해 반사 손실도 설계한 값과 달라졌다. 입력 단의 반사 손실은 3-dB 대역폭 안에서 약 10 dB 이상을 유지하였고, 출력 단 반사 손실이 7 dB 정도로 형성되었다. 이와 같이 S_{11} 과 S_{22} 의 매칭 중심 주파수가 틀어져 형성되었으나, 100 ~ 110 GHz 대역에서 적당한 값 이하로 형성되어 회로의 정상적인 동작을 확인할 수 있었다. 매칭이 틀어진 이유로는 트랜지스터 모델과 CPW 선로 모델의 오차가 주요한 원인으로 여겨진다. 트랜지스터 모델의 비아 인덕턴스가 실제 값보다 크게 예상되면서 전체적으로 매칭 주파수가 높아졌을 것으로 생각된다. 또한 CPW 모델보다 실제 제작된 CPW 선로가 더 큰 손실과 더 낮은 특성 임피던스를 갖는 것으로 측정되었



그림 9. W-대역 S-파라미터 측정 셋업
Fig. 9. W-band S-parameter measurement set-up.

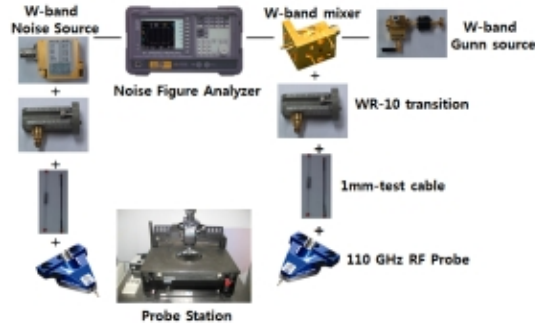


그림 10. W-대역 잡음 지수 측정 셋업
Fig. 10. W-band noise figure measurement set-up.

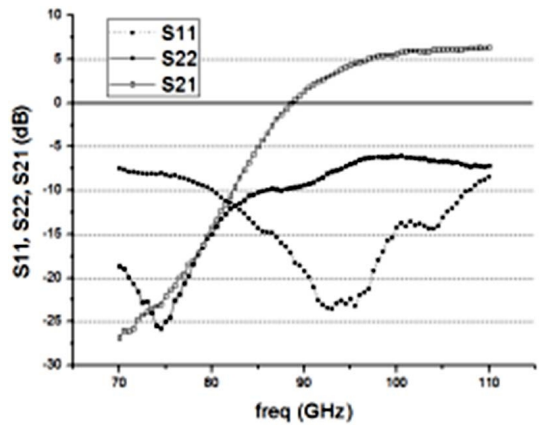


그림 11. 제작된 3단 공통 소스 저잡음 증폭기의 S-파라미터 측정 결과
Fig. 11. S-parameter measurement result of fabricated 3-stage CS LNA.

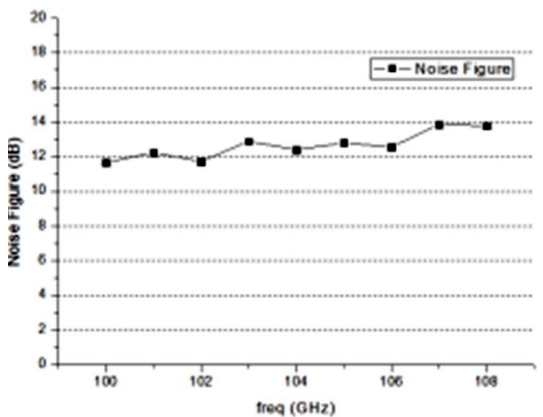


그림 12. 제작된 3단 공통 소스 저잡음 증폭기의 잡음 지수 측정 결과
Fig. 12. Noise figure measurement result of fabricated 3-stage CS LNA.

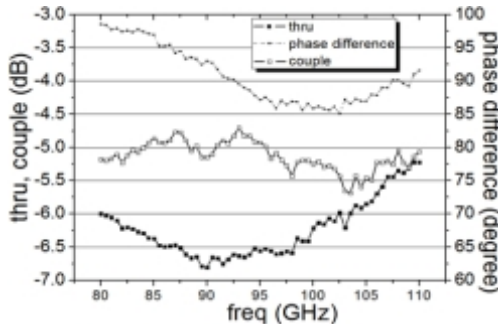


그림 13. 제작된 커플러의 S-파라미터 측정 결과
Fig. 13. S-parameter measurement result of fabricated coupler.

표 2. 100 GHz(W-대역) CMOS 저잡음 증폭기의 이득과 잡음 지수 비교

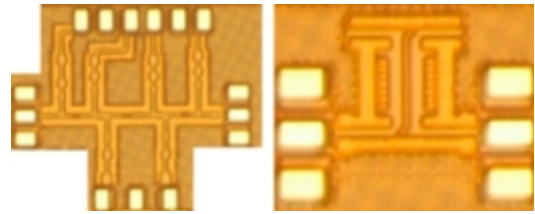
Table 2. Comparison of gain and noise figure of 100 GHz(W-band) CMOS LNA.

참조문헌	주파수 (GHz)	이득 (dB)	잡음 지수 (dB)
[5]	78~102	11.8	11.6
[6]	75~91	13	7.5
[7]	75~95	12	7
본 연구	100~110	6.4	11.7

는데, 이것에 의한 영향도 매칭을 틀어지게 하는 원인으로 보인다.

이득이 나오는 주파수 대역에서의 잡음 지수 측정 결과는 그림 12와 같다. 100 GHz에서 11.66 dB로 측정되는 등 전체 주파수 대역에서 약 10 dB에서 15 dB 사이 값을 유지하고 있는 것으로 측정되었다. 제작된 저잡음 증폭기는 다른 W-대역 CMOS 저잡음 증폭기와 성능을 비교해 보았을 때, 비교할 수 있는 성능을 보였다. 이득 면에서 약간 모자라는 면이 있지만, 참고된 결과들은 3단 캐스코드 토폴로지를 사용했고, 본 연구는 3단 공통 소스 토폴로지를 사용했으므로, 같은 개수의 트랜지스터를 사용할 경우 비슷한 수준의 이득을 예상할 수 있다.

그림 13은 설계한 커플러의 측정 결과이다. 저잡음 증폭기가 100 GHz에서 110 GHz에서 동작하도록 설계되었으므로, 커플러도 해당하는 대역에서의 특성을 보였다. 삽입 손실은 100~110 GHz 대역에서 2~3 dB 정도이고, magnitude mismatch는 같은 대역에서 1 dB 이하로 측정되었다. 설계에 비해서 더 큰



(a) 저잡음 증폭기 (a) LNA
(b) 커플러 (b) Coupler

그림 14. 제작된 회로들의 칩 사진
Fig. 14. Chip photograph of fabricated circuits.

손실을 갖는 회로가 제작되었는데, 이는 저잡음 증폭기 설계에서의 오차와 같이 CPW 선로의 모델보다 제작된 CPW 선로가 더 큰 손실을 갖고 있기 때문으로 보인다. Phase mismatch는 오히려 설계한 것보다 좋은 특성을 보이게 되었는데, 5° 이하의 phase mismatch를 보였다. 이 또한 CPW 모델의 특성 임피던스와 제작된 CPW 선로의 특성 임피던스의 오차로 인하여 생긴 차이점으로 보인다. 결론적으로, 앞서 설명한 저잡음 증폭기와 커플러 모두 100~110 GHz 대역에서 정상적으로 동작하도록 잘 설계되었음을 확인할 수 있었다.

IV. 결 론

본 논문에서는 100 GHz에서 110 GHz 대역에서 동작하는 저잡음 증폭기와 커플러를 65 nm CMOS 공정을 이용하여 구현하였다. 특히, 국내의 표준화된 저가 CMOS 공정을 이용하여 100 GHz 대의 높은 주파수에서 동작하는 MMIC의 설계 및 제작을 완성하였다. 수신단에 집적해 사용하기 위해 컴팩트한 사이즈의 저잡음 증폭기와 커플러를 설계했고, 제작된 뒤의 특성을 측정해 검증하였다. 제작된 회로들은 수신단에 필요한 이득과 커플링 특성을 보였고, 향후 수신기 시스템 집적의 가능성을 보였다. 향후 수신기 시스템의 다른 요소들을 설계하여 상용 CMOS 공정을 활용한 100 GHz 이상의 W-대역 RF system의 집적으로서 응용이 기대된다.

참 고 문 헌

[1] B. Razavi, *RF Microelectronics*, W. H. Freeman, Pearson, 2011.

[2] Munkyo Seo, B. Jagannathan, J. Pekarik, and M. J. W. Rodwell, "A 150 GHz amplifier with 8 dB gain and +6 dBm Psat in digital 65 nm CMOS using Dummy-prefilled microstrip lines", *IEEE Journal of Solid-State Circuits*, vol. 44, no. 12, Dec. 2009.

[3] Ozgur Inac, B. Cetinoneri, M. Uzunkol, Y. A. Atesal, and G. M. Rebeiz, "Millimeter-wave and THz circuits in 45-nm SOI CMOS", *IEEE Compound Semiconductor Integrated Circuit Symposium*, Oct. 2011.

[4] S. Seki, H. Hasegawa, "Cross-tie slow-wave coplanar waveguide on semi-insulating GaAs substrates", *Electronics Letters*, vol. 17, no. 25, Dec. 1981.

[5] Hsuan-Yi Su, R. Hu, and Chung-Yu Wu, "A 78 ~ 102 GHz front-end receiver in 90 nm CMOS technology", *IEEE Microwave and Wireless Components Letters*, vol. 21, no. 9, 2011.

[6] M. Khanpour, K. W. Tang, P. Garcia, and S. P. Voinigescu, "A wideband W-band receiver front-end in 65 nm CMOS", *IEEE Journal of Solid-State Circuits*, vol. 43, no. 8, Aug. 2008.

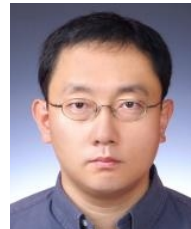
[7] E. Laskin, M. Khanpour, R. Aroca, K. W. Tang, P. Garcia, and S. P. Voinigescu, "A 95 GHz receiver with fundamental-frequency VCO and static frequency divider in 65 nm digital CMOS", *IEEE International Solid-State Circuits Conference Dig. of Technical Papers*, Feb. 2008.

김 지 훈



2003년 2월: 서울대학교 전기공학부 (공학사)
 2003년 3월~현재: 서울대학교 전기 컴퓨터공학부 석박사통합과정
 [주 관심분야] MMIC 설계(CMOS, GaAs, GaN), 능동소자 모델링

권 영 우



1988년 2월: 서울대학교 전자공학과 (공학사)
 1990년 2월: 미국 University of Michigan 전자공학과 (공학석사)
 1994년 2월: 미국 University of Michigan 전자공학과 (공학박사)
 1994년~1996년: Rockwell International Science Center, MTS
 1996년~현재: 서울대학교 전기컴퓨터공학부 교수
 1999년~2008년: 3차원 밀리미터파 창의 연구단 단장
 [주 관심분야] MMIC 설계, 밀리미터파 회로 및 시스템, 능동소자 모델링, RF MEMS, Microwave Cancer Detecting

박 흥 중



2012년 2월: 서울대학교 전기정보 공학부 (공학사)
 2012년 3월~현재: 서울대학교 전기 컴퓨터공학부 석박사통합과정
 [주 관심분야] RF Active Circuit Design