

논문 2012-50-3-6

# 동시 양방향 통신이 가능한 2-Gbps 인덕터 결합 링크

## ( A 2-Gbps Simultaneous Bidirectional Inductively-Coupled Link )

전민기\*, 유창식\*\*

(Minki Jeon and Changsik Yoo)

### 요약

본 논문에서는 동시에 양방향 통신이 가능한 inductively-coupled link를 제안하고자 한다. 기존의 inductively-coupled link의 경우 채널을 통해 양방향 데이터 전송이 가능하지만 동시에 양방향으로 데이터 전송은 불가능하였다. Echo를 효과적으로 제거함으로써 동시에 양방향 통신이 가능하게 하였고 데이터 전송률 또한 높일 수 있었다. 동시에 양방향 통신 구조에서 각각의 chip은 송신과 수신을 동시에 수행한다. 테스트를 위해 3차원으로 chip을 적층하는 대신 하나의 chip 내에서 유사한 테스트 환경을 구현하였으며 0.13- $\mu$ m CMOS 공정을 이용하여 제작 되었다.

### Abstract

A simultaneous bidirectional inductively-coupled link is presented. In the conventional inductively-coupled link, data can be bidirectionally transmitted through channel, however not simultaneously. We propose simultaneous bidirectional link for higher data rate with effective echo cancellation technique. Each chip performs TX-mode and RX-mode simultaneously. Instead chip stacking for test, similar test environment is realized in a single chip that is fabricated in a 0.13- $\mu$ m standard CMOS technology.

**Keywords** : 3-D integration, Inductively-coupled link, Simultaneous bidirectional link, Echo cancellation.

## I. 서론

기존의 System-on-board와 같은 구조에서는 chip-to-chip 인터페이스 대역폭을 증가시키는 것에 한계가 있다는 점이 전체 시스템의 성능을 향상 시키지 못하는 주된 이유였다. 또한 메모리 분야의 경우 일반적인 CMOS 공정으로는 더 이상 메모리 density를 향상 시킬 수 없는 상황에 이르렀다. 이와 같은 문제들을 해결하기 위한 방법으로 3차원 집적 시스템에 대한 연구와 개발이 활발히 진행되고 있다. Chip을 3차원으로 집적함으로써 chip과 chip 사이의 거리를 줄일 수 있게 되고 그에 따라 인터페이스 속도를 증가 시킬 수가

있다. 또한 여러 개의 chip이 3차원으로 집적되기 때문에 면적을 줄일 수 있다는 장점이 있다. 3차원 집적 시스템 기술은 주로 메모리 분야에 적용되는데 예를 들면 Solid-state-drive (SSD) 구현을 위한 NAND 플래시 메모리의 3차원 집적, 그리고 DRAM 분야에도 3차원 집적 기술이 적용되고 있다.

3차원 집적 시스템을 구현하기 위한 방식은 크게 유선과 무선의 두 가지 방식으로 나눌 수 있다<sup>[1]</sup>. Through-silicon-via (TSV) 는 대표적인 유선 방식의 3차원 집적 시스템 기술인데 TSV 방식에서는 3차원으로 집적된 chip들을 via를 통해 연결하게 된다. 그러나 TSV의 구현을 위해서는 일반적인 CMOS 공정은 사용할 수가 없으며 추가적인 공정 기술을 필요로 하게 되고 이것은 비용의 증가로 연결되게 된다. 그리고 TSV 기술로 구현한 3차원 집적 시스템에서 각 chip들의 입/출력 패드들은 반드시 Electro-static discharge (ESD)

\* 학생회원, \*\* 평생회원, 한양대학교 전자컴퓨터통신공학과

(Department of Electronics Computer Engineering, Hanyang University)

접수일자:2012년10월31일, 수정완료일:2013년2월18일

보호 회로를 필요로 하므로 이로 인한 입/출력 패드의 커패시턴스 증가로 인해 고속 동작에는 어려움이 있다. 무선 방식의 대표적인 두 가지는 capacitively-coupled link와 inductively-coupled link인데 무선 방식의 경우는 ESD 보호 회로를 필요로 하지 않으므로 유선 방식에 비해 상대적으로 고속 동작에 유리하다는 장점이 있다<sup>[1]</sup>. Inductively-coupled link와 비교해 봤을 때 capacitively-coupled link의 경우는 실리콘 기판을 통한 신호 전달시 손실이 크므로 3차원으로 chip을 집적 할 때 face-to-face 방식으로만 집적이 가능하며 따라서 3개 이상의 chip을 집적하는 것이 불가능하다<sup>[2]</sup>. 반면에 inductively-coupled link의 경우는 face-up 또는 back-to-back 등 여러 가지 방식으로 chip의 적층이 가능하다. 비용 및 동작 속도와 신뢰성 등을 고려해 보면 inductively-coupled link가 3차원 집적 시스템 기술 중 그 특성이 가장 우수하다고 볼 수 있다.

기존에 inductively-coupled link에 관한 연구들을 보면 채널을 통한 양방향 데이터 통신이 가능한 구조이지만 동시에 양방향으로 데이터를 전송 할 수는 없는 구조였다. 본 논문에서는 실질적인 데이터 전송률의 증가를 위해 동시에 양방향 데이터 전송 방식을 사용하였다. 동시에 양방향 데이터 전송을 위해서는 echo cancellation이 필수적인데 이를 위한 효과적인 방법 또한 제안하고자 한다.

일반적으로 inductively-coupled link는 각각의 chip에 inductor를 두어서 3차원으로 집적한 다음 magnetic-field에 의한 coupling을 통해 데이터를 주고받게 되지만 테스트 chip을 제작하고 측정을 하기 위해 조금 더 쉬운 측정 환경을 구현하는 방법으로 chip을 3차원으로 적층하는 대신에 하나의 chip 내에서 metal1과 metal6의 두 metal layer를 이용하여 두 개의 inductor를 설계한 후 서로 coupling을 시켜 3차원으로 chip을 집적하는 것과 비슷한 환경을 만들어서 inductively-coupled link를 적용하여 측정을 진행하였다.

## II. Inductively-coupled Link

Inductive 채널을 정확히 분석하고 설계하기 위해서는 그림 1. 과 같은 등가 회로 모델이 필요하다. 그림 1.에 나타나 있는 회로 성분들은 크게 두 가지로 나뉘는데 첫 번째는 inductor 모델링 성분으로  $L_T$ ,  $L_R$  및  $M_I$ 은 채널의 inductive 특성을 나타내고 있다. 또한 채널

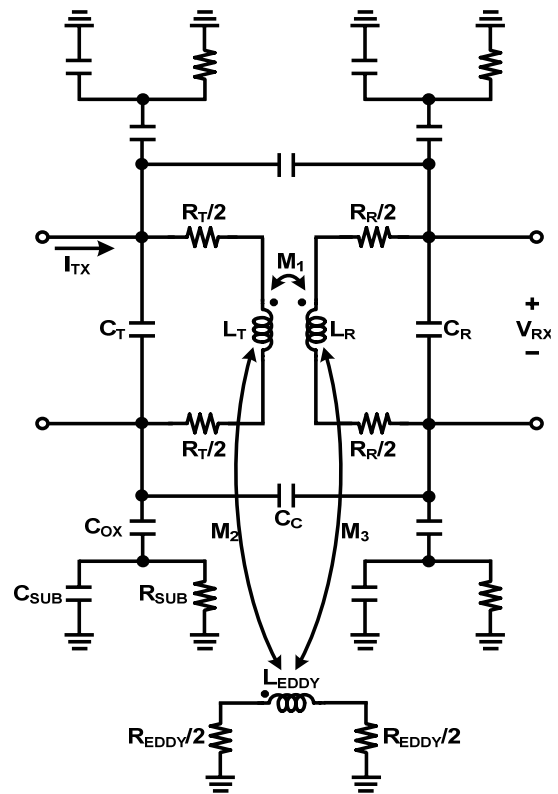


그림 1. 채널 등가 회로 모델

Fig. 1. Channel equivalent circuit model.

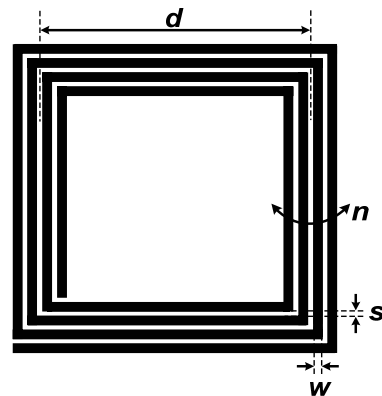


그림 2. Inductor 설계 parameter

Fig. 2. Inductor design parameter.

의 정확한 주파수 특성을 나타내기 위해 기생 저항 성분 및 기생 커패시턴스 성분을 등가 회로 모델로 표현하였다. 두 번째 성분들은 inductor와 실리콘 기판 사이의 결합 성분들이다.  $C_{OX}$ ,  $C_{SUB}$  및  $R_{SUB}$  성분들은 inductor와 실리콘 기판 사이의 capacitive-coupling 효과를 나타내고 있다. Inductor에 흐르는 전류가 시간에 따라 변할 때 그것에 의해 생성된 magnetic-field 또한 시간에 따라 변하게 되고 그렇게 되면 실리콘 기판에 electric-field가 생성되게 된다. 이것에 의해 실리콘 기

표 1. Inductor 설계 parameter 및 등가 회로 모델 parameter

Table 1. Inductor design parameters and circuit model parameters.

Parameter	Metal 1 Inductor	Metal 6 Inductor
Diameter, $d$	100- $\mu\text{m}$	100- $\mu\text{m}$
Width, $w$	3.5- $\mu\text{m}$	2.7- $\mu\text{m}$
Spacing, $s$	0.5- $\mu\text{m}$	0.5- $\mu\text{m}$
Turns, $n$	4	4
$L$	3.26-nH	3.52-nH
$C$	25.11-fF	18.75-fF
$R$	29.40- $\Omega$	29.50- $\Omega$
$f_{SR}$	17.59-GHz	19.59-GHz
M	2.10-nH	

판에는 eddy 전류가 흐르게 되고 eddy 전류는 inductor에 의해 생성된 것과 반대되는 방향의 magnetic-field를 생성하게 된다. 이것은 magnetic-loss로써 채널의 transimpedance를 줄이게 되며 수신 펄스의 크기가 줄어드는 것을 의미한다.  $L_{EDDY}$ 와  $R_{EDDY}$ 를 통해 magnetic-loss를 모델링 하였다. 실리콘 기판에 의한 효과들을 무시한다고 가정하면 채널의 주파수 응답 특성은 아래의 수식 (1) 과 같다.

$$\frac{V_{RX}}{I_{TX}}(j\omega) = j\omega M_1 \cdot \frac{1}{(1 - \omega^2 L_T C_T) + j\omega R_T C_T} \cdot \frac{1}{(1 - \omega^2 L_R C_R) + j\omega R_R C_R}. \quad (1)$$

만약 채널이 기생 성분을 제외한 이상적인 inductive 성분만을 포함하고 있다면 위의 수식 (1) 의 첫 번째 부분과 같이 채널은 고주파 대역 통과 필터로써 작용하게 된다. 하지만 기생 저항 성분과 기생 커패시턴스 성분에 의해 저주파 대역 통과 필터 특성이 채널의 주파수 응답에 포함되고 채널의 차단 주파수는  $1/\sqrt{LC}$  또는  $1/RC$ 에 의해서 결정된다<sup>[3]</sup>. 따라서 채널 입력 신호의 대역폭이 채널의 차단 주파수에 비해 작아야 Inter-symbol-interference (ISI) 없이 안정적인 신호의 전달이 가능해진다.

Chip 안에 metal layer를 이용한 inductor를 설계하는데 있어서 우선 두 inductor 사이의 거리가 주어졌을 때 그림. 2 에서와 같이 네 개의 설계 parameter를 어떻게 결정하는지에 따라서 표. 1에 나타난 것처럼 등가 회

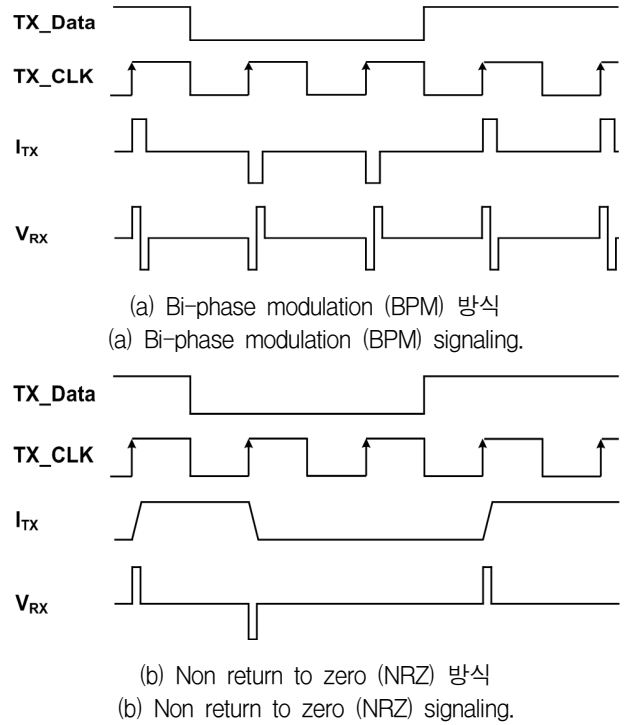


그림 3. Inductively-coupled link의 신호 전달 방식

Fig. 3. Signaling schemes of inductively-coupled link.

로 모델 parameter 값이 결정된다. 먼저 두 inductor 사이의 coupling-coefficient  $k$ 는 inductor의 diameter  $d$ 에 의해서만 영향을 받는다.  $k$  값이  $d$ 에 의해 결정되고 나면  $n$  값을 어떻게 하느냐에 따라서 mutual-inductance 값이 결정된다. 따라서  $d$ 와  $n$  값에 의해서 두 inductor 사이의 coupling-strength가 정해진다고 볼 수 있다. 하지만 coupling-strength를 크게 하기 위해  $d$ 와  $n$  값을 크게 설계 할 경우 수신 펄스의 크기는 커지지만 기생 성분들의 증가로 인해 채널의 차단 주파수가 낮아지게 되고 그렇게 되면 데이터 전송률을 증가시키기가 어려워진다. 그러므로 최대 데이터 전송률을 고려하여 그것보다 충분히 큰 차단 주파수 값을 갖는 범위 내에서  $d$ 와  $n$  값을 결정 할 필요가 있다. Metal의 width  $w$ 와 spacing  $s$ 는 기생 저항 성분과 기생 커패시턴스 값에 영향을 미치지만 두 inductor의 coupling-strength에는 거의 영향을 주지 않는다. 본 논문에서는 입력 신호의 최대 데이터 전송 속도는 1-Gbps인데 표. 1. 에 나타난 것처럼 채널의 차단 주파수가 충분히 큰 값을 갖는 것을 볼 수가 있다.

Inductively-coupled link의 경우 전류 구동 방식으로써 대표적인 두 가지 전류 구동 방식인 Bi-phase modulation (BPM) 과 Non return to zero (NRZ) 가 그림 3.에 나타나 있다. 두 가지 구동 방식을 전류 소모

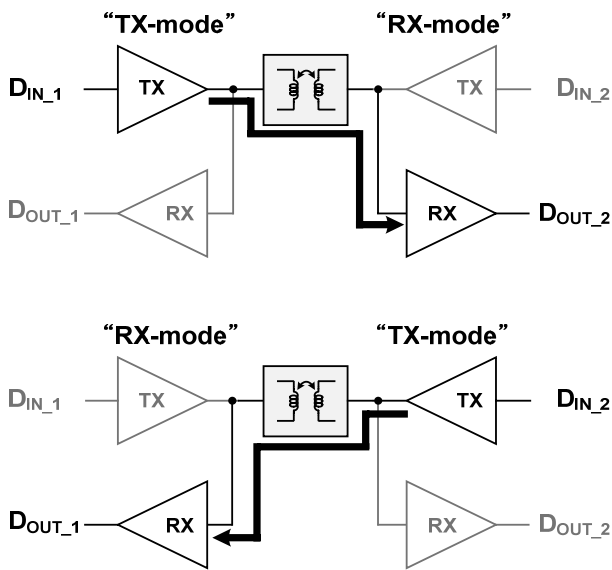


그림 4. 데이터 전송시 각 chip의 동작 상태  
Fig. 4. Operation state of each chip during data transmission.

및 timing margin 등 여러 가지 측면에서 비교 해 볼 필요가 있다<sup>[4]</sup>. 먼저 전류 소모 측면에서 비교 해 봤을 때 항상 채널에 전류가 흐르는 NRZ 방식에 비해 데이터를 보내는 순간에만 전류를 소모하는 BPM 방식이 더 우수하다고 볼 수 있다. 하지만 RX에서의 timing margin 측면에서 생각해 보면 BPM 방식의 경우 수신된 전압 펄스가 음의 값에서 양의 값 또는 양의 값에서 음의 값으로 변하는 형태이므로 RX에서 정확한 clock align이 이루어지지 못할 경우 잘못된 데이터를 읽을 수 있다는 단점이 있다. 따라서 BPM 방식의 경우 RX에서 정확한 clock align을 위한 회로를 필요로 하고 이렇게 되면 오히려 NRZ 방식에 비해 더 많은 전류 소모가 생길 수가 있다. 본 논문에서는 timing margin 측면에서 더 우수한 특성을 갖는 NRZ 방식을 사용하였다.

### III. Simultaneous Bidirectional Link

일반적인 inductively-coupled link에서 데이터를 전송 시에 coupling 된 각각의 chip은 위의 그림 4. 에서와 같이 TX 또는 RX의 역할을 수행한다. 그러나 만일 각각의 chip이 TX와 RX의 역할을 동시에 수행하며 데이터를 송수신 할 수 있다면 실질적인 데이터 전송률을 두 배로 높일 수가 있다. 그림 5. 에 본 논문에서 제안한 simultaneous bidirectional inductively-coupled link의 block diagram이 나타나 있다. 본 논문에서는 두 개의 chip을 3차원으로 적층하는 대신 하나의 chip 내에

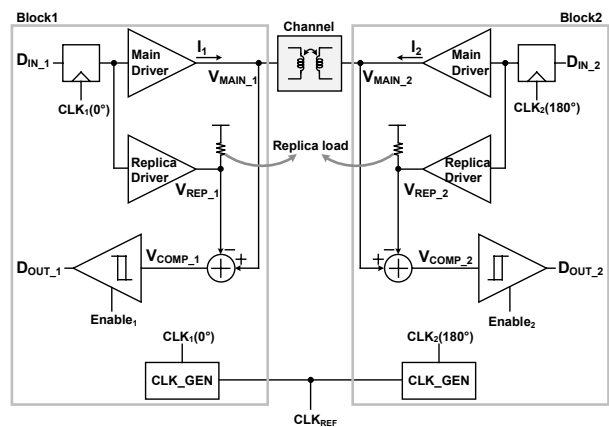


그림 5. 동시에 양방향 통신이 가능한 inductively-coupled link의 block diagram

Fig. 5. Block diagram of proposed simultaneous bidirectional inductively-coupled link.

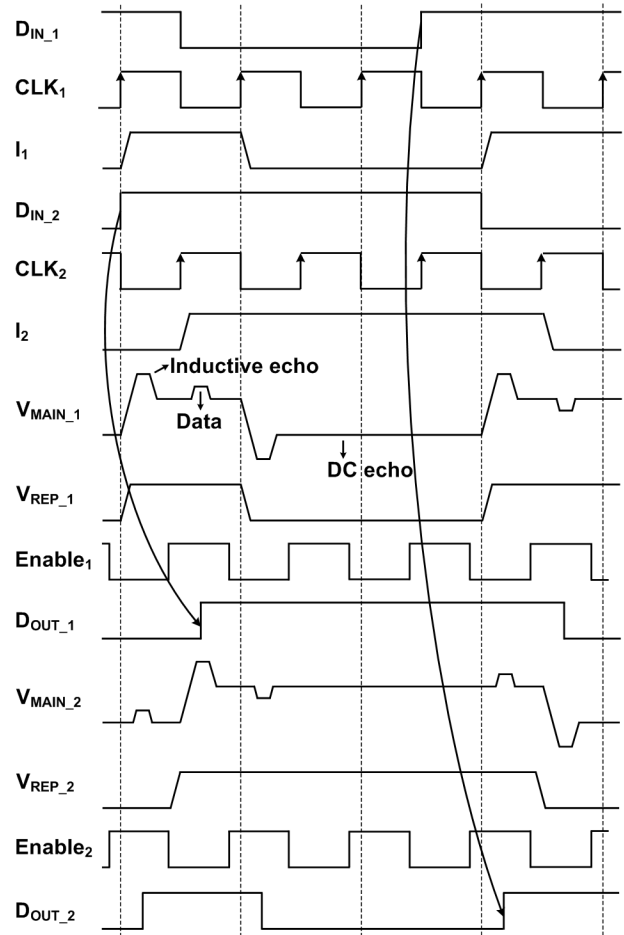


그림 6. 동시에 양방향 통신이 가능한 inductively-coupled link의 timing diagram

Fig. 6. Timing diagram of proposed simultaneous bidirectional inductively-coupled link.

서 유사한 환경을 구현하였으므로 “chip1”과 “chip2”라는 용어 대신 “block1”과 “block2”라는 용어를 사용하였

다. 그림 5. 에서 볼 수 있듯이 각각의 chip은 TX와 RX의 역할을 동시에 수행하며 동작하게 된다. 하지만 동시에 양방향으로 데이터를 보낼 경우에 유선 방식이든 무선 방식이든 관계없이 항상 echo가 존재하게 되고 올바른 데이터의 복원을 위해서는 echo에 의한 영향을 반드시 상쇄시켜주어야 한다. 유선 방식의 경우에는 각 chip에서 내보내는 데이터에 의존하는 reference level을 생성하여 echo에 의한 영향을 상쇄시켜주게 된다<sup>[5]</sup>. 하지만 inductively-coupled link와 같은 방식의 경우에는 수신된 전압이 펄스 형태를 갖게 되므로 유선 방식에서와 같은 echo 상쇄 방법을 사용할 수가 없으므로 다른 방법을 필요로 한다.

그림 5. 에 나타나 있는 block diagram을 “block1”의 관점에서 설명할 것인데 똑같은 동작 원리가 “block2”에도 적용 된다. 그림 5. 에서 채널을 구동하는 main driver의 출력 신호  $V_{MAIN\_1}$ 은 아래의 수식 (2)와 같이 세 가지의 신호 성분을 갖게 된다.

$$V_{MAIN\_1} = I_1 R_1 + L_1 \frac{dI_1}{dt} + M \frac{dI_2}{dt}. \quad (2)$$

위의 수식 (2) 중 첫 번째와 두 번째 성분들은 echo로써 반드시 그 영향이 상쇄되어야 한다.  $I_1 R_1$ 은 inductor의 기생 저항 성분에 의해서 생긴 DC-echo이며  $L_1(dI_1/dt)$ 는 self-inductance에 의해 발생하는 inductive-echo이다. 마지막 세 번째 성분은 채널을 통해 다른 chip으로부터 수신된 데이터로써 comparator에 의해 복원되어야 하는 신호이다. 일반적으로 echo를 상쇄하기 위해서는 main driver 및 채널과 똑같은 특성을 갖는 replica driver 및 replica load를 필요로 한다. 하지만 replica load로 사용하기 위해 하나의 inductor를 더 사용하는 것은 면적 측면에서 고려해봤을 때 효율적이지 못하다. 이 문제를 해결하기 위해 본 논문에서는 그림 5. 에 나타나 있듯이 두 개의 sampling clock  $CLK_1$ 과  $CLK_2$  사이에 180도 만큼의 위상 차이를 두는 방법을 제안한다. 그렇게 되면 수식 (2)에서 inductive-echo  $L_1(dI_1/dt)$ 와 수신된 데이터  $M(dI_2/dt)$  사이에도 180도의 위상 차이가 생기게 되고 적절한 timing을 갖는 enable 신호를 comparator에 인가할 경우 inductive-echo에 의한 영향을 없앨 수가 있게 되며 그림 5.에서 replica driver의 역할은 DC-echo를 상쇄하는 것으로 충분해진다.

그림 5. 에서 제안한 구조의 timing diagram이 그림 6. 에 나와 있다. 본 논문에서는 NRZ signaling을 사용

하였으므로 채널 전류  $I_1$ 과  $I_2$ 는 입력 데이터  $D_{IN\_1}$  및  $D_{IN\_2}$ 와 같은 형태를 갖는다. 그리고 앞서 설명한 것과 같이 두 sampling clock 사이에는 180도 만큼의 위상 차이가 있는 것을 볼 수가 있다. Replica driver의 출력 신호인  $V_{REP\_1}$  및  $V_{REP\_2}$ 에 의해 main driver의 출력 신호  $V_{MAIN\_1}$ 과  $V_{MAIN\_2}$ 의 DC 성분만이 상쇄 되는 것을 확인 할 수가 있고 inductive-echo는 comparator에 인가된 enable 신호에 의해 차단된다. 최종 출력 신호  $D_{OUT\_1}$ 과  $D_{OUT\_2}$ 는 입력 데이터  $D_{IN\_1}$ 과  $D_{IN\_2}$ 를 각각 복원해 내는 것을 볼 수가 있다.

그러나 실제로 inductively-coupled link를 두 개의 chip을 통해 구현했을 경우 두 chip 사이의 PVT variation 등에 의한 영향으로 그림 6.에서와 같이 두 개의 sampling clock 사이에 180도의 위상 차이를 주는 것은 쉽지가 않게 되고 그렇게 될 경우 inductive-echo와 수신된 데이터 사이의 timing margin이 감소하여 enable 신호에 의해 구분하기가 힘들어진다. 따라서 데이터 전송 구간외에 별도의 training 구간을 두어서 RX에서 inductive-echo와 수신된 데이터 사이의 timing margin을 입력으로 받아들이는 보상 회로에 의해 한 쪽 chip의 sampling clock의 위상을 RX에서 최대의 timing margin이 확보되는 양만큼 위상을 0도 또는 180도에서부터 shift 해 줄 필요가 있다.

DC-echo의 상쇄를 위해서는 replica driver 출력의 DC level이 main driver 출력의 DC level과 같아야

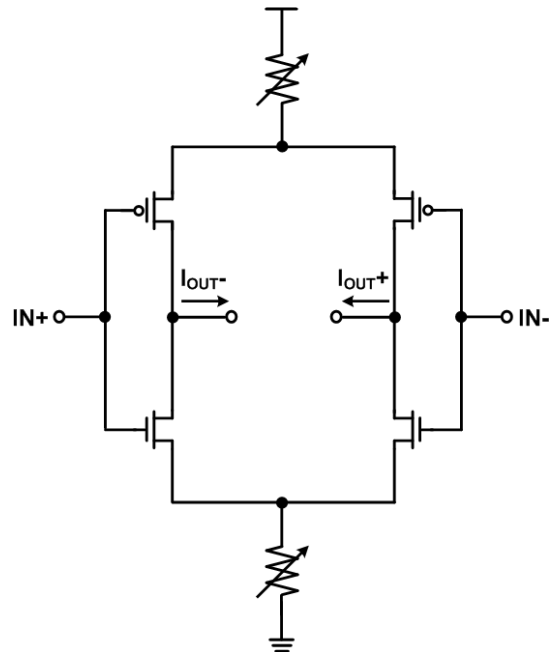


그림 7. Main driver와 replica driver 회로  
Fig. 7. Main driver and replica driver circuits.

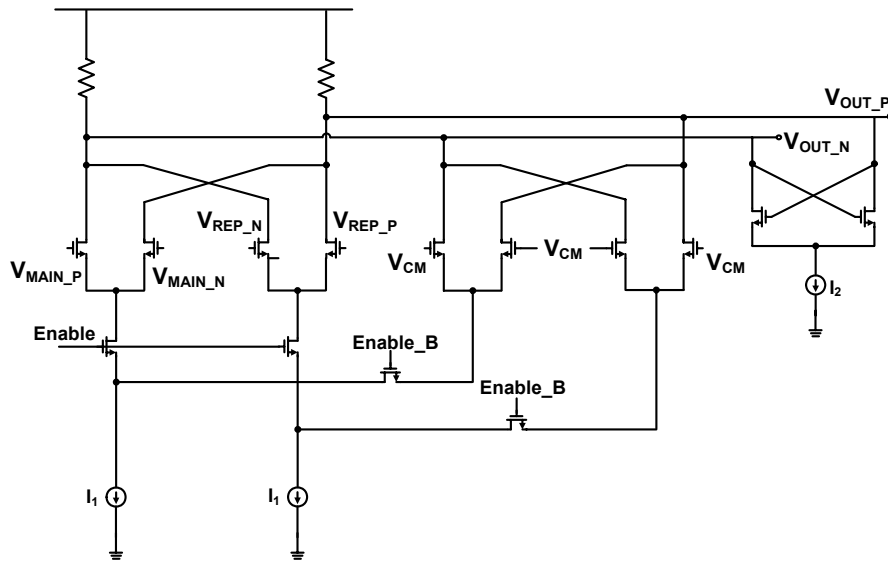


그림 8. Hysteresis comparator 회로  
Fig. 8. Hysteresis comparator circuit.

한다. 그림 7. 에 main driver와 replica driver 회로의 구조가 나와 있는데 입력 transistor의 size를 main driver에 비해 replica driver가  $(1/N)$  만큼 작게 sizing을 하여 replica driver의 전류 소모를 최소화 하였다. 그 대신 replica load로 사용한 저항은 inductor가 갖는 기생 저항 성분에 비해  $N$ 배 큰 값을 갖도록 설계 되어야 한다. Replica load로 사용할 저항을 구현하기 위해 일반적으로 사용되는 poly 저항 또는 active 저항을 사용해서는 안되며 inductor의 기생 저항과 같은 PVT 변화 특성을 갖도록 하기 위해 metal을 이용한 저항을 사용하여야 한다. 그림 8. 의 회로는 hysteresis 특성을 갖는 comparator의 회로도이다. 두 개의 differential-pair를 통해 main driver 및 replica driver의 출력을 입력 신호로 받게 되고 cross-coupled transistor를 통해 출력 신호는 hysteresis 특성을 갖게 된다. Common mode 신호가 인가되는 differential-pair는 comparator가 disable 되었을 때 전류가 흐를 수 있는 path로써 출력 신호의 DC level을 일정하게 유지시켜 주는 역할을 한다.

#### IV. Simulation and Measurement Results

본 논문에서 제안한 구조의 simulation 결과가 그림 9. 에 나타나 있다. Clock 주파수는 1-GHz이며 simultaneous bidirectional link의 동작에 의해 실질적인 데이터 전송률은 1-Gbps가 아닌 2-Gbps가 된다.

앞서 설명했듯이 테스트 chip은 그림 10. (a) 에 나타

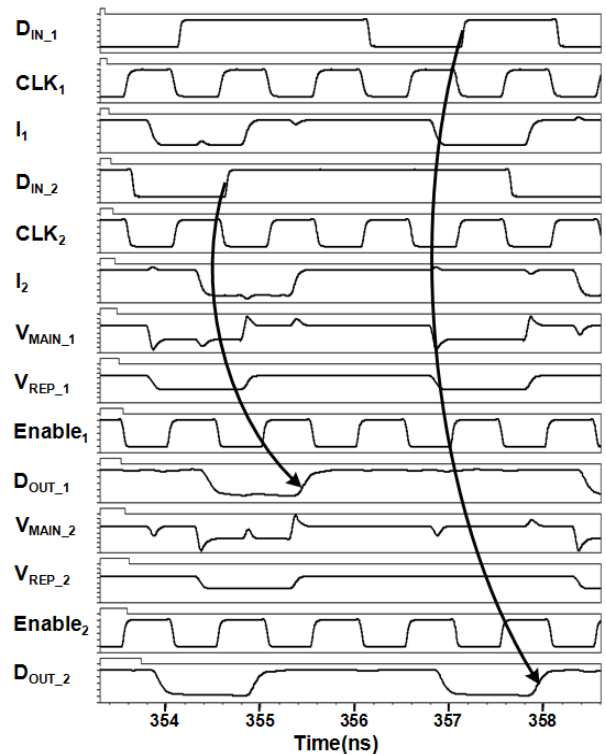
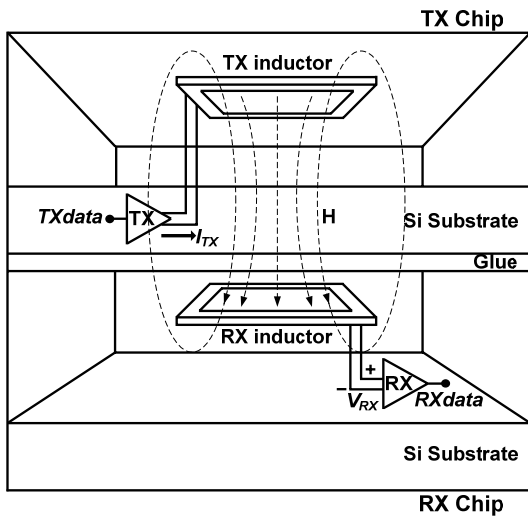
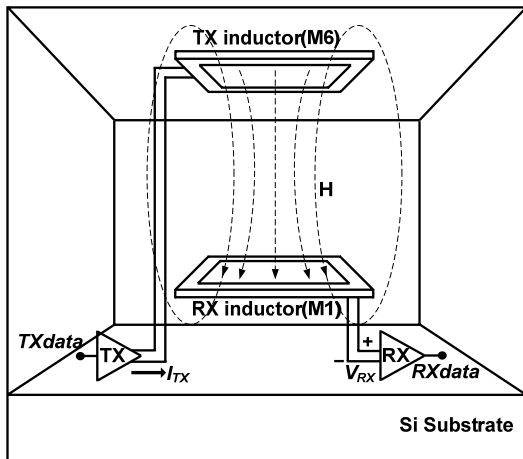


그림 9. 동시에 양방향 통신이 가능한 inductively-coupled link의 simulation 결과  
Fig. 9. Simulation result of proposed simultaneous bidirectional inductively-coupled link.

낸 것처럼 3차원으로 두 개의 chip을 적층하는 대신 그림 10. (b) 처럼 하나의 chip내에서 inductively-coupled link를 통해 측정을 진행하였고 테스트 chip은  $0.13\text{-}\mu\text{m}$  CMOS 공정을 이용하여 제작 되었다. 그림 11. 은 제작된 chip의 사진으로 core의 면적은  $0.084\text{-mm}^2$ 이며



(a) 두 chip의 적층을 통한 inductively-coupled link의 구현  
 (a) General stacked chip architecture for inductively-coupled link.



(b) 하나의 chip내에서 구현한 Inductively-coupled link  
 (b) Inductively-coupled link in a single chip.

그림 10. Inductively-coupled link의 기본 구조  
 Fig. 10. Basic architecture of inductively-coupled link.

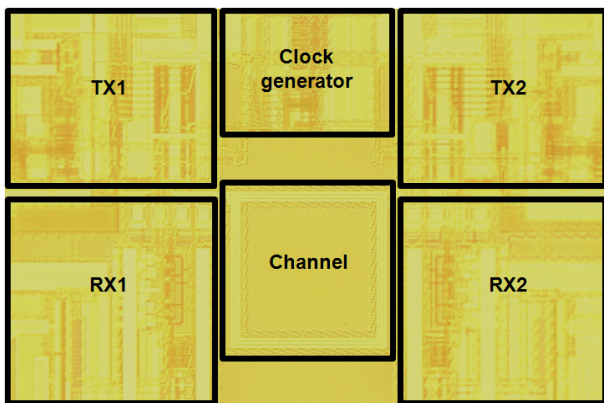
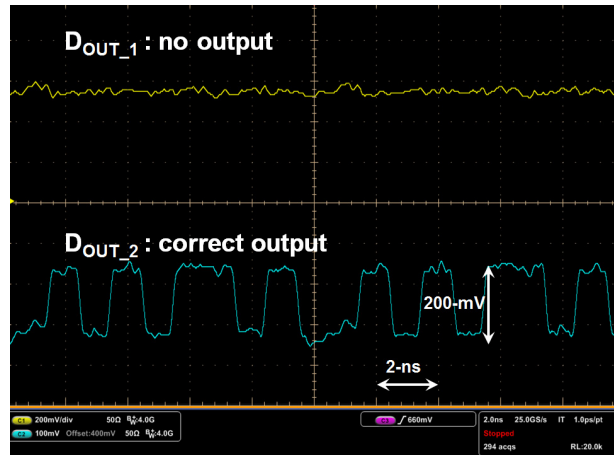
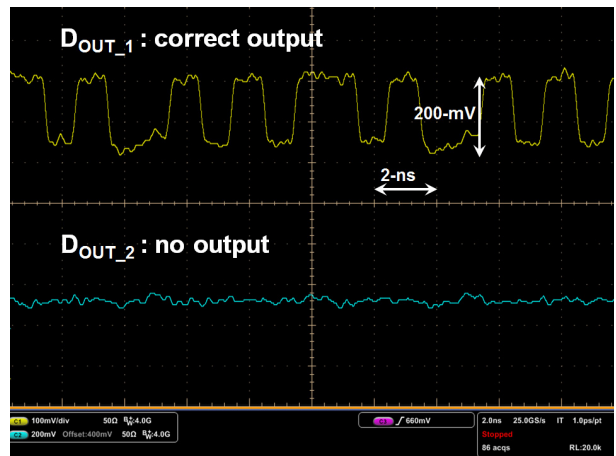


그림 11. Chip 사진  
 Fig. 11. Chip microphotograph.



(a)  $D_{IN,1}$ 만 전송 한 경우  
 (a) Only  $D_{IN,1}$  transmission.



(b)  $D_{IN,2}$ 만 전송 한 경우  
 (b) Only  $D_{IN,2}$  transmission.

그림 12. 단방향 inductively-coupled link의 측정 결과  
 Fig. 12. Measurement result of unidirectional inductively-coupled link.

energy 소모는 22.2-pJ/b이다. 면적, energy 소모 등을 포함한 성능 비교를 표. 2에 나타내었다.

먼저 inductively-coupled link가 제대로 동작하는지를 알아보기 위해  $D_{IN,1}$ 과  $D_{IN,2}$  중 하나의 데이터만을 송신하여 unidirectional link를 테스트 하였고 그 결과를 그림 12. 에 나타내었다. 측정 결과에서 볼 수 있듯이 inductively-coupled link가 제대로 동작하여 올바른 데이터의 복원이 이루어지는 것을 확인 할 수 있고 echo의 영향은 각 chip의 출력에 영향을 주지 않는 것을 볼 수가 있다. 하지만 comparator의 hysteresis window의 크기가 줄어들거나 inductive-echo의 크기가 커질 경우 comparator가 disable 된 상태임에도 불구하고 inductive-echo에 의해 입력 transistor가 충분히 큰 transconductance  $g_m$ 을 갖게 되어 출력이 변하는 현상

표 2. 성능 비교

Table 2. Performance comparison.

	This work	[2]	[6]	[7]
Data rate	2-Gbps/Link	1-Gbps/Link	2-Gbps/Link	2-Gbps/Link
Energy consumption	22.2-pJ/b	3.83-pJ/b	30-pJ/b	3.6-pJ/b
Area	0.084-mm <sup>2</sup>	-	0.033-mm <sup>2</sup>	-
BER	-	<10 <sup>-12</sup>	<10 <sup>-12</sup>	<10 <sup>-12</sup>
Supply Voltage	1.2-V	1.8-V	1.8-V	2.5-V
Process	0.13- $\mu$ m CMOS	0.18- $\mu$ m CMOS	0.18- $\mu$ m CMOS	0.25- $\mu$ m CMOS

이 발생 하였다. 결론적으로 inductive-echo의 영향을 차단하기 위한 comparator의 설계에 문제가 발생하여 simultaneous bidirectional link의 측정은 좋지 못한 결과를 나타내었다.

## V. 결 론

Inductively-coupled link에서 데이터 전송률을 높이기 위한 방법으로 simultaneous bidirectional link를 적용 하였다. Simulation 결과를 통해 실질적인 데이터 전송률이 높아진 것을 확인 하였으며 테스트를 위해 chip을 3차원으로 적층하는 대신 하나의 chip내에서 테스트 환경을 구축하였다. 설계된 comparator의 결합으로 측정시에 simultaneous bidirectional link의 동작은 문제가 있었으나 측정 결과를 통해서도 unidirectional inductively-coupled link에 의해 제대로 된 데이터의 송수신이 이루어지는 것을 알 수 있었다.

## 참 고 문 헌

[1] Muhannad S.Bakir and James D.Meindl, "Integrated interconnect technologies for 3D nanoelectronic systems," Artech House, pp. 389-478, 2009.  
[2] H.Ishikuro, N.Miura and T.Kuroda, "Wideband inductive-coupling interface for high-performance portable system," in Proc. IEEE Custom Integr. Circuits Conf., pp. 13-20, 2007.  
[3] N.Miura et al., "A 1Tb/s 3 W inductive-coupling transceiver for 3D-stacked inter-chip clock and data link," IEEE J.Solid-State Circuits, vol. 42, no. 1, pp. 111-122, Jan. 2007.  
[4] 이장우, 유창식, "인덕티브 커플링 송수신 회로를 위한 신호 전달 기법," 전자공학회 논문지, 제48권

SD편, 제7호, 17-22쪽, 2011년 7월

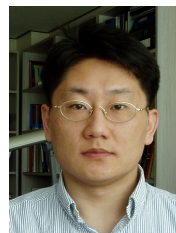
[5] Robert J.Drost, and Bruce A.Wooley, "An 8-Gb/s/pin simultaneously bidirectional transceiver in 0.35- $\mu$ m CMOS," IEEE J.Solid-State Circuits, vol. 39, no. 11, pp. 1894-1908 Nov. 2004.  
[6] Y.Sugimori et al., "A 2Gb/s 15pJ/b/chip inductive-coupling programmable bus for NAND flash memory stacking," ISSCC Dig. Tech. Papers, pp.244-246, Feb. 2009.  
[7] M.Saito et al., "A 2Gb/s 1.8pJ/b/chip inductive-coupling through-chip bus for 128-die NAND-flash memory stacking," ISSCC Dig. Tech. Papers, pp.440-441, Feb. 2010.

## 저 자 소 개



전 민 기(학생회원)  
2010년 한양대학교 전자통신  
컴퓨터공학부 학사 졸업.  
2012년 한양대학교 전자컴퓨터  
통신공학과 석사 졸업.  
2012년~현재 한양대학교 전자  
컴퓨터통신공학과  
박사 과정.

<주관심분야 : 음성 신호 회로 설계>



유 창 식(평생회원)  
1992년 서울대학교 전자공학과  
학사 졸업.  
1994년 서울대학교 전자공학과  
석사 졸업.  
1998년 서울대학교 전자공학과  
박사 졸업.

2002년~현재 한양대학교 융합전자공학부 교수.  
<주관심분야 : 음성 신호 회로 설계>