

웨이퍼 레벨 적층 공정에서 웨이퍼 휘어짐이 정렬 오차에 미치는 영향

신소원¹ · 박만석^{1,2} · 김사라은경² · 김성동^{3*}

¹서울테크노파크 MSP 기술지원센터, ²서울과학기술대학교 NID 융합기술대학원, ³서울과학기술대학교 기계시스템디자인공학과

Effects of Wafer Warpage on the Misalignment in Wafer Level Stacking Process

Sowon Shin¹, Mansoek Park^{1,2}, Sarah Eunkyung Kim² and Sungdong Kim^{3*}

¹Microsystem Packaging Center, Seoul Technopark, 232 Gongreung-ro Nowon, Seoul 139-743, Korea

²Graduate School of NID Fusion Technology, Seoul National University of Science and Technology,
232 Gongreung-ro Nowon, Seoul 139-743, Korea

³Dept. of Mechanical System Design Eng., Seoul National University of Science and Technology, 232 Gongreung-ro Nowon,
Seoul 139-743, Korea

(2013년 9월 5일 접수: 2013년 9월 20일 수정: 2013년 9월 25일 게재확정)

초 록: 본 연구에서는 웨이퍼 레벨 적층 과정에서 발생하는 웨이퍼 오정렬(misalignment) 현상과 웨이퍼 휘어짐(warpage)과의 관계에 대해서 조사하였다. 0.5 μm 두께의 구리 박막 증착을 통해 최대 45 μm 의 휨 크기(bow height)를 갖는 웨이퍼를 제작하였으며, 이 휘어진 웨이퍼와 일반 웨이퍼를 본딩하였을 때 6~15 μm 정도의 정렬 오차가 발생하였다. 이는 약 5 μm 의 웨이퍼 확장(expansion)과 약 10 μm 의 미끄러짐(slip)의 복합 거동으로 설명할 수 있으며, 웨이퍼 휘어짐의 경우 확장 오정렬보다 본딩 과정에서의 미끄러짐 오정렬에 주로 기여하는 것으로 보인다.

Abstract: In this study, the effects of wafer warpage on the misalignment during wafer stacking process were investigated. The wafer with 45 μm bow height warpage was purposely fabricated by depositing Cu thin film on a silicon wafer and the bonding misalignment after bonding was observed to range from 6 μm to 15 μm . This misalignment could be explained by a combination of 5 μm radial expansion and 10 μm linear slip. The wafer warpage seemed to be responsible for the slip-induced misalignment instead of radial expansion misalignment.

Keywords: wafer warpage, wafer level bonding, Cu bonding, misalignment

1. 서 론

최근 들어 반도체 선폭의 미세화를 통한 집적도 향상 전략이 물리적, 경제적 이유로 한계에 부딪히면서 그 대안의 하나로 3차원 적층 반도체에 대한 연구가 활발히 진행되고 있다. 3차원 적층 반도체는 반도체를 3차원으로 쌓아 집적도를 높이고 아울러 배선 길이를 줄여 성능 향상을 꾀하는 것으로 기존의 반도체 공정을 이용할 수 있어 경제적인 장점을 갖는다. 반도체를 3차원으로 적층하는 방식으로는 chip-to-chip, chip-to-wafer, wafer-to-wafer 방식이 있으나, 대량생산을 위한 생산성을 고려하면 wafer-to-wafer 방식이 가장 유리하다.¹⁾ 웨이퍼 단위로 적층하는데 있어서 웨이퍼간의 올바른 정렬(alignment)이 무엇보다 중요하나, 실제로는 본딩 과정에서 웨이퍼의 이

동(shift), 회전(rotation), 확장(expansion, run-out) 등 여러 가지 원인으로 인해 오정렬(misalignment)이 발생하게 된다.^{2,3,4)} 특히 적층 두께를 줄이기 위해 박형 웨이퍼(thin wafer)를 사용할 때 웨이퍼의 휘어짐(warpage) 현상이 발생하는데 이 또한 오정렬의 주요 원인으로 여겨지고 있다. 본 연구에서는 웨이퍼의 휘어짐 현상이 웨이퍼 적층 시 오정렬에 어떤 영향을 미치는지 살펴보고자 한다.

웨이퍼의 휘어짐 현상이 오정렬을 나타내는 원리를 Fig. 1에 나타내었다. 일반적으로 실리콘 웨이퍼는 금속막 증착 등의 패턴 형성 과정을 거치는 동안 증착물질과 실리콘 기판과의 열팽창 계수의 차이, 격자상수의 불일치 등으로 인해 응력이 작용하게 되며, 이로 인해 실리콘 웨이퍼가 국부적 또는 전체적으로 휘어지게 된다.⁵⁾ 특히 웨이퍼 적층 공정에서 웨이퍼 연삭과정을 거쳐 두께가 얇아

*Corresponding author
E-mail: sdkim@seoultech.ac.kr

© 2013, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

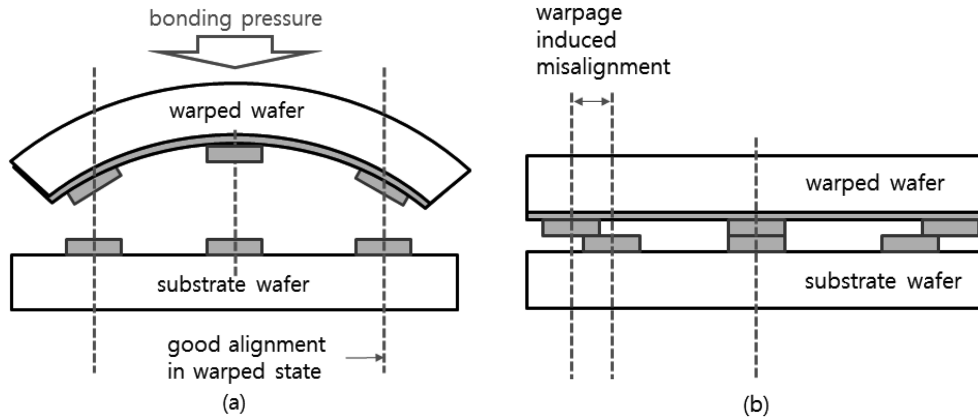


Fig. 1. Schematic diagram of misalignment induced by wafer warpage (a) alignment between warped wafer and substrate wafer before bonding process (b) misalignment after bonding process.

진 웨이퍼는 잔류응력의 영향으로 크게 휘어지게 되며, 적층 횟수가 증가할수록 휘어지는 현상이 증가하게 된다.⁶⁾

휘어진 웨이퍼를 평평한 기판 웨이퍼에 본딩하는 경우 Fig. 1(a)에 나타낸 것과 같이 휘어진 상태에서 기판 웨이퍼와 정렬한 후 본딩 압력을 가하게 된다. 이 때 본딩 압력에 의해 휘어진 웨이퍼가 펴지게 되면서 휘어진 웨이퍼 위의 패턴이 바깥쪽으로 밀려나는 확장 효과가 발생하게 되어 정렬상태가 흐트러지게 된다(Fig. 1(b)). 따라서 웨이퍼 휨에 의한 오정렬의 경우 웨이퍼 휨 중심에서 멀수록 정렬 오차가 커지게 된다. 단, 웨이퍼가 휘어진 상태에서 패턴 식각 공정이 이루어진 후 본딩을 진행한 경우에 웨이퍼 휨에 의한 오정렬이 발생하게 되며, 패턴 식각 공정 이후 후속 공정에 의해 웨이퍼가 휨 경우 본딩 전에 이미 오정렬이 발생하게 된다. 따라서 본 연구에서는 인위적으로 웨이퍼를 휘어지게 한 후 패턴 식각 공정을 진행함으로써 본딩 과정에서 웨이퍼의 휨에 의한 오정렬을 관찰하고자 하였다.

2. 실험 방법

웨이퍼의 휘어짐이 웨이퍼 레벨 본딩 과정에서 웨이퍼 정렬에 미치는 영향을 살펴보기 위해 휘어짐이 거의 없는 기판 웨이퍼(Fig. 1(a) substrate wafer)와 인위적으로 휘어지게 만든 웨이퍼(Fig. 1(a) warped wafer)의 두 종류의 본딩용 웨이퍼를 준비하였다. 먼저 8인치 실리콘 웨이퍼 위에 리프트오프(lift off) 공정을 통해 지름 50 μm , 높이 0.5 μm , 간격 200 μm 의 원형 구리 범프를 형성하여 기판 웨이퍼를 준비하였으며, 실리콘 웨이퍼 전면에서 Cu 0.5 μm 를 증착한 후 그 위에 기판 웨이퍼와 동일한 방법으로 구리 범프를 형성하여 휘어진 웨이퍼를 제작하였다. 두 웨이퍼를 묶은 황산 용액($\text{H}_2\text{SO}_4:\text{H}_2\text{O} = 1:100$) 전처리를 거쳐 웨이퍼 본딩(SUSS Microtec SB8e)에 장입한 후 415°C에서 890 kPa의 압력으로 한시간 본딩한 후 질소분위기에서 450°C, 2시간동안 열처리를 진행하였다. 이후 절단(dicing) 과정에서 본딩면이 떨어진 칩을 이용하여 광

학현미경으로 정렬 오차를 측정하였다. 각 웨이퍼의 범프 제작 및 본딩 전후에 걸쳐 MOS(multi-beam optical sensor, k-space사) 장비를 이용하여 웨이퍼의 휘어짐을 관찰하였다.

3. 결과 및 고찰

기판 웨이퍼와 구리 박막 증착 웨이퍼의 휘어진 정도를 MOS를 이용하여 측정된 결과를 Fig. 2에 나타내었다. 기판 웨이퍼의 경우(Fig. 2(a)) 테두리 부분에서 국부적으로 휘어있으나 전체적으로 평평한 형상을 하고 있다. 구리 박막 증착을 한 웨이퍼의 경우(Fig. 2(b)) 의도한대로 웨이퍼 전체에 걸쳐 휘어진 형상을 나타내고 있으며, 그 휨 크기(bow height)는 중앙부에서 최대 45 μm 의 값을 나타내고 있다. 단 Fig. 2의 측정은 웨이퍼 뒷면을 측정할 결과로 패턴이 형성된 웨이퍼 전면의 경우 이와 반대로 휘어진 형상을 갖고 있어 Fig. 1에서 도식적으로 표시한 것과 동일한 본딩 상황을 갖고 있음을 알 수 있다.

본딩 후 절단(dicing) 공정을 거치는 과정에서 떨어져 나간 칩을 이용하여 오정렬 상태를 현미경으로 관찰하였으며, 그 예를 Fig. 3(a)에 나타내었다. 기판 웨이퍼의 범프 주변으로 휘어진 웨이퍼의 범프가 늘었던 자국이 관찰되고 있으며, 이를 이용하여 정렬 오차를 측정하였다. 웨이퍼 전체에 대해 측정된 정렬 오차를 Fig. 3(b)에 벡터의 형태로 정리하였다. 웨이퍼 좌측 상단의 경우 6 μm 내외의 오정렬을 보이나 우측 하단의 경우 15 μm 의 비교적 큰 오정렬 상태를 나타내고 있어, 위치에 따라 다른 크기와 방향의 정렬 오차를 나타내고 있음을 알 수 있다. 그러나 평균적으로는 10 μm 내외의 크기로 좌측상단에서 우측하단을 향하는 정렬 오차를 보이고 있다. Fig. 3(b)에서 관찰된 오정렬 거동을 설명하기 위해서는 Fig. 3(c)에 나타낸 것과 같이 웨이퍼 중심으로부터 반지름 방향으로 중심으로부터의 거리에 비례하여 최대 5 μm 의 확장(expansion) 오차가 발생하고, 이후 우측하단 방향으로 약 10 μm 의 웨이퍼 미끄러짐(slip)이 발생하여야 한다.

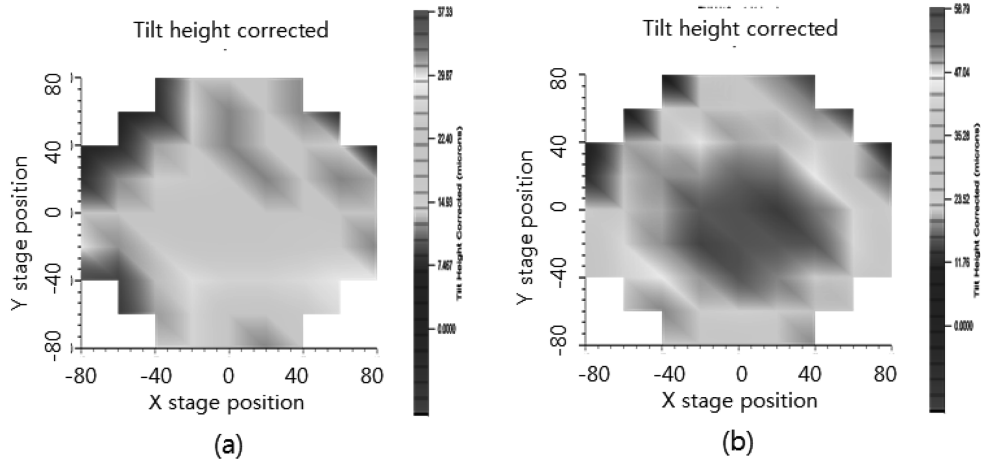


Fig. 2. Warpage maps measured by MOS before bonding process (a) substrate wafer (b) warped wafer with Cu thin film.

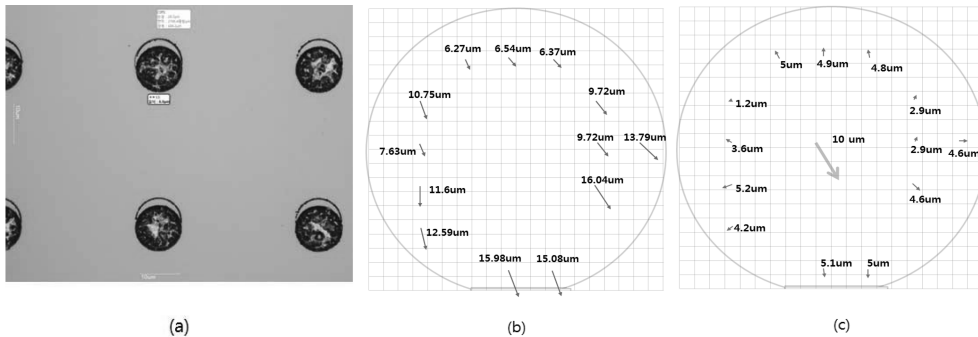


Fig. 3. (a) optical image of misalignment on substrate wafer (b) misalignment direction and magnitude at various points (c) expansion and slip components proposed to explain the measured misalignment.

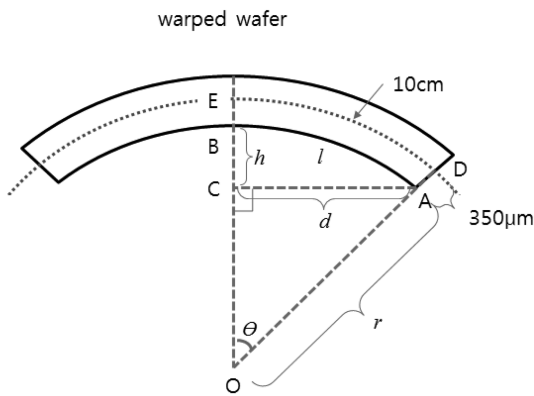


Fig. 4. Schematic of warped wafer

MOS 측정에서 관찰한 45 μm 의 휨 크기로 인해 최대 5 μm 의 확장 오정렬이 발생할 수 있는가를 알아보기 위해 휘어진 웨이퍼의 단면을 Fig. 4에 도식적으로 표시하였다. 휘어진 웨이퍼에서 패턴 형성 면인 호AB의 곡률반지름을 $r \mu\text{m}$ 라 할 때 웨이퍼 두께의 중심선인 호DE의 길이 10 cm와의 관계는 다음과 같이 주어진다.

$$10^5 = (r + 350)\theta \tag{1}$$

단, 웨이퍼의 두께는 700 μm 이며, 호AB의 중심각은 θ 이다.

웨이퍼의 휨 크기 h 는 곡률반지름 r 과 중심각 θ 에 대해 다음과 같이 표현할 수 있다.

$$h = r(1 - \cos\theta) \tag{2}$$

앞서 웨이퍼의 MOS 측정 결과에 따르면 최대 45 μm 의 휨 크기가 관찰되었으며, 이를 식 ②에 대입하고 ①과 ②를 풀면 θ, r 의 값을 얻을 수 있다. Fig. 1에서 도식적으로 나타낸 것과 같이 휘어진 상태에서 정렬된 웨이퍼가 본딩 압력에 의해 평평하게 펴졌을 때 발생하는 오정렬의 최대 크기 Δd 는 호AB의 투영선인 선분AC와 웨이퍼 반경 10 cm와의 차이로 나타낼 수 있다.

$$\Delta d = 10^5 - d = 10^5 - r \sin\theta \tag{3}$$

앞서구한 θ, r 을 식 ③에 대입하면 $\Delta d = 0.328 \mu\text{m}$ 의 값을 얻을 수 있다. 따라서 45 μm 의 최대 휘어짐을 나타내는 200 mm 웨이퍼의 경우 웨이퍼 휘어짐에 의해 최대 0.3 μm 의 정렬 오차가 발생할 수 있다. 이 값은 Fig. 3(c)에서 제안한 최대 5 μm 의 확장 오차에 비해 무시할 수 있

을 정도로 작은 값으로 서론에서 제안한 웨이퍼 휘어짐 기구만으로는 Fig. 3(b)의 오정렬을 설명할 수 없음을 의미한다.

반지름 방향으로의 오정렬을 발생시킬 수 있는 다른 원인으로서는 본딩 온도에 따른 열팽창을 고려할 수 있다. 상온에서 구리의 열팽창 계수는 $16.5 \times 10^{-6}/^{\circ}\text{C}$, 실리콘의 열팽창 계수는 $4.2 \times 10^{-6}/^{\circ}\text{C}$ 로 본딩 온도 415°C 에 대해 상온으로부터 각각 0.64%, 0.16%의 길이 증가가 발생하게 된다. 즉 웨이퍼의 반지름 100 mm에 대해서 각각 640 μm , 160 μm 의 길이 증가가 발생하게 된다. 일반적으로는 기관과 박막의 열팽창 계수의 차이로 인해 박막내 응력이 발생하게 되며 이 응력의 영향으로 기관이 휘는 거동을 나타내게 된다. 그러나 웨이퍼 레벨 본딩 공정에서는 온도를 올린 상태에서 본딩 압력을 인가하여 웨이퍼를 평평하게 만들면서 본딩이 이루어지기 때문에 본딩 순간에는 주로 온도상승에 따른 열팽창이 웨이퍼 오정렬에 영향을 미치게 된다. 실제 구리증착 웨이퍼에 대해서 최대 5 μm 의 반지름 방향 정렬 오차가 발생할 수 있는지에 대해서는 추가적인 해석이 진행 중이다.

Fig. 3(c)의 오정렬 해석에서 주목할 점은 약 10 μm 의 웨이퍼 미끄러짐이 발생한 점이다. 웨이퍼 본딩에서는 본딩 과정에서의 웨이퍼 회전 및 미끄러짐을 방지하기 위해 클램프(clamp)로 웨이퍼를 잡아주기 때문에⁴⁾ 일반적으로는 10 μm 정도의 큰 웨이퍼 미끄러짐이 발생하지 않으나 본 실험에서는 휘어진 웨이퍼가 본딩 압력에 의해 평평하게 펴지는 과정에서 미끄러짐이 발생한 것으로 판단된다. 휘어진 웨이퍼의 경우 본딩판(bonding head)과 한 점에서 닿아있는 점접촉을 하고 있기 때문에 본딩 압력이 작용할 때 점접촉 부위가 미끄러지기 쉽다. 이는 웨이퍼 휘어짐의 경우 확장에 의한 오정렬 보다는 웨이퍼가 펴지는 과정에서 발생하는 웨이퍼 미끄러짐이 오정렬을 일으키는 주요한 원인이라는 것을 알 수 있다.

4. 결 론

웨이퍼 레벨 적층 과정에서 웨이퍼 휘어짐이 웨이퍼 정

렬에 미치는 영향을 조사하였다. 구리 박막 증착을 통해 인위적으로 휘어지게 한 웨이퍼를 일반 웨이퍼에 열압착 본딩하여 오정렬을 측정한 결과 최대 5 μm 의 확장(expansion)과 약 10 μm 의 미끄러짐(slip)이 발생하였다. 확장 오정렬은 본딩 과정의 열팽창에 주로 기인한 것으로 보이며, 웨이퍼 휘어짐은 확장 오정렬보다 미끄러짐에 영향을 주는 것으로 보인다.

감사의 글

본 연구는 교육부의 과학기술국제화 사업의 지원(과제 번호: 2011-0030492)으로 수행되었습니다.

참고문헌

1. Y. Cho, S. E. Kim and S. Kim, "Wafer Level Bonding Technology for 3D Stacked IC", J. Microelectron. Packag. Soc., 20(1), 7 (2013).
2. Y. S. Tang, Y. J. Chang, and K. N. Chen, "Wafer-level Cu-Cu bonding technology", Microelectronics Reliability, 52(2), 312, (2012).
3. S. H. Lee, K. Chen and J. J. Lu, "Wafer-to-Wafer Alignment for Three-Dimensional Integration: A Review", J. Microelectromech. Syst. 20(4), 885, (2011).
4. S. Kang, J. Lee, E. Kim, N. Lim, S. Kim, S. Kim and S. E. Kim, "Fabrication and Challenges of Cu-to-Cu Wafer Bonding", J. Microelectron. Packag. Soc., 19(2), 29 (2012).
5. A. H. Abdelnaby, G. P. Potirniche, F. Barlow, A. Elshabini, S. Groothuis, and R. Parker, "Numerical simulation of silicon wafer warpage due to thin film residual stresses," IEEE Workshop on Microelectronics and Electron Devices (WMED), 9, (2013).
6. Y. Kim, S. Kang, S. Kim and S. E. Kim, "Wafer warpage analysis of stacked wafers for 3D integration", Microelectronics Engineering, 89, 46, (2012).