

## 폴리머 기판 위에 전사된 실리콘 박막의 기계적 유연성 연구

이미경<sup>1</sup> · 이은경<sup>1</sup> · 양민<sup>2</sup> · 천민우<sup>2</sup> · 이혁<sup>3</sup> · 임재성<sup>3</sup> · 좌성훈<sup>1,†</sup>

<sup>1</sup>서울과학기술대학교 NID 융합기술대학원, <sup>2</sup>국민대학교 기계설계대학원, <sup>3</sup>(주)하나마이크론사

### Flexibility Study of Silicon Thin Film Transferred on Flexible Substrate

Mi-Kyoung Lee<sup>1</sup>, Eun-Kyung Lee<sup>1</sup>, Min Yang<sup>2</sup>, Min-Woo Chon<sup>2</sup>, Hyouk Lee<sup>3</sup>,  
Jae Sung Lim<sup>3</sup> and Sung-Hoon Choa<sup>1,†</sup>

<sup>1</sup>Graduate School of NID Fusion Technology, Seoul National University of Science and Technology,  
232 Gongneung-ro, Nowon-gu, Seoul 139-743, Korea

<sup>2</sup>Graduate School of Mechanical and Design, Kook Min University, 77 Jeongneung-ro, Seongbuk-gu, 136-702, Korea

<sup>3</sup>Hanamicon, 95-1 Wonnam-ri, Eumbong-myeon, Asan-si, Chungnam 336-864, Korea

(2013년 6월 4일 접수: 2013년 7월 3일 수정: 2013년 7월 7일 게재확정)

**초 록:** 현재까지 유연한 전자소자 개발은 주로 인쇄전자 기술을 이용한 유기재료 기반 위주로 연구 및 개발이 진행되어 오고 있다. 그러나 유기 기반의 소자는 성능 및 신뢰성에 많은 제약이 있다. 따라서 본 논문에서는 무기재료 기반의 실리콘 고성능 유연 전자소자를 개발하기 위한 방법으로 나노 및 마이크로 두께의 단결정 실리콘 박막을 transfer printing 기술을 이용하여 유연기판에 전사하여 제작하였다. 제작된 유연소자는 굽힘 시험과 인장 시험을 통하여 유연 신뢰성을 평가하였다. PI 기판에 부착된 두께 200 nm의 박막은 굽힘 시험 결과, 곡률 반경 4.8 mm 까지 굽힐 수 있었으며, 따라서 굽힘 유연성이 매우 우수함을 알 수 있었다. 인장 시험 결과 인장 변형률 1.8%에서 박막이 파괴되었으며, 기존 실리콘 박막에 비하여 연신율이 최대 1% 증가됨을 알 수 있었다. FPCB 기판에 부착된 마이크로 두께의 실리콘 박막의 경우 칩이 얇아질수록 굽힘 유연성이 향상됨을 알 수 있었으며, 20 μm 두께의 박막의 경우 곡률 반경 2.5 mm 까지 굽힐 수 있음을 알 수 있었다. 이러한 유연성의 증가는 실리콘 박막과 유연 기판 사이의 접착제의 완충작용 때문이다. 따라서 유연 전자소자의 유연성을 증가시키기 위해서는 박막 제작 시 공정 중의 결함을 최소화하고, 적절한 접착제를 사용한다면 유연성을 크게 증가시킬 수 있음을 알 수 있었다.

**Abstract:** Development of flexible electronic devices has primarily focused on printing technology using organic materials. However, organic-based flexible electronics have several disadvantages, including low electrical performance and long-term reliability. Therefore, we fabricated nano- and micro-thick silicon film attached to the polymer substrate using transfer printing technology to investigate the feasibility of silicon-based flexible electronic devices with high performance and high flexibility. Flexibility of the fabricated samples was investigated using bending and stretching tests. The failure bending radius of the 200 nm-thick silicon film attached on a PI substrate was 4.5 mm, and the failure stretching strain was 1.8%. The failure bending radius of the micro-thick silicon film attached on a FPCB was 2 mm, and the failure strain was 3.5%, which showed superior flexibility compared with conventional silicon material. Improved flexibility was attributed to a buffering effect of the adhesive between the silicon film and the substrate. The superior flexibility of the thin silicon film demonstrates the possibility for flexible electronic devices with high performance.

**Keywords:** Flexible electronics, Transfer printing, Bendability, Stretchability

### 1. 서 론

최근 반도체 및 디스플레이 산업의 발전과 함께 차세대 산업으로 유연 전자(flexible electronics) 산업의 시장이 지속적으로 확장되고 있다. 특히 플렉서블 반도체 및 플

렉서블 디스플레이에 대한 관심이 크게 증가하고 있다. 이러한 플렉서블 전자소자는 궁극적으로 자유자재로 굽히거나 휘 수 있는 rollable, 혹은 foldable 전자소자까지 발전을 예고하고 있으며 wearable 전자 소자 및 디바이스가 출현할 날이 멀지 않은 것으로 예측하고 있다. 현재 유

<sup>†</sup>Corresponding author  
E-mail: shchoa@seoultech.ac.kr

© 2013, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

연 전자소자를 제조하는데 주로 사용하는 기술은 유기물 반도체, 전도성 잉크 등의 유기 재료(organic material)를 이용하여 프린팅하는 기술로써, 잉크젯 프린팅, 그라비아 (gravure) 프린팅 및 롤투롤(roll to roll) 프린팅 기술 등이 있다.<sup>1,2)</sup> 이 기술은 유연성과 저가격 등의 이점과 함께 롤 연속생산을 이용한 생산성 향상의 큰 장점이 있다. 그러나 유기 반도체의 낮은 전하 이동도(mobility)와 취약한 내구성은 고성능 유연전자 분야로의 적용을 어렵게 하고 있다. 따라서 실리콘을 기반으로 하는 기존의 반도체 기술에 비하여 아직까지 전기적 특성 및 신뢰성 측면에서 매우 열악한 실정이며, 상용화에 이르기까지는 여러 난제를 극복해야 하는 문제가 있다. 이러한 문제에 대한 하나의 대안으로써 기존의 나노 및 마이크로 스케일의 실리콘 소자를 유연 폴리머 기판에 부착하여 유연성을 갖게 함과 동시에 실리콘 소자가 갖는 기존의 여러 장점은 그대로 유지하고자 하는 기술이 활발히 연구되고 있으며, 이러한 기술 중의 하나가 transfer printing 기술이다. Transfer printing 기술이란 실리콘이나 유리 기판 위에 제작된 소자를 에칭(etching)과 같은 다양한 방법을 통하여 기판으로부터 분리한 후 플라스틱이나 폴리머와 같은 유연기판에 옮기는 기술을 의미한다. Transfer printing 기술은 Rogers 그룹<sup>3)</sup>에서 처음 개발이 되었고, TFT 소자<sup>4)</sup>, LED 소자<sup>5)</sup> 및 이미지 센서<sup>6)</sup> 등 다양한 소자들이 이 기술을 이용하여 제작된 바 있다.

Transfer printing 기술을 적용함에 있어서 해결해야 될 문제는 실리콘이나 SiO<sub>2</sub>와 같은 무기 재료들은 매우 brittle하여 약 1%의 변형률(strain)에도 쉽게 파괴된다는 것이다. 이런 문제점을 해결하기 위한 대표적인 방법이 소자 구조 자체 혹은 소자와 소자를 연결하는 interconnection에 변형을 완충해 줄 수 있는 다양한 패턴을 도입하는 것이다.<sup>6,7,8)</sup> 즉 일반적인 전자 재료들은 1% 이상의 인장 및 압축 스트레인을 견딜 수 없기 때문에 5% 이상의 높은 스트레인을 견디기 위해서는 외부 응력을 흡수할 수 있는 특정 구조를 소자에 적용하거나, 소자들 사이에 완충 bridge를 도입하는 것이 필요하다. Kim 등은 wavy 패턴을 적용하여 유연성 및 신축성(stretchability)을 개선하고, 약 5%의 인장 변형에도 신뢰성이 확보됨을 보였다.<sup>6)</sup> Suo 등은 소자와 소자를 연결하는 금속 interconnect를 wavy 형태로 만들어 신축성이 있는 유연 전자소자를 개발하였다.<sup>7)</sup> 또한 Gonzalez 등은 말굽형태의 interconnect를 메쉬 형태로 제작하여, 신축성이 있는 ultra thin chip package(UTCP)를 소개하였다.<sup>8)</sup>

유연전자소자는 제조 공정, 취급 및 사용 과정에서 인장 응력뿐만이 아니라, 굽힘(bending) 및 twisting 등 다양한 응력을 받게 되며 이에 대한 연구가 필수적이다. 특히 유연소자는 인장 변형 보다는 굽힘 변형에 대한 신뢰성이 더 중요하다. 단결정 실리콘 박막은 brittle한 재료로써 연신율(elongation)은 약 0.8% 이다.<sup>9,10)</sup> 그러나 단결정 실리콘을 마이크로/나노 두께의 박막으로 얇게 thinning 할

경우 유연성이 증가된다고 보고되고 있다.<sup>11,12)</sup> 그럼에도 불구하고, 실제적으로 유연기판에 적용하여 유연 메모리 혹은 유연전자 소자를 개발한 연구는 많지 않은 실정이다. 본 연구에서는 고성능 유연 메모리 소자의 개발을 위한 feasibility 시험으로써, 나노 및 마이크로 두께의 단결정 실리콘 박막을 transfer printing 기술 및 thinning 기술을 이용하여 유연 폴리머 기판에 부착시킨 후 굽힘 및 인장 시험을 통하여 실리콘 박막의 유연 신뢰성을 연구하였으며, 향후 유연 전자소자 개발의 기초 자료로 활용코자 하였다.

## 2. 실험 방법

본 연구에서는 나노 두께의 실리콘 박막과 마이크로 두께의 실리콘 박막을 각기 다른 공정으로 제작한 후 유연 기판에 부착하여 유연 신뢰성 시험을 수행하였다.

### 2.1. 나노 두께의 단결정 실리콘 박막의 제작 및 전사 공정

나노 두께의 단결정 실리콘 박막은 SOI(silicon on insulator) 웨이퍼를 제작하였으며, 그 후 유연 기판으로 전사 공정을 진행하였다. 사용된 웨이퍼는 4 인치 SOI 웨이퍼로써, 상부 실리콘(top silicon)의 두께는 200 nm이며, 하부 SiO<sub>2</sub> 층의 두께는 400 nm이다. 실리콘 박막을 쉽게 에칭하고 전사(transfer)하기 위하여 각 소자의 에칭 홀을 dot 형태 및 ribbon 형태로 각각 만들어 박막의 제작 후 릴리즈(release)를 용이하게 하였다. 즉 실리콘 박막층에 홀 지름 10 μm, 홀 간의 피치 50 μm의 dot 타입 패턴과 폭 5 μm, 길이 100 μm의 ribbon 타입 패턴을 각각 설계하여 DRIE(deep reactive ion etching) 공정을 이용하여 에칭하였으며, 그 공정 절차가 Fig. 1에 나타나 있다. 그 후 실리콘 박막의 크기를 각 10×10mm<sup>2</sup> 로 하여 다이싱(dicing) 한 후 전사 공정을 위하여 웨이퍼를 49% HF 용액에 담가 희생층인 SiO<sub>2</sub>를 wet 에칭 하였다. 에칭 속도는 초당 240 Å이

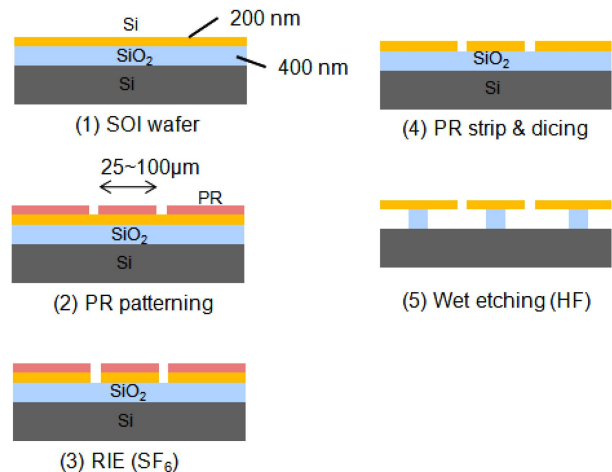
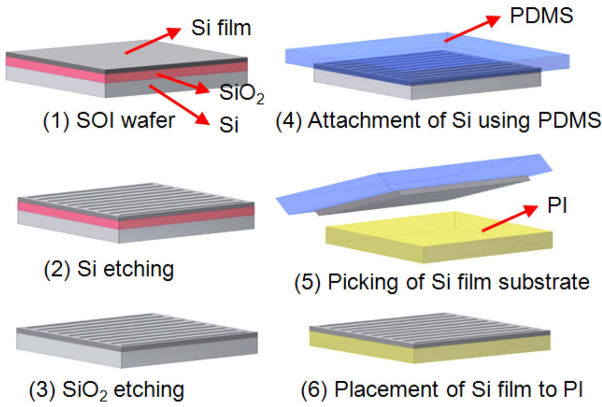
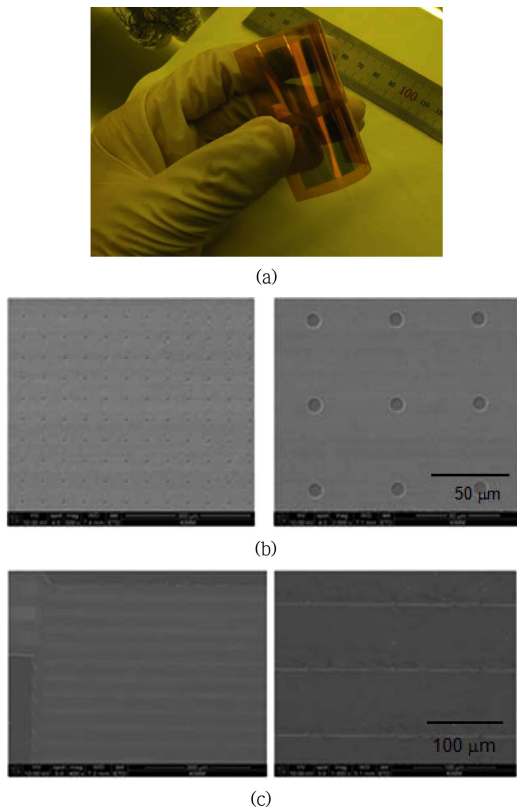


Fig. 1. Schematic illustration of fabrication process to make 200 nm-thick silicon film using SOI wafer.



**Fig. 2.** Schematic illustration of transfer printing method including picking and placement for fabricating Si thin film on PI substrate.

였다. 실리콘 박막의 전사는 두 단계로 나뉘어 수행되었다. Fig. 2에서 보는 것과 같이 PDMS(poly-dimethylsiloxane) stamp를 이용하여 실리콘 박막을 떼어내는 picking 과정과, 이것을 다시 유연 모재인 PI(polyimide) 필름 위로 전사하는 placing 과정이다. 이때 placing 할 때에는 PI 기판 위에 UV adhesive인 NOA 61을 얇게 도포한 후 경화시켰다. PI 기판의 크기는 20×20 mm<sup>2</sup>이였으며, 두께는 50 μm 이었다. Fig. 3은 PI 기판에 전사된 실리콘 박막 및 dot 타



**Fig. 3.** (a) Photograph of the fabricated silicon thin film transferred on PI substrate using transfer printing (b) SEM image of dot pattern silicon thin film (c) SEM image of ribbon pattern silicon thin film.

입과 ribbon 타입의 단결정 실리콘 박막의 SEM(Scanning Electron Microscopy) 이미지를 보여주고 있다.

### 2.2. FPCB 기판에 부착된 마이크로 두께의 실리콘 박막의 제작

실리콘 웨이퍼를 에칭하여 박리 시킨 후 폴리머 기판으로 전사하는 공정은 대량 생산에 적용하기는 아직 많은 문제를 갖고 있다. 즉 대면적의 소자를 에칭하여 박리하는 것이 어려우며, 또한 에칭이나 박리 과정 중에서 실리콘 메모리 소자에 손상을 줄 수 있다. 따라서 본 연구에서는 유연 실리콘 메모리 소자를 만들기 위한 실질적인 방법으로 실리콘 웨이퍼를 CMP(chemical mechanical polishing) 공정을 이용하여 마이크로 두께로 얇게 thinning 한 후, FPCB 기판에 부착시켰으며, 제작된 샘플에 대해서 유연 신뢰성 시험을 수행하였다. 웨이퍼의 thinning은 두 단계의 그라인딩(grinding) 공정을 거쳐 요구되는 두께까지 가공한 후, dry polishing 공정을 이용하여 잔류 스트레스를 제거하였다. 박막의 두께는 현재 업체에서 웨이퍼의 손상을 최소화하면서 thinning 공정이 가능한 두께인 20 μm 까지 하였으며, 20, 30, 50, 70 μm 두께의 실리콘 박막을 각각 제조하였다. 실리콘 웨이퍼를 20 μm 까지 얇게 가공하기 위하여 DBG(dicing before grinding) 및 TB/DB(temporary bonding/de-bonding) 공정을 이용하였다. DBG 공정은 웨이퍼를 thinning 하기 전에 일정한 깊이로 일부 다이싱을 진행하여 이를 thinning 함과 동시에 칩을 singulation 하는 공정이며, TB/DB 공정은 실리콘 웨이퍼가 얇게 가공될 경우, 휨 등의 문제로 인해 웨이퍼 자체 크랙 및 공정 중에 크랙이 발생할 수 있는데, 이를 방지하기 위하여 웨이퍼 캐리어(carrier)를 사용하여 공정을 진행하고, 공정이 완료된 후에는 제거함으로써 초박형 실리콘 웨이퍼를 구현하는 방법이다. 제작된 실리콘 박막의 크기는 5×5 mm<sup>2</sup>이다. 제작된 칩에 대한 표면조도(surface roughness)를 AFM(atomic force microscopy)를 이용하여 측정하였다. 20, 30, 50, 70 μm의 두께로 제작된 칩들에 대한 평균 표면조도(Ra)를 측정한 결과 대략 20~30 nm의 Ra 값을 보여주고 있었으며, 각 두께별 샘플에 대한 표면조도의 차이는 미미하였다. Thinning된 실리콘 박막을 접착제를 사용하여 FPCB (flexible-PCB) 기판에 부착하였다. 또한 접착제가 박막의 유연성에 미치는 영향을 파악하기 위하여 순간접착제의 일종인 Loctite 접착제(Henkel, 401)와 die attach film(DAF)를 각각 사용하였다. FPCB는 단면 PCB로서 구리층의 두께는 12 μm, polyimide 층의 두께는 25 μm 이다. 또한 FPCB 기판의 두께는 120 μm 이며, 크기는 12.3×12.3 mm<sup>2</sup> 이었다. Fig. 4는 FPCB에 부착된 실리콘 웨이퍼의 사진이다.

### 2.3 실리콘 박막의 유연 신뢰성 시험

실리콘 박막의 유연 신뢰성 시험은 Fig. 5와 같이 자체 제작한 시험기를 이용하여 굽힘 및 인장 시험을 수행하

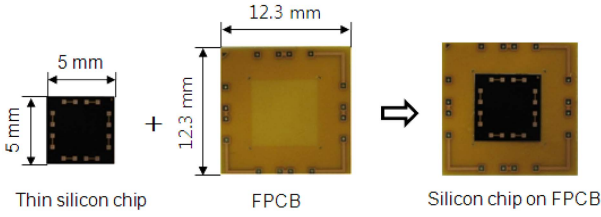


Fig. 4. Photograph of the fabricated flexible silicon film on FPCB.

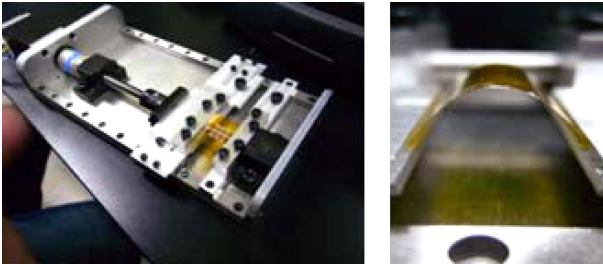


Fig. 5. Photograph of the lab-made bending and stretching test machine used in this study.

었다. 굽힘 및 인장 시험 중에 실리콘 박막의 파괴 유무를 알기 위하여 멀티미터로 실리콘 박막의 저항 변화를 관찰하였으며, 동시에 광학현미경으로 박막 표면의 크랙 유무를 관찰하였다. 저항이 크게 변하거나, 크랙이 발생할 경우 파괴 시점이라고 간주하고 시험을 중단하였다. 시편의 전체 길이  $L$  을 변화시킴으로써 곡률반경을 변화시켰다.  $dL$  만큼 변화시켰을 때 발생하는 곡률 반경( $R$ )은 아래의 식으로 계산되었으며<sup>11)</sup>

$$BendingRadius(R) = \frac{L}{2\pi \sqrt{\frac{dL}{L} - \frac{\pi^2 h_s^2}{12L^2}}} \quad (1)$$

여기서  $L$ ,  $dL/L$  그리고  $h_s$  는 기관의 초기 길이, 기관의 전체 길이에 대한 기관의 이송거리, 그리고 기관의 두께를 각각 나타낸다. 또한 굽힘 시에 발생한 변형률은 다음 식에 의하여 계산할 수 있다.<sup>12)</sup>

$$strain(\epsilon) = \left(\frac{h_f + h_s}{2R}\right) \frac{(1 + 2\eta + \chi\eta^2)}{(1 + \eta)(1 + \chi\eta)} \quad (2)$$

여기서,  $\eta = \frac{h_f}{h_s}$ ,  $\chi = \frac{E_f}{E_s}$ ,  $h_f$ 는 박막의 두께,  $E_f$ 는 박막의 탄성계수,  $E_s$ 는 기관의 탄성계수이다.

만일 박막이 기관에 비하여 매우 얇다면 ( $h_f \ll h_s$ ), 식 (2)는 다음과 같이 표시될 수 있다.

$$strain(\epsilon) = \left(\frac{h_f + h_s}{2R}\right) \frac{(1 + 2\eta + \chi\eta^2)}{(1 + \eta)(1 + \chi\eta)} \approx \frac{h_f + h_s}{2R} \approx \frac{h_s}{2R} \quad (3)$$

한편 FPCB에 thinning된 실리콘 칩을 부착한 샘플에 대해서 굽힘 실험은 bending 시험기가 아닌 봉(bar)을 사용하여 진행하였다. 그 이유는 실리콘 칩의 강성으로 인하여 FPCB가 굽힘 시험 시에 원하는 곡률 반경으로 굽혀

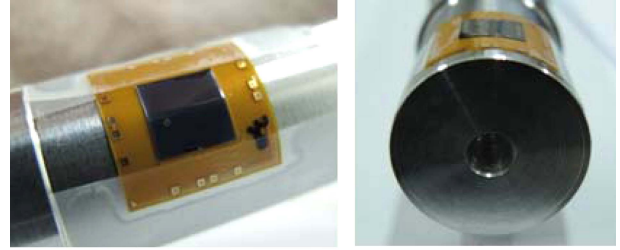


Fig. 6. Photograph of the bent silicon thin film attached on FPCB using the circular bar bending tester.

지지 않았기 때문이다. 따라서 Fig. 6과 같이 곡률 반경이 각기 다른 여러 개의 봉을 사용하여 굽힘 실험을 수행하였다. 또한 접착제 및 FPCB가 실리콘 박막의 유연 신뢰성에 미치는 영향을 파악하기 위하여, thinning된 실리콘 박막만을 사용하여, 굽힘 시험을 수행하였으며, 그 결과를 비교하였다.

### 3. 결과 및 고찰

#### 3.1. PI 기판에 전사된 나노 실리콘 박막의 유연 신뢰성

PI 기판에 전사된 나노 두께의 실리콘 박막의 굽힘 시험을 수행하였다. 굽힘 시험 결과 dot 타입 실리콘 박막의 경우 곡률 반경 4.8 mm까지는 아무런 변화가 없었다. 그 후 곡률 반경 4.5 mm에서 크랙이 발생하였으며, 이 때 실험을 중단하였다. 곡률 반경 4.5 mm 일 때 실리콘 박막에 걸리는 변형률의 값은 2.1%로 계산되었다. 따라서 PI 기판에 부착된 실리콘 박막의 굽힘 유연성 (bendability)이 매우 우수함을 알 수 있었다. 통상적으로 유연 소자의 굽힘 유연성을 평가하는 기준, 혹은 가이드라인은 곡률 반경 10 mm로 알려져 있다. Fig. 7(a)은 굽힘 시험 후에 실리콘 박막의 크랙 형상을 광학 현미경으로 촬영한 이미지이다. 크랙은 에칭 홀 부위에서 발생하기 시작하였다. 실리콘과 같은 취성 재료는 미세 균열이나 응력이 집중되는 부분 등 재료 내의 가장 약한 부분에서 파괴가 되며, 그 부분의 강도가 전체의 강도를 결정하게 된다.<sup>13)</sup> Ribbon 타입 샘플의 경우 Fig. 7(b)와 같이 곡률 반경 7.4 mm (변형률은 1.3%)에서 크랙이 발생되기 시작하였다. 크랙은 에칭을 위한 bridge 부근에서 발생하였다. 즉 bridge 부분이 굽혀지면서 응력이 집중되기 때문에 그

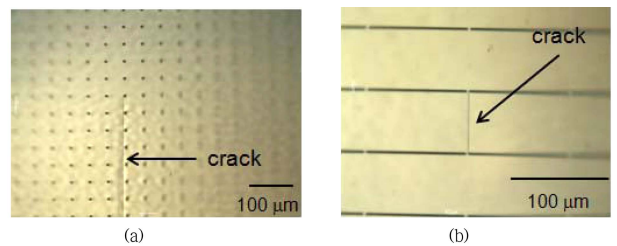


Fig. 7. Occurrence of cracks on the surface silicon thin film during bending test (a) Dot pattern silicon film (b) Ribbon pattern silicon film

부근에서 크랙 발생하고, 전파되면서 파단이 시작된다. 그 후 곡률 반경 6.2 mm에서 많은 크랙들이 전 면적에서 발생하기 시작하였다. Dot 타입의 시편과 비교하여 볼 때 ribbon 타입의 시편이 굽힘에 더 취약함을 알 수 있었다. 이는 ribbon 타입의 경우 매우 얇은 bridge 부근에서 크랙이 쉽게 발생되고 전파되기 때문이라고 생각한다. 따라서 유연 소자의 경우 응력이 집중되는 부분에 대한 최적 설계가 필요하며, 더 나아가서는 공정 중에 발생하는 결함, 스크래치 및 void 등을 최대한 줄여야 한다.

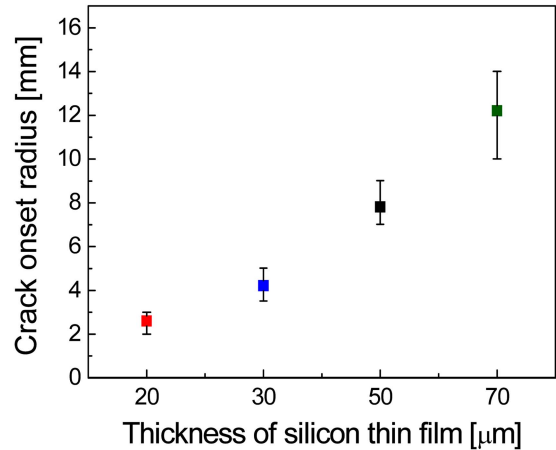
다음은 인장 실험 결과이다. 시편을 인장 시험기에 장착한 후 서서히 인장율을 증가 시켰다. Dot 타입 샘플의 경우 인장 변형률이 1.8%가 되는 지점에서 박막이 파괴되기 시작하였다. 변형률이 2.1% 되었을 때는 전 면적에 걸쳐 박막이 파괴되었다. Ribbon 타입 샘플의 경우 0.5%의 인장 변형에서 파괴가 됨을 알 수 있었다. Table 1은 전체 시험 결과를 정리한 표이다. 단결정 실리콘 박막에 대한 물성은 많은 연구자들에 의하여 연구되었으며, 연신율은 대략 0.8%로 보고되고 있다.<sup>9, 10)</sup> 따라서 실리콘 박막을 PI 기판에 부착하였을 경우 최대 1%의 연신율 증가가 있음을 알 수 있다. 이러한 증가는 폴리머 기판 및 접착제 등의 완충작용으로 인하여 박막의 유연성이 증가된 것으로 판단된다.

**Table 1.** Summary of failure bending radius, calculated bending strain, and failure stretching strain for dot and ribbon pattern silicon thin films on PI substrate.

Sample type	Failure bending radius and strain during bending test	Failure strain during stretching test
Dot pattern silicon thin film	4.5 mm (strain = 2.1%)	1.8%
Ribbon pattern silicon thin film	7.4 mm (strain = 1.3%)	0.5%

**3.2. FPCB 기판에 부착된 마이크로 실리콘 박막의 유연 신뢰성**

우선 마이크로 두께로 thinning 된 실리콘 박막 자체의 굽힘 유연성을 알기 위하여 thinning 된 박막을 유연기판에 접촉하지 않은 상태에서 박막만을 봉을 이용하여 굽힘 시험을 진행하였으며, 그 결과가 Fig. 8에 나타나있다. 70 μm 두께의 실리콘 칩은 평균적으로 곡률 반경 12.2 mm에서 파괴가 발생하였으며, 20 μm 두께의 칩의 경우는 평균 파괴 곡률 반경은 2.6 mm이었다. 따라서 즉 칩이 얇아질수록 파괴 곡률 반경은 작아지며, 굽힘 유연성이 크게 증가함을 알 수 있었다. Table 2에 평균 파괴 곡률 반경 및 계산된 파괴 변형률을 정리하였다. 그러나 Table 2에서 나타난 바와 같이 식(3)을 사용하여 계산된 실리콘 칩의 파괴 변형률 값은 평균 0.3% 정도로써 실리콘 박막의 연신율 0.8%에는 크게 미치지 못하는 값이다. 이러한 원



**Fig. 8.** Crack onset radius for different thickness of the silicon thin films in the bending test

**Table 2.** Average crack onset radius and calculated failure strain for different thickness of the silicon thin films

Thickness of silicon film(μm)	20	30	50	70
Average crack onset radius(mm)	2.6	4.2	7.8	12.2
Calculated failure strain(%)	0.38	0.36	3.21	0.29

인으로서 실리콘 웨이퍼는 두께 감소를 위한 thinning 공정으로써 기계적 그라인딩, CMP, 플라즈마 에칭 등의 공정을 적용하며 실리콘 칩의 제작을 위하여 기계적 절단(dicing) 공정이 필요하다. 이러한 공정 중에서 필요적으로 균열, 스크래치 등의 결함이 도입되며, 균열은 취성 재료인 실리콘 칩의 파괴 특성에 치명적인 영향을 준다. 특히 수직 방향의 균열은 칩의 주요한 파괴 메커니즘이다.<sup>14,15)</sup> 따라서 실리콘 박막을 thinning 하면서 발생한 결함 등에 의하여 파괴 변형률 혹은 파괴 연신율이 낮아진 것으로 판단된다. 특히 박막이 얇아질수록 파괴 시점의 변형률이 커지고 있는데, 칩을 얇게 thinning하면 할수록 결함 발생의 가능성은 더 크게 되며, 또한 크랙의 발생 가능성도 커지게 된다. 따라서 매우 얇은 실리콘 칩은 외부의 충격이나 변형에 매우 민감함을 알 수 있다.

Fig. 9는 thinning 된 실리콘 칩을 DAF를 이용하여 FPCB에 부착한 후 굽힘 시험을 수행한 결과이다. Table 3은 계산된 파괴 변형률 값을 보여주고 있다. 파괴 변형률(ε)을 계산하는 식은 식 (2)을 사용하였는데 이는 실리콘 칩의 두께와 FPCB 기판의 두께가 큰 차이가 나지 않기 때문이다. 계산에서 사용된 물성으로, 실리콘의 탄성계수는 130 GPa이며, FPCB의 경우 PI 필름과 Cu 필름이 적층된 재료로서 각 층의 두께 및 탄성계수를 고려하여 계산된 FPCB의 유효탄성계수(effective elastic modulus)는 25 GPa이었다. 한편 실험 결과는 Fig. 8의 실리콘 칩만을 굽힘 시험하였을 경우와 매우 유사한 경향을 보이고

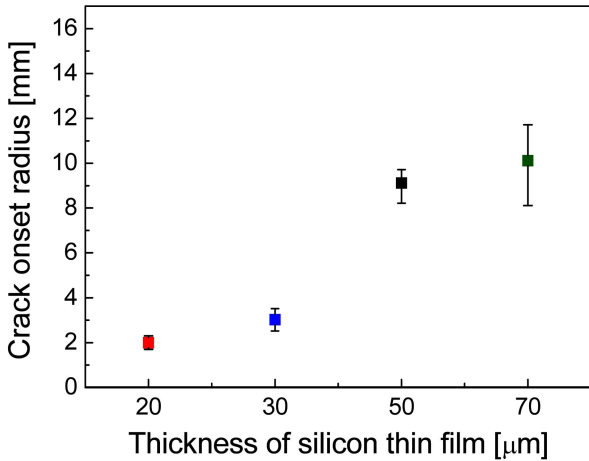


Fig. 9. Crack onset radius for different thickness of the silicon thin films attached on FPCB using DAF in the bending test

Table 3. Average crack onset radius and calculated failure strain for different thickness of the silicon thin films attached on FPCB using DAF in the bending test

Thickness of silicon film( μm)	20	30	50	70
Average crack onset radius(mm)	2	3	9.1	10.1
Calculated failure strain(%)	2.4	1.6	0.57	0.58

있다. 즉 실리콘 칩의 두께가 얇아지면서 파괴 곡률 반경은 작아지고 있으며, 굽힘 유연성은 증가하였다. 20 μm 칩의 경우 곡률 반경 2.5 mm 까지 변화가 없었으며, 2 mm에서 파괴가 발생하였다. 그러나 파괴가 되는 시점의 변형률은 실리콘 박막만을 실험 하였을 경우에 비하여 매우 큼을 알 수 있다. 즉 두께 20 μm 실리콘 칩을 FPCB에 부착한 경우 파괴 변형률은 2.4%로써 박막만을 실험한 경우의 파괴 변형률 0.38% 비하여 약 6 배 크다. 식(3)에 의하면, FPCB 기판의 두께 영향으로 실리콘 박막에는 더 많은 변형량이 가해지게 된다. 따라서 FPCB 기판에 부착된 실리콘 칩의 경우, 실리콘 칩만의 경우에 비하여 더 큰 곡률 반경에서 파괴가 될 것으로 예측하였다. 그러나 파괴 변형률(또는 파괴 강도)이 크게 증가된 이유는 실리콘 칩과 FPCB 사이의 DAF의 완충 역할로 인하여 유연성이 증가되었기 때문이라고 판단된다. Fig. 10은 Loctite 접착제를 사용하여 실리콘 칩을 FPCB에 부착한 샘플에 대한 시험 결과이다. Loctite는 경화되면 매우 brittle 하다. 따라서 DAF를 사용한 것에 비하여 유연성 혹은 완충성이 낮다. 따라서 Fig. 10에서 보는 바와 같이 DAF를 사용한 경우에 비하여 파괴 곡률 반경이 매우 큼을 알 수 있으며, Table 4에서 나타나 있듯이, 파괴는 변형률 1% 미만에서 발생하였다. 또한 칩이 얇은 경우 파

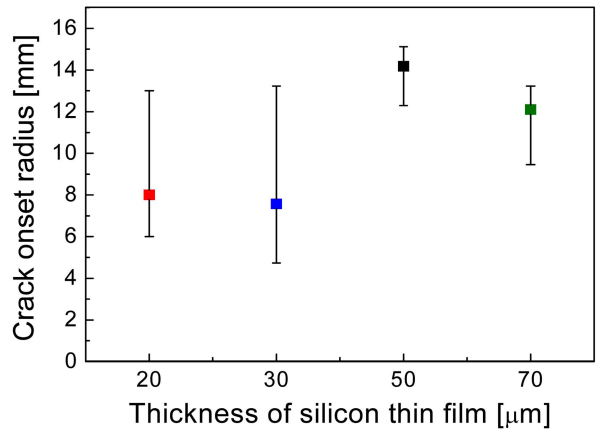


Fig. 10. Crack onset radius for different thickness of the silicon thin films attached on FPCB using Loctite adhesive in the bending test

Table 4. Average crack onset radius and calculated failure strain for different thickness of the silicon thin films attached on FPCB using Loctite adhesive in the bending test

Thickness of silicon film(μm)	20	30	50	70
Average crack onset radius(mm)	8	7	14	12
Calculated failure strain(%)	0.59	0.68	0.37	0.49

괴 곡률 반경의 범위가 매우 큼을 알 수 있었다. 즉 30 μm 칩의 경우 평균 파괴 곡률 반경은 7 mm 이었으나, 실제적으로 최대 13 mm 에서 최소 4 mm에서 파괴가 발생하였다. 또한 20 μm 칩의 경우 파괴 곡률 반경의 범위는 최대 13 mm에서 최소 6 mm 이었다. 전술한 바와 같이 웨이퍼를 얇게 thinning 하면 할수록 결함은 많아진다. 이러한 결함은 웨이퍼 내에 랜덤하게 분포하고 있기 때문에 칩 마다 파괴 변형 시점이 크게 차이가 발생함을 알 수 있다. 결론적으로 유연 전자 소자에서 칩과 기판을 접착하는 접착제는 어느 수준 이상의 강건성과 유연성을 동시에 갖추어야 한다. 즉 유연 소자가 변형되었을 경우 칩이 변형되거나 슬립이 발생하지 않도록 강성을 갖고 있으며, 또한 칩을 변형으로부터 완충할 수 있는 유연성이 필요함을 알 수 있다. 한편 FPCB에 부착된 칩에 대해서 인장 시험을 수행한 결과 대부분의 샘플이 인장 변형률 약 5% 이하에서는 파괴가 발생하지 않았다. 인장 변형률이 6% 이상이 되면 FPCB가 파괴되기 시작하였으며, FPCB의 파괴와 동시에 칩이 FPCB로부터 떨어지거나, 칩에 크랙이 발생하였다. 즉 변형률 5% 까지 인장하였을 때 대부분의 응력은 FPCB에 전달되며, 실리콘 박막의 파괴는 발생하지 않았다. 이러한 현상은 DAF를 사용한 칩과 Loctite를 사용한 칩에 동일하게 발생되었으며, 인장 변형

률은 크게 차이가 나지 않았다.

#### 4. 결 론

본 논문에서는 유연 기관 위에 부착된 나노 두께의 실리콘 박막과 마이크로 두께의 실리콘 박막에 대한 유연 신뢰성 시험을 수행하였다. 나노 두께의 실리콘 박막은 SOI 웨이퍼를 에칭 한 후, transfer printing 공정을 이용하여 PI 기관 위에 부착하였으며, 마이크로 두께의 실리콘 박막은 CMP 공정 등을 이용하여 thinning 한 후, FPCB 기관에 부착하였다. 두께 200 nm의 박막의 굽힘 시험 결과, dot 타입 실리콘 박막의 경우 곡률 반경 4.5 mm에서 크랙이 발생하였으며, ribbon 타입 샘플의 경우 곡률 반경 7.4 mm에서 크랙이 발생하였다. 따라서 PI 기관에 부착된 실리콘 박막의 굽힘 유연성이 매우 큼을 알 수 있었다. 크랙은 주로 응력이 집중되는 에칭 홀 부근에서 발생하였다. 인장 시험 결과 인장 변형률 1.8%에서 박막이 파괴되었으며, 기존 실리콘 박막에 비하여 연신율이 최대 1% 증가되었다. FPCB 기관에 부착된 마이크로 두께의 실리콘 박막의 경우 실리콘 칩의 두께가 얇아지면서 파괴 곡률 반경은 작아지고 있으며, 굽힘 유연성은 증가하였다. 20 µm 두께의 샘플의 경우 곡률 반경 2.5 mm 까지 굽힐 수 있음을 알 수 있었다. 특히 계산된 파괴 변형률은 2.4%로써 기존의 실리콘 박막의 연신율 혹은 파괴 변형률 0.8%에 비하여 매우 큼을 알 수 있다. 이러한 유연성의 증가는 실리콘 박막과 유연 기관 사이의 접착제의 완충작용 때문이다. 따라서 brittle한 접착제를 사용할 경우 유연성이 크게 저하됨을 알 수 있었다. 즉 Loctite 접착제를 사용한 경우 유연 굽힘성이 DAF를 사용한 경우에 비하여 크게 저하됨을 알 수 있었다. 따라서 유연 전자 소자의 유연성을 증가시키기 위해서는 박막을 가능한 얇게 하면서 공정 중의 결함을 최소화하고, 또한 적절한 접착제를 사용한다면 유연성을 크게 증가시킬 수 있음을 알 수 있었다.

#### 감사의 글

이 연구는 서울과학기술대학교 교내 학술연구비 지원으로 수행되었습니다.

#### 참고문헌

1. J.-W. Kim, S.-J. Hong, Y.-S. Kim, Y.-S. Kim, J.-N. Lee and N.-K. Kang, "Recent Advances in Eco-Friendly Nano-Ink Technology for Display and Semiconductor Application", *J. Microelectron. Packag. Soc.*, 17, 33 (2010).

2. S. R. Mohapatra, T. Tsuruoka, T. Hasegawa, K. Terabe and M. Aono, "Flexible Resistive Switching Memory Using Ink-jet Printing of a Solid Polymer Electrolyte", *AIP Advances*, 2, 022144 (2012).
3. J.-H. Ahn, H.-S. Kim, K. J. Lee, S. W. Jeon, S. J. Kang, Y. Sun, R. G. Nuzzo and J. A. Rogers, "Heterogeneous Three-Dimensional Electronics by Use of Printed Semiconductor Nanomaterials", *Science*, 314, 1754 (2006).
4. K. Y. Park, D.-K. Lee, B.-S. Kim, H. S. Jeon, N.-E. Lee, D. M Whang, H.-J. Lee, Y. J. Kim, and J.-H. Ahn, "Transparent Zinc Oxide Thin Film Transistors", *Adv. Funct. Mater.*, 20, 3577 (2010).
5. S. I. Park, Y. Xiong, R. H. Kim, P. Elvikis, M. Meitl, D.-H Kim, J. A. Wu, J. S. Yoon, C.-J. Yu, Z. Liu, Y. G. Huang, K.-C. Hwang, P. Ferreira, X. Li, K. Choquette and J. A. Rogers, "Printed Assemblies of Inorganic Light-Emitting Diodes for Deformable and Semitransparent Displays", *Science*, 325, 977 (2009).
6. H. C. Ko, G. Shin, S. Wang, M. P. Stoykovich, J. W. Lee, D.-H. Kim, J. S. Ha, Y. Huang, K.-C. Hwang and J. A. Rogers, "Curvilinear Electronics Formed Using Silicon Membrane Circuits and Elastomeric Transfer Elements", *Small*, 5, 2703 (2009).
7. J. Jones, S. P. Lacour, S. Wagner and Z. Suo, "Stretchable Wavy Metal Interconnects", *Vac. Sci. Technol. A*, 22, 1723 (2004).
8. M. Gonzalez, F. Axisa, M. V. Bulcke, D. Brosteaux, B. Vandeveldel and J. Vanfleteren, "Design of Metal Interconnects for Stretchable Electronic Circuits", *Microelectron. Reliab.*, 48, 825 (2008).
9. S.-J. Lee, S.-W. Han, J.-H. Kim and H.-J. Lee, "Micro-Tensile Test for Micron-Sized SCS Thin Film", *Proc. of KSPE Conference, Kyungju*, 45, The Korean Society of Propulsion Engineers (KSPE) (2009).
10. W. N. Sharpe, K. T. Turner and R. L. Edwards, "Tensile Testing of Poly-Silicon", *Experimental Mechanics*, 39, 162 (1999).
11. S.-I Park, J.-H. Ahn, S. Wang, Y. G. Huang and J. A. Rogers, "Theoretical and Experimental Studies of Bending of Inorganic Electronic Materials on Plastic Substrates", *Adv. Funct. Mater.*, 18, 2673 (2008).
12. Z. Suo, E. Y. Ma, H. Gleskova, and S. Wagner, "Mechanics of Rollable and Foldable Film-On-Foil Electronics", *Appl. Phys. Lett.*, 74, 1177 (1999).
13. W. Krninger and F. Mariani, "Thinning and Singulation of Silicon: Root Causes of the Damage in Thin Chips", *Proc. 56th Electronic Components and Technology Conference (ECTC), San Diego*, 1317, IEEE CPMT (2006).
14. Y.-K. Min and J.-W. Byeon, "Evaluation of Flexural Strength of Silicon Die with Thickness by 4 Point Bending Test", *J. Microelectron. Packag. Soc.*, 18, 15 (2011).
15. Y. R. Chong, W. E. Lee, B. K. Lim, J. H. L. Pang and T. H. Low, "Mechanical Characterization in Failure Strength of Silicon Dice", *Proc. 9th THERM, Singapore*, 2, 203, IEEE (2004).