

2.5D 집적을 위한 인터포저 기술개발 동향

Technical Trends of Interposers for 2.5D Integration

스마트 & 그린 융합부품소재기술 특집

최광성 (K.S. Choi) 패키지연구팀 팀장
배현철 (H.C. Bae) 패키지연구팀 선임연구원
문석환 (S.H. Moon) 패키지연구팀 책임연구원
엄용성 (Y.S. Eom) 패키지연구팀 책임연구원

목 차

-
- I . 서론
 - II . 기술개발 동향
 - III . 표준화 동향
 - IV . 결론

실리콘 관통 홀(TSV) 기술은 2006년 삼성전자가 낸드 플래시 메모리에 적용하여 적층된 시제품을 선보인 이후 선풍적인 기술적 관심을 불러일으키고 있다. 그러나, 안타깝게도 CMOS 이미지 센서 모듈 외에는 실제로 양산에 적용되고 있는 사례가 매우 드물다. 이는 기술적으로, 그리고 상업적으로도 극복해야 하는 어려움이 많기 때문이다. 최근 Xilinx사는 28nm FPGA를 네 개의 작은 칩으로 분리하여 TSV가 있는 실리콘 인터포저 위에 2차원적으로 집적한 제품을 고객사들에게 선적하기 시작했다. 이와 같은 2.5D 집적 기술은 3D IC 집적 기술의 상용화를 위한 중간 단계로 여겨질 뿐만 아니라 그 자체로 독립적인 시장을 형성할 기술로도 판단되고 있다. 본고에서는 2.5D 집적을 위한 인터포저 기술개발 및 표준화 동향에 대해 소개하고자 한다.

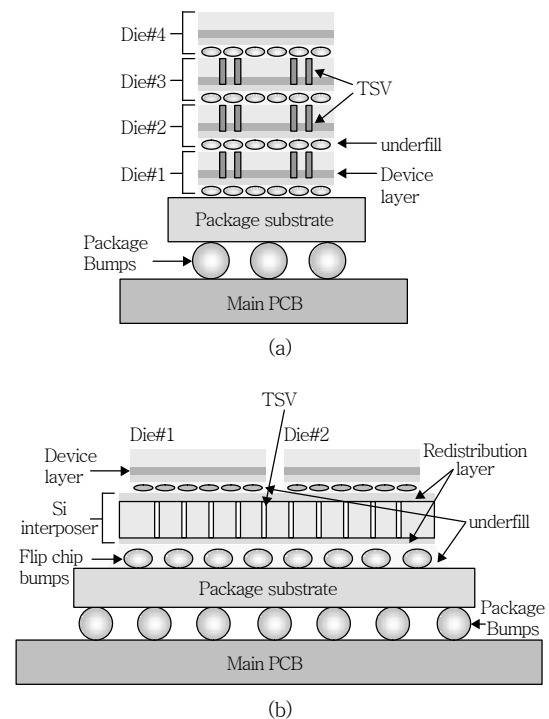
1. 서론

TSV를 이용한 삼차원 IC 집적 기술은 전기적 성능 향상, 초소형 부품 개발, 개발 비용 절감 등의 이유로 각광을 받아왔다. 그 원인은 무어의 법칙을 따라 발전되어온 반도체 집적 기술이 한계에 도달하기 시작하였고 최첨단 반도체 집적 기술로 공정을 개발할 회사들이 전 세계적으로 손에 꼽을 만큼 적다는 것에 있다고 생각된다. 예를 들어 인텔사는 Ivy Bridge라고 알려진 자사의 첫 22nm 프로세서의 2011년 12월 양산을 위해 최대 80억 달러를 투자하겠다고 발표하였으나 이를 2012년 3월로 연기하였다[1]. TSV는 이러한 문제를 안고 있는 IDM뿐만 아니라 파운드리 업체에게도 대안으로 받아들여졌다. 이는 TSV 기술이 칩 내부의 신호 전송에 걸리는 시간을 효과적으로 그리고 효율적으로 단축시킬 뿐만 아니라 대용량의 부품을 초소형으로 개발하는 핵심 기술로 인식되었기 때문이다[2].

그러나, 2006년 삼성전자가 낸드 플래시 메모리 적층에 TSV 기술을 적용한 이후 현재까지 CMOS 이미지 센서를 제외하고 전 세계적으로 TSV를 이용한 능동 칩이 양산에 적용된 경우가 없다는 사실은 우리에게 새로운 사실을 일깨워주었다. TSV 기술이 결코 쉽게 확보할 수 있는 기술이 아니며 이를 위해서는 중장기적인 접근을 해야 한다는 것이다. TSV를 포함하는 능동 칩 설계를 위해 어떤 설계 소프트웨어를 개발해야 하는지, TSV가 능동 칩에 있을 때 트랜지스터에 어떤 영향을 미치는지, 구리와 실리콘이 인접해 있을 때 신뢰성을 어떻게 확보해야 하는지, TSV 안의 공극(void)은 어떻게 검사해야 하는지, 두께 50 μm 혹은 100 μm 의 300mm 웨이퍼를 어떻게 다루어야 하는지, TSV를 이용하여 안정적으로 적층할 수 있는 방법은 어떤 것이 있는지, 적층된 칩을 어

떻게 테스트해야 하는지 등 기술적으로 해결해야 하는 문제들이 산적해 있으며 이를 해결하기 위해서는 충분한 인력과 시간 그리고 투자가 필요하기 때문이다. TSV 관련된 기술과 관련하여 능동 칩을 이용한 삼차원 적층 기술이 문제점에 직면하여 별다른 진척이 보이지 않을 때 Xilinx사는 색다른 접근을 시도하였다[3]. TSV를 능동 칩에 적용하지 않고 수동 실리콘 인터포저에 적용하고 이 인터포저 상면에 28nm FPGA를 네 개의 칩으로 분리하여 플립 칩 본딩한 것이다. 이와 같은 기술은 2.5D 집적 기술이라고 한다.

(그림 1)은 3D IC 집적 기술과 2.5D IC 집적 기술을 보여준다. 3D IC 집적 기술은 메모리나 프로세서와 같은 능동 칩에 TSV를 형성하여 이를 통하여 삼차원적인 수직 인터커넥션을 구현한다. 그에 반해 2.5D IC 집적 기술은 TSV가 있는 실리콘 혹은 유리 인터포저에 능동 칩을 플립 칩 본딩한 것이 특징이며



(그림 1) 3D IC 집적 기술(a)과 2.5D IC 집적 기술(b)

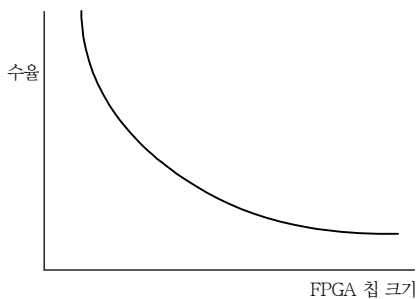
인터포저 상에서는 이차원적인 배열을 하였다. 필요에 따라 여기에, 예를 들면 메모리 적층과 같은 삼차원적인 적층을 시도할 수도 있다. 일반적인 패키지 기판 상에 플립 칩 본딩된 멀티 칩 패키지와의 차이점은 인터포저의 두께가 일반적으로 100 μm 정도로 얇으며 인터포저 내의 TSV의 직경이 10 μm 이고 칩의 마이크로 범프 피치가 45 μm 로 매우 작다는 것이다.

Xilinx사가 이와 같은 기술을 채택한 이유는 다음과 같다. (그림 2)는 FPGA 칩의 크기에 따른 수율 곡선을 보여준다. 칩의 크기가 크면 수율이 떨어지고 반대로 크기가 작으면 수율이 높다. 앞서 언급한 바와 같이 28nm 공정과 같은 고집적 공정은 천문학적 투자 비용이 들어가므로 수율을 높이는 것이 대단히 중요하다. 이를 위해 FPGA를 제작할 때 하나의 커다란 칩으로 만드는 것이 아니라 칩을 작은 네 개의 조각으로 분리하여 개별 칩들의 수율을 높이는 전략을 채용한 것이다. 여기에 개별 칩 간의 전기적 연결을 해주는 인터포저로 인한 칩들 간의 신호 지연은 전체 FPGA 모듈 특성에 영향을 미치지 않는 것으로 분석되었다.

또 다른 이유는 인터포저 기술에 있다. <표 1>은 2010 ITRS의 high-end용 패키지의 PCB 기판의 기술에 대한 로드맵을 보여준다. 이와 같은 플라스틱 기판의 기술로는 앞서 언급한 28nm FPGA와 같은 high-end 소자를 패키징할 수 없는 것이다. 여기서

중요한 또 하나의 관점은 가격에 대한 문제이다. 앞서 언급한 미세 피치를 갖는 실리콘 인터포저를 제조할 수 있는 회사는 전 세계적으로 드물다. 마찬가지로 <표 1>에서 나와 있는 것과 같은 high-end용 패키지 PCB 기판을 제조할 수 있는 회사도 많지 않은 상황이다. 이는 곧 제조 비용이 높다는 것을 의미하며 실제로 어느 한계에서는 실리콘 인터포저와 PCB 기판과 가격 경쟁을 할 수 있을 것으로도 예상할 수 있는 것이다. 마지막으로, TSV를 이용한 실리콘 인터포저는 능동소자에서 TSV로 인하여 발생하는 여러 가지 문제를 피할 수 있는 효과적인 방법을 제시한다는 것이다.

돌이켜보면 실리콘을 기판으로 사용한 것은 이미 오래 전에 있었던 일이었다. 1990년대 MCM의 기판으로 실리콘이 사용되었고 2000년대에도 SiP를 위한 기판으로 실리콘이 사용되었다. 이 경우 IC들은 실리콘 기판에 와이어 본딩 혹은 플립 칩 본딩을 통해 전기적으로 연결되었다. 그리고 이 실리콘 기판은 다시 리드프레임이나 기타 다른 기판에 와이어 본딩되거나 BGA와 같은 솔더 볼을 통해 연결되었다. 그러나 이러한 시도들은 성공하지 못하였는데 이는 틈새 시장 진입이라는 전략으로 인해 실리콘 모듈 제작이라는 사업 모델을 효과적으로 시장에 진입시키지 못함에 따라 제조 비용을 낮추지 못한 것이 중요한 원인들 중 하나로 생각된다.



(그림 2) FPGA 칩 크기와 수율의 상관 관계

(표 1) 2010 ITRS high-end용 패키지의 플라스틱 기판 기술 로드맵

	(단위: μm)				
연도	2011	2012	2013	2014	2015
칩과 연결 피치	150	130	130	120	120
최소 선폭	8	8	5	5	5
최소 간격	8	8	5	5	5
최소 $\mu\text{-via}$ 직경	60	50	50	50	30
최소 관통홀 직경	180	150	150	100	100

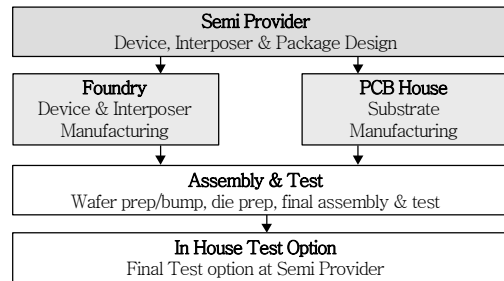
인터포저 제작에 적용될 수 있는 기판 소재는 실리콘과 유리 두 가지로 나뉘어진다. <표 2>는 이들 소재의 특징을 비교한 자료를 보여준다. 실리콘은 전기적으로 손실이 있는 기판임에도 불구하고 기반이 잘 구축되어 있고 그 물성을 조절할 수 있다는 것에 덧붙여 열 전도도도 높다는 이점이 있고 미세 패턴이 가능하다는 장점이 있다. 유리는 전기적으로 부도체이고 가격이 싸다는 장점에 비해 열 전도도가 지나치게 낮다는 단점과 미세 가공이 실리콘에 비해 떨어진다는 단점이 있다. 그러나 디스플레이 산업의 발달로 인해 실리콘으로는 생각할 수 없는 패널 크기로 공정을 개발할 수 있는 이점이 있어 대량 생산을 통한 저가격화가 가능하다는 점에 많은 관심을 받기 시작하고 있다.

이러한 인터포저를 이용한 2.5D 기술이 적용될 분야는 MEMS와 센서를 위한 삼차원 capping 인터포저, 로직을 위한 인터포저, 로직과 메모리의 집적을 위한 인터포저, CMOS 이미지 센서 인터포저, HB LED 실리콘 인터포저, 전력/RF/아날로그 집적 인터포저, 메모리 적층 인터포저 등 다양한 분야를 포함하고 있다.

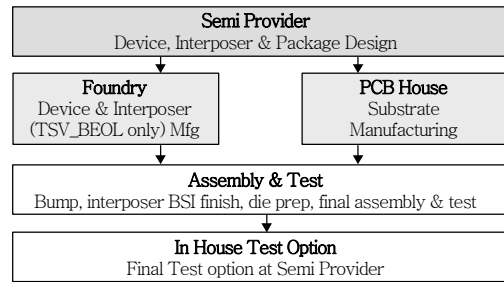
<표 2> 인터포저로서 실리콘과 유리의 특징

	실리콘	유리
밀봉성	어려움	Anodic bonding
투명성	IR	
비아 피치	10-500 μ m	200-500 μ m
두께	20-700 μ m	400-700 μ m
유전율	~11.8	~4.6
저항	표면저항 조절 용이	부도체
열 전도도	149W/(mK)	1.1W/(mK)
웨이퍼 크기	6", 8", 12"	6", 8", 12", 패널
비아 충전 소재	Cu, W, Au, Poly-Si	W, Cu, Au
비아 공정 비용	비교적 고가	저가의 TGV 공정 가능
재배선 공정 기반	잘 구축됨	제한됨

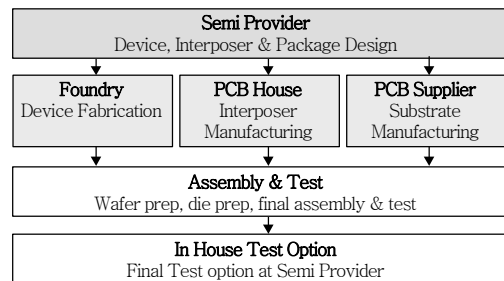
이러한 다양한 분야에 적용 가능성이 있고 시장이 이제 열리기 시작하는 지금, 산업계의 관심은 인터포저와 관련된 여러 가지 사업 모델 중 어느 것이 가장 경쟁력을 가질 것인가에 있다. (그림 3)은 가능한 세 가지 사업 모델을 보여준다[4]. 그것은 파운드리 플러스 모델, OSAT 플러스 모델, 그리고 제삼자 모델이다. 가장 단순한 모델은 삼성전자와 같은 IDM이 내부적으로 설계와 제작 그리고 테스트까지 수행하는 것이다. 그러나 이러한 모델은 기술의 파급효과가 작고 시장에 미치는 영향도 제한적일 수밖에 없다.



(a) 파운드리 플러스 모델



(b) OSAT 플러스 모델



(c) 제삼자 모델

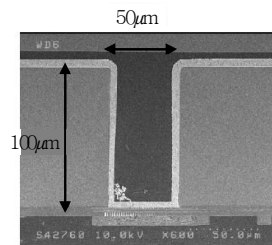
(그림 3) 인터포저와 연관된 사업 모델[4]

파운드리 플러스 모델은 파운드리가 인터포저 제조, 테스트, 품질 보증까지 하는 모델이다. OSAT 플러스 모델은 앰코, ASE와 같은 패키징 외주 회사들이 인터포저의 후공정까지 진행하는 모델이다. 제삼자 모델은 인터포저 공급자가 인터포저의 제조, 신뢰성, 품질 보증을 하는 모델이다. 이러한 모델 중 시장을 지배하는 모델이 되는 기준은 어느 특정한 공급원에 매달리지 않고 낮은 비용을 가능하게 하며 안정적인 공급망(supply chain)을 가능하게 하는 모델이며 기술적으로는 칩과 패키지의 상호 작용을 효과적으로 반영하는지 여부와 얇은 웨이퍼를 어떻게 공정 중에 다룰 것이고 운반할 것인가가 중요한 문제이다. 이러한 모델을 놓고 전 세계적으로 인터포저를 공급할 수 있는 곳을 살펴보면 다음과 같다. Allvia, ASE, DNP, EPWorks, IBM, IMT, IPDiA, Silex, SPIL, STAT ChipPAC, 그리고 TSMC이다. 또한 Ibsiden, 삼성전기, Shinko, WLCSP, UMC, GlobalFoundries는 계획을 하고 있거나 연구개발 중에 있다[5]. 여기서 눈여겨볼 것은 한국의 회사는 EPWorks와 삼성전기에 제한되어 있고 그나마 이들 업체는 소규모 신생업체이거나 실리콘 공정에 익숙하지 않은 기관 업체임을 알 수 있다. 더욱이 국내 반도체 패키징 파운드리 업체의 기술은 아직 PoP, 플립 칩 본딩 기술 개발 등에 집중하고 있어 인터포저 개발을 위한 준비가 되어 있지 않을 뿐만 아니라 TSV와 관련되어 투자를 할 여력이 충분하지 않다는 약점을 가지고 있다. 비록, 삼성전자, 하이닉스 등 IDM이 있지만, 이들로 인한 기술개발에는 한계가 있고 관련 산업의 기술적 파급 효과가 제한적이라는 약점이 있다. 따라서, 인터포저와 관련된 산업계의 국제 경쟁력 확보 및 관련된 안정적인 공급망을 만들어 나가기 위해서는 정부 차원의 체계적인 지원이 필요하다고 판단된다.

II. 기술개발 동향

1. Allvia

Allvia사는 실리콘 인터포저와 관련된 설계와 제조를 하는 TSV 전문 파운드리 회사이다. Via first 공정뿐만 아니라 via last 공정도 가능하고 인터포저 집적된 커패시터를 제조할 수 있다. TSV 직경은 $20\mu\text{m}$ 에서 $150\mu\text{m}$, 중횡비는 5까지 가능하며 전면 혹은 후면 공정이 가능하며 150mm와 200mm의 웨이퍼 공정을 할 수 있고 300mm 공정을 준비 중이다. 인터포저 상에 $1500\text{nF}/\text{cm}^2$ 이 양산 가능하고 $3000\text{nF}/\text{cm}^2$ 을 개발 중에 있다. 재배선은 Cu/PI를 이용하여 $5\mu\text{m}$ 의 선폭과 간격으로 인터포저 전면 혹은 후면 공정이 가능하다[6]. (그림 4)는 via last 공정으로 제작한 웨이퍼의 단면 사진을 보여준다.



(그림 4) Allvia에서 via last 공정으로 제작된 후면 TSV

2. DNP

DNP(Dai Nippon Printing Co.)사는 웨이퍼 전면과 후면에 3층의 재배선 공정을 할 수 있으며 이 때, 유전층은 폴리이미드나 BCB를 사용하고 두께는 $4\sim 8\mu\text{m}$ 이며 전극의 선폭과 간격은 각각 $10\mu\text{m}$ 이다. TSV의 직경은 $50\mu\text{m}$ 이고 피치는 $200\mu\text{m}$ 이상이다. 웨이퍼의 두께는 $400\mu\text{m}$ 이고 6인치 및 8인치의 웨이퍼 공정이 가능하다[7]. (그림 5)는 DNP사에서 제작한 via filling 공정 후의 웨이퍼 단면 사진을 보여준다.



(그림 5) DNP사에서 제작한 via filling 공정 후의 웨이퍼 단면 사진

3. EPWorks

EPWorks사는 실리콘 및 유리 인터포저 전문 회사로 200mm 및 300mm 웨이퍼 대응이 가능한 회사로 유일하게 대한민국에 소재한 회사이다. 인터포저 관련 전기적, 기계적, 열적 해석 능력을 갖고 있고 TSV 공정, 재배열 공정 및 마이크로 범프 공정이 가능하다. <표 3>과 <표 4>는 각각 EPWorks사의 실리콘 및 유리 인터포저의 대표적인 사양을 보여준다.

<표 3> EPWorks사의 실리콘 인터포저 공정 사양

재배선 유전체	Oxide, Nitride, PI
재배선 선폭/간격	>5 μ m/7 μ m
범프	Solder, Cu post
TSV 직경	>5 μ m, 종횡비 <1:10
웨이퍼 두께	>50 μ m

<표 4> EPWorks사의 유리 인터포저 공정 사양

접착층 소재	PI, Epoxy
재배선 선폭/두께	>10 μ m/2 μ m
범프	Solder, Cu post
TGV 직경	>100 μ m, 종횡비 <1:4
TGV 공정	Blasting/초음파 드릴/화학적 처리
웨이퍼 두께	0.1t, 0.3t, 0.5t

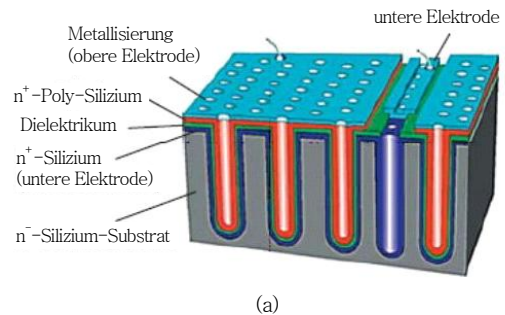
이러한 기술을 바탕으로 EPWorks사는 세계에서 최초로 BSI CIS WLP를 개발하였으며 HB LED 기판 기술도 개발하였다. 양산 능력은 300mm 웨이퍼 기준 약 1500매/월 정도를 갖추고 있다. (그림 6)은 EPWorks사가 개발한 실리콘 및 유리 인터포저 사진을 보여준다[8].



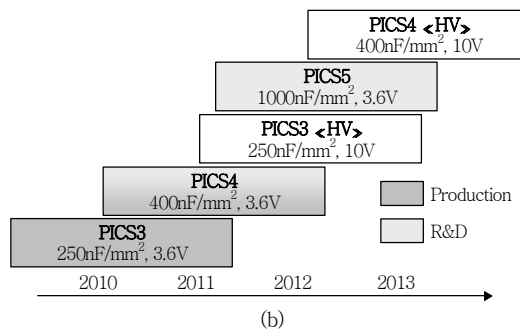
(그림 6) EPWork사가 개발한 실리콘 인터포저 사진(a)과 유리인터포저 사진(b)

4. IPDia

IPDia사는 Philips & NXP사에서 분사한 회사로 실리콘 인터포저에 IPD를 집적화하는 기술을 보유한 회사로 실리콘 인터포저 기술을 RF 분야에 적용하였다. TSV 기술을 이용한 PICS 기술을 개발하여 온도에 무관한 특성을 보이는 커패시터를 개발하였다. 또한, Q-factor 80 이상의 인덕터와 저항, 그리고 zener diode와 RF용 pin diode를 개발하였다. (그림 7)은 PICS 기술과 함께 이 회사의 커패시턴스 개발 로드맵을 보여준다[9].



(a)



(b)

(그림 7) IPDia사의 PICS 기술(a)과 커패시턴스 개발 로드맵(b)

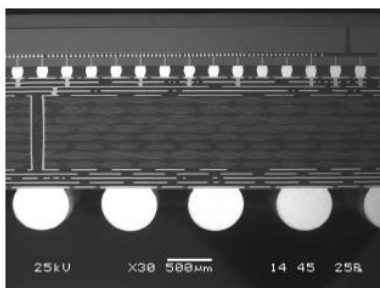
5. TSMC

(그림 8)은 Xilinx사가 Virtex-7 FPGA 모듈과 이 모듈에 적용된 인터포저 단면 사진을 보여준다[10]. 실리콘 인터포저의 크기는 $25 \times 31 \text{mm}^2$ 이고 두께는 $100 \mu\text{m}$ 이고 TSV의 직경은 $10 \mu\text{m}$ 이다. 인터포저 위에 네 개의 재배선층을 가지고 있는데 하나는 알루미늄층이고 나머지 세 개는 다마신 구리층이고 65nm CMOS 기술로 제조되었다. 마이크로 범프의 피치는 $45 \mu\text{m}$ 이고 인터포저 아래에 위치한 C4 범프는 $180 \mu\text{m}$ 피치를 가지고 있다. 이를 통해 Xilinx사는 세계에서 가장 용량이 크고 성능이 좋은 FPGA를 생산하게 되었다고 홍보하고 있다[11].

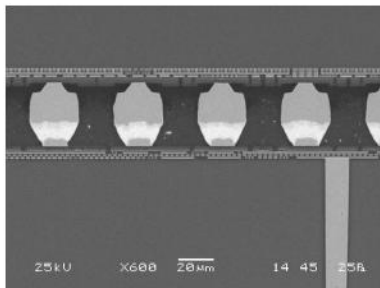
이와 같은 성공에 자극을 받은 GlobalFoundries 사나 UMC 등도 2.5D 실리콘 인터포저를 개발하기 위해 fabless 업체들과 협의 중인 것으로 알려져 있다[5]. 아직까지 미세 피치를 제공할 수 있는 실리콘

인터포저를 만들 수 있는 회사는 TSMC 밖에 없기에 따라 300mm, 28nm 웨이퍼가 개당 5천 달러 하는데 반해 인터포저는 만 달러 정도할 정도로 오히려 인터포저가 더 비싸다[5]. 앞서 언급한 파운드리 회사들이 인터포저 제조를 시작하게 되면 가격은 내려갈 것으로 예상된다.

이상으로 몇 개 회사들의 인터포저 기술을 살펴보았다. 현재 형성되고 있는 실리콘 인터포저 공급망을 살펴볼 때, 대한민국의 역할이 매우 제한적임을 알 수 있다. High-end 로직을 설계하는 fabless 회사나 미세 피치 인터포저를 제조할 수 있는 기반을 갖추고 있는 파운드리 회사도 없고 전반적인 기술력이 뒤떨어져 있는 것이 현실이기 때문이다. 그러나 이러한 모든 것이 심각하게 여겨지지 않는 것은 삼성전자와 하이닉스 반도체가 있다는 인식이 있기 때문이다. 그러나 새로운 시장을 열어가고 각종 디바이스의 플랫폼이 될 기술을 특정 기업에만 의지하면 기술적 파급효과가 제한되고 관련 산업 육성이 허약해지는 단점이 있다. 이미 반도체뿐만 아니라 패키징 파운드리에서 우리는 그것을 경험해 보았고 주변국의 비약적인 반도체 산업 발전을 지켜볼 수 밖에 없었다. 이제 반도체 산업의 또 다른 변환이 요구되는 지금, 전반적인 산업육성과 안정적인 공급망 구축이라는 관점에서 산학연의 체계적인 공조와 정부의 지원이 필요하다고 생각한다.



(a)



(b)

(그림 8) Xilinx사의 Virtex-7 FPGA 단면 사진(a)과 실리콘 인터포저 사진(b)

III. 표준화 동향

2.5D 인터포저 표준화는 3D IC 표준화에 포함되어 진행되고 있다. 따라서, 3D IC 표준화 동향을 살펴보는 것이 좋다. <표 5>는 3D IC 표준화는 관련된 기술 분야에 따라 여러 기관에서 추진되고 있음을 알 수 있다. 이를 대략적으로 살펴보면 layout과 관련된

주된 표준화 기관은 JEDEC, 장비와 관련된 표준은 SEMI, 테스트와 관련된 표준은 IEEE에서 진행하고 있다.

2010년 12월 Sematech, SIA, 그리고 SRC는 삼차원 접합 기술개발을 위한 표준화 프로그램을 설립하였다. 이 프로그램의 주된 목적은 가격 경쟁력이 있는 TSV 기반 삼차원 적층 IC 솔루션을 위한 전반적인 산업의 에코시스템 구축이다. 참여기관으로는 ASE, Alteram, ADI, LSI, NIST, On Semin, Qualcomm, Hynix, CNSE, GlobalFoundries, Hewlett Packard, IBM, Intel, Samsung, TSMC, UMC 등으로 장비, 공정, 설계, 파운드리, IDM 등이 총망라되어 있다. 국내의 하이닉스와 삼성전자가 참여하고 있다. 이 프로그램의 주된 응용 분야는 모바일 응용을 위한 광대역 IO DRAM으로 이와 관련된 표준, 사양들을

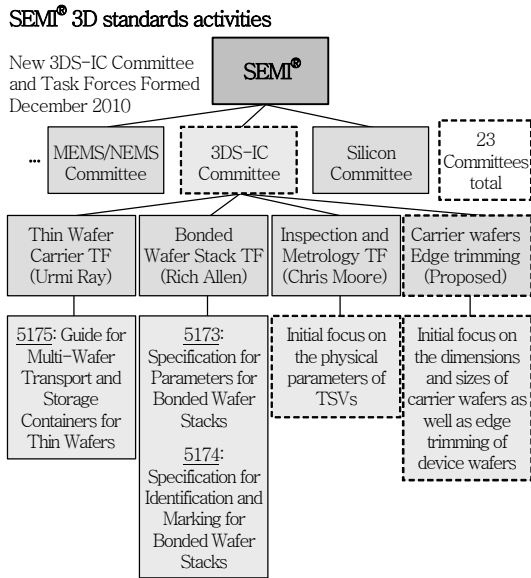
단계별로 표준화하는 것이 목표이다.

상기 활동과 관련하여 Sematech가 2010년 12개의 회사를 조사한 결과 다음과 같은 항목에 대해 주로 표준화가 이루어져야 함을 인식하고 있었다. EDA 파일 형식, 신뢰성 시험 방법, 테스트, 검사 방법, 칩 인터페이스, TSV 설계 및 소재, thin wafer handling이다. 이와 동시에 기술개발과 비용 절감이 필요한 부분은 신뢰성 기준과 시험 방법, temporary bonding/debond, TSV, 마이크로 범핑, 그리고 본딩, 검사 및 방법론 그리고 테스트이다. 이러한 분야는 3D뿐만 아니라 2.5D IC 집적을 위한 인터포저에서도 필요한 분야라 할 수 있다.

(그림 9)는 SEMI의 3D 표준화 활동을 보여준다 [12]. 그림에서 보는 바와 같이 3DS-IC 위원회 아래 세 개의 task force로 구성되어 있다. 각각을 살펴보

〈표 5〉 3D IC 표준화 동향

	Technical Area	Driver	STDS Body	Comments
D2D Layout compatibility	Bump layout	Die Supplier	JEDEC	Single bump size & shape
	Bump area layout			Array size and shape
	Bump assignment			Dedicated pins for DFT etc.
PDK Modeling compatibility	Electrical model format	Sematech	Si2	How to manage coupling
	Thermal model format	GSA		Material prop, char & validate
	Stress model format	Sematech		Material prop, characterization
DESIGN (design data base compatibility)	PF exchange formats	IMEC	Si2	Partition into floorplan info
	Stress exchange formats	EDA		I/P for stress sim + O/P stress map
	Temp exchange formats	EDA		I/P pwr map + O/P temp map
	PDN exchange formats	EDA		Reduced order compact pwr model
	SI exchange formats	EDA		Equiv of IBIS-like model for 3D
	DFT exchange formats	IMEC	IEEE	To enable scan/JTAG across tiers
MATERIALS (material compatibility)	Metallurgy pairs	Sematech	Sematech	Compatible metallurgies
	Max dT safe operate area			SoA spec-compatible metallurgies
	Reliability SoA			Rel SoA spec-compatible metallurgies
QA incoming specs	Metrology(warpage)	Sematech	JEDEC	How to measure warpage
	Die/wafer QA metrics	SEMI		How to measure chips, balls, planarity
FLOW Handling specs	Ship carrier spec -bonded pair wafer	Sematech	SEMI	Shape & size required for machines
	In assembly ESD	OSAT	ANSI/ESDA	Requirement & verification
TEST	KGD/pre-bond test	IMEC	IEEE	Methodology, flow, sacrificial pads
	Probe cards	IMEC		Probe pad formats



(그림 9) SEMI의 3D 표준화 활동[12]

면 Thin Wafer Carrier TF, Bonded Wafer Stack TF, Inspection and Metrology TF가 그것이다.

이상의 표준화 활동을 요약해 보면 2.5D 집적 및 3D 집적을 위해서 각 분야와 관련된 여러 기관들이 활동을 하고 있으며 우리나라는 삼성전자와 하이닉스가 참여하고 있다. 기술개발에 따라 표준화가 진행되고 있지만 아직 미완의 기술이 많기 때문에 표준화 완성에는 다소 시간이 걸릴 것으로 예상된다.

IV. 결론

2.5D 집적을 위한 인터포저 기술개발 동향을 살펴 보았다. 이 기술은 3D IC 집적 기술의 상용화를 위한 중간 단계로 여겨질 뿐만 아니라 그 자체로서 독립적인 시장을 구축하는 기술로서도 받아들여지고 있다. 이 기술은 3D IC 집적 기술에서 발생하는 TSV로 인한 능동 칩에서 발생하는 문제를 피할 수 있는 방법을 제시함과 동시에 3D IC에서 제시하는 집적도를 확보할 수 있고 수율이 높은 제품을 개발 가능하게

하며 디지털뿐만 아니라 RF/아날로그, 전력반도체, HB LED, IPD와 같은 수동소자, MEMS/센서, 바이오 칩을 하나의 패키징에 집적할 수 있는 융합 기술의 대표적인 핵심 기술이라 할 수 있겠다. 본고는 이와 관련된 대표적인 기관들의 기술개발 현황을 소개하였다. 대한민국의 전략은 기존의 특정 회사에 기술개발을 모두 의존하는 것보다는 공통의 플랫폼 기술개발 및 그로 인한 기술개발과 시장 확대라는 측면에서 산학연의 체계적인 접근이 필요하다는 의견을 제시하였다. 표준화 활동으로는 기존의 반도체 설계, 공정, 장비 등과 관련된 각종 기관들이 참여하고 있으며 표준 완성을 위해서는 다소 시간이 걸릴 것으로 판단된다.

● 용어해설 ●

인터포저(interposer): 둘 사이에 놓다라는 의미의 라틴어인 *interpōnere*에서 유래함. 두 개의 서로 다른 연결을 이어주는 전기적인 인터페이스 라우팅을 의미하며 ball grid array 패키지에서 IC와 솔더 볼(solder ball) 사이의 패키지 기판이 한 예

약어 정리

BGA	Ball Grid Array
BSI	Backside Illuminated
C4	Controlled Collapse Chip Connection
CIS	Camera Image Sensor
FPGA	Field-Programmable Gate Array
HB LED	High Brightness LED
IDM	Integrated Device Manufacturer
IPD	Integrated Passive Devices
ITRS	International Technology Roadmap for Semiconductor
MCM	Multichip Module
OSAT	Outsourced Semiconductor Assembly and Test
PCB	Printed Circuit Board
PICS	Passive Integrated Connecting Substrate

PoP	Package-on-Package
SIA	Semiconductor Industry Association
SiP	System-in-Package
SRC	Semiconductor Research Corporation
TSV	Through Silicon Via
WLP	Wafer Level Package

참고 문헌

- [1] Digitimes, "Intel Expected to Unveil 22nm Ivy Bridge CPUs in March 2012," Oct. 21th, 2011.
- [2] P.G. Emma and E. Kursun, "Is 3D Chip Technology the Next Growth Engine for Performance Improvement?," *IBM J. Res. & Dev.*, vol. 52, no. 6, Nov. 2008, pp. 541-552.
- [3] D. Patrick, "Xilinx Stacked Silicon Interconnect Technology Delivers Breakthrough FPGA Capacity, Bandwidth, and Power Efficiency," Xilinx White Paper: Virtex-7 FPGAs, Oct. 27th, 2010.
- [4] J. Greenwood, "3D in the Deep Submicron Era- Back Side Integration and Supply Chain Challenges," *Semicon West*, July 13th, 2011.
- [5] M. LaPedus, "Leading-Edge Foundries to Enter Interposer Fray," Semiconductor Manufacturing & Design Community, Nov. 23th, 2011.
- [6] Allvia, "TSV and Interposer Technologies at Allvia," *3D Syst. Integr. Workshop*, 2010.
- [7] <http://www.dnp.co.jp/eng/>
- [8] <http://www.epworks.co.kr/>
- [9] L. Dubos, "High Performance and High Reliability Passives for Miniature Medical Devices based upon Silicon Technologies," *iNEMI Med. Electron. Workshop*, May 2011.
- [10] B. Banijamali et al, "Advanced Reliability Study of TSV Interposers and Interconnects for the 28nm Technology FPGA," *Proc. Electron. Compon. Technol. Conf.*, 2011, pp. 285-290.
- [11] <http://www.xilinx.com/>
- [12] L. Smith et al, "TSV Manufacturability Assessment," *3-D Architectures Semicond. Integration Packag.*, Dec. 2010.