

Dead-Time 적응제어 기능을 갖는 PWM CMOS DC-DC 부스트 변환기

PWM CMOS DC-DC Boost Converter with Adaptive Dead-Time Control

황인호*, 윤은정*, 박종태*, 유종근**

In-Ho Hwang*, Eun-Jung Yoon*, Jong-Tae Park*, Chong-Gun Yu**

Abstract

Since the non-overlapping gate driver used in conventional DC-DC boost converters generates fixed dead-times, the converters suffer from the body-diode conduction loss or the charge-sharing loss. To reduce the efficiency degradation due to these losses, this paper presents a PWM DC-DC boost converter with adaptive dead-time control. The proposed DC-DC boost converter delivering 3.3V output from a 2.5V input is designed with CMOS 0.35μm technology. It operates at 500kHz and has a maximum power efficiency of 97.3%.

요약

기존의 DC-DC 부스트 변환기에 사용되는 non-overlapping gate driver는 dead-time이 고정되어 있기 때문에 body-diode conduction loss 또는 charge-sharing loss가 발생하는 문제점을 가지고 있다. 이러한 loss에 의한 효율 감소를 줄이기 위해 본 논문에서는 dead-time 적응제어 기능을 갖는 PWM DC-DC 부스트 변환기를 설계하였다. 제안된 DC-DC 부스트 변환기는 CMOS 0.35μm 공정으로 설계되었고, 입력전압 2.5V를 받아서 3.3V의 출력전압으로 승압시킨다. 스위칭 주파수는 500kHz이며, 최대효율은 97.3%이다.

Key words : DC-DC Converter, Boost Converter, PWM, Dead-Time Control, Efficiency

1. 서론

* 仁川大學校 電子工學科

(Dept. of Electronics Engineering, University of Incheon)

★ 교신저자: 유종근 (chong@incheon.ac.kr)

※ 이 논문은 인천대학교 2011년도 자체연구비 지원에 의하여 연구되었으며 IDEC 지원에 의해서도 일부 수행되었음.

接受日:2012年 07月 12日, 修正完了日: 2012年 08月 15日
 掲載確定日: 2012年 08月 23日

최근 휴대단말기와 노트북 같은 전자기기들은 소형화, 경량화될 뿐만 아니라 안정적인 전원공급이 필요하며 한 번 충전으로 사용시간의 증가가 요구된다. 이들 기기들은 하나의 배터리 전원으로부터 전력을 공급받아야 하기 때문에, 내부 시스템에 필요한 동작 전압으로 변환할 때의 전력손실을 최소화하여 전력

변환 효율을 높여야 한다. 이러한 전력관리 시스템의 효율을 향상시키기 위한 PMIC(Power Management IC)에 대한 연구가 활발히 진행되고 있다[1-11].

기존의 DC-DC 부스트 변환기(boost converter)는 전력(power) 스위치 트랜지스터를 구동하기 위해 non-overlapping gate driver를 사용한다. 이 회로는 두 개의 전력 스위치(NMOS, PMOS)가 동시에 'on'이 되어 효율이 감소하는 구간을 없애기 위해, 둘 다 'off'되는 dead-time 구간을 의도적으로 발생시키는 역할을 한다. 그러나 기존의 non-overlapping gate driver는 dead-time이 고정되어 있기 때문에 body-diode conduction loss 또는 charge-sharing loss가 발생하는 문제점을 가지고 있다[4].

참고문헌 [4]에서는 dead-time 적응제어 기능을 갖는 CCR(CMOS-Control Rectifier) 회로를 설계하여, dead-time시 발생하는 loss를 최소화하였다. 그러나 이 논문에서 설계된 DC-DC 부스트 변환기는 DCM(Discontinuous Conduction Mode)에서는 정상적으로 동작하지만 CCM(Continuous Conduction Mode)에서는 전력 트랜지스터들이 동시에 'on'이 되는 구간이 발생되어 시스템의 효율이 감소하는 문제점을 가지고 있다.

본 논문에서는 dead-time 적응제어 기능을 갖는 PWM DC-DC 부스트 변환기를 DCM 뿐만 아니라 CCM에서도 동작하도록 설계하였다. CCM 에서도 전력 트랜지스터가 동시에 'on'이 되는 구간이 없도록 설계하여 전 부하전류 범위에서 높은 효율을 얻을 수 있도록 하였다.

II. Gate Driver 회로

2.1 고정된 Dead-Time을 갖는 Non-overlapping Gate Driver

그림 1은 DC-DC 변환기에서 일반적으로 사용되는 non-overlapping gate driver의 구조이다. [8-10]

두 개의 입력 단자 IN1, IN2에 위상이 같은 클럭(clock)이 입력되면, cross feedback 회로에 의해 두 전력 스위치 트랜지스터 M_P 와 M_N 은 동시에 'on'이 되지 않는다. 즉, 한 쪽 스위치가 'off'되어야 다른 쪽 스위치가 'on'이 되도록 구성되어 있다. 그러나 이 회로를 사용하는 경우에는 두 전력 스위치가 동시에 'off' 되는 시간인 dead-time이 고정된다. 따라서 DC-DC Boost 변환기에서는 non-overlapping gate driver에서 결정된 고정된 dead-time으로 인해 다음과 같은 두 가지 Loss가 발생할 수 있다.

첫 번째는 그림 2에서와 같이 dead-time(T_D)이 최

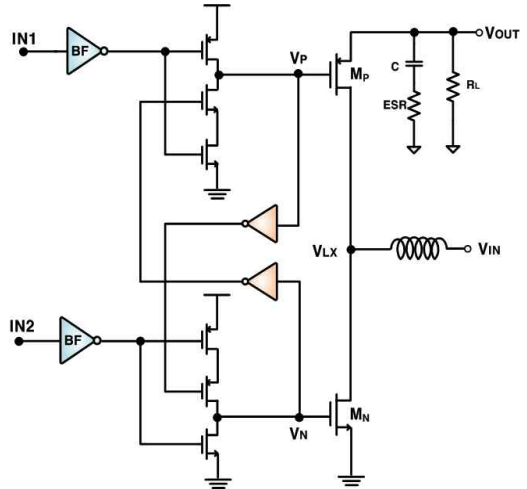


Fig. 1 Conventional non-overlapping gate driver circuit
그림 1. 기존의 non-overlapping gate driver 회로

적의 dead-time(T_{D_OPT})보다 클 때 발생하는 Body-Diode Conduction Loss이다. 여기서 T_{D_OPT} 는 다음과 같다.

$$T_{D_OPT} = \frac{V_{OUT} \cdot C_{PAR}}{I_{L_PEAK}} \quad (1)$$

M_N 이 먼저 off되고 바로 M_P 가 on이 되어야 하지만 dead-time(T_D)이 T_{D_OPT} 보다 큰 경우에는, 그림 2에서와 같이 V_{LX} 는 계속 증가하여 M_P 에 있는 기생

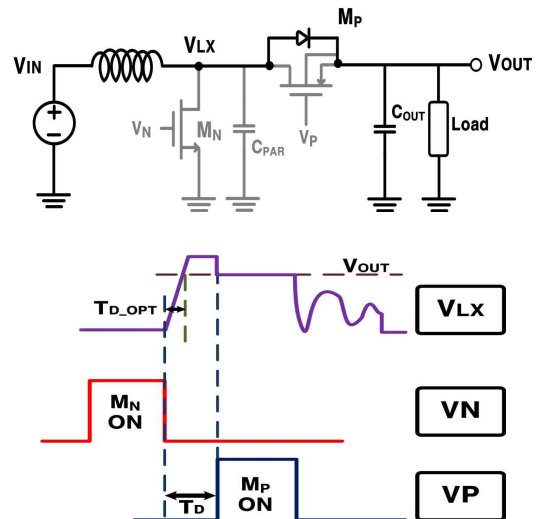


Fig. 2 Body-Diode Conduction Loss
그림 2. Body-Diode Conduction Loss

body diode가 on이 되고 body diode에서 conduction loss가 발생하게 된다. 이 때 V_{LX} 는 출력전압 보다 다이오드 전압만큼 증가한다. M_P 가 on이 되면 전류가 M_P 를 통해 흐르기 때문에 다이오드는 off되고 V_{LX} 는 출력전압 V_{OUT} 과 같아지게 된다.

두 번째는 그림 3에서와 같은 Charge-Sharing Loss로 T_D 가 $T_{D,OPT}$ 보다 작을 때 발생된다. M_N 이 off된 후 인덕터에 흐르던 전류가 C_{PAR} 를 충전하여 V_{LX} 가 증가하게 되는데, T_D 가 $T_{D,OPT}$ 보다 짧은 경우에는 V_{LX} 가 V_{OUT} 에 도달하기 전에 M_P 가 on이 된다. 따라서 M_P 가 on이 되는 순간에 C_{PAR} 와 C_{OUT} 은 charge sharing이 발생하게 되고 이로 인한 loss가 발생한다.

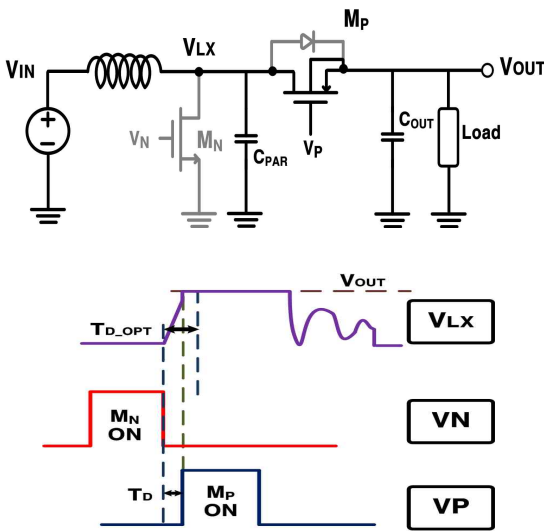


Fig. 3 Charge-Sharing Loss
그림 3. Charge-Sharing Loss

2.2 CCR을 이용한 Dead-Time 적응제어

고정된 dead-time을 갖는 기존의 gate driver에서 발생하는 loss를 최소화하기 위해, 참고문헌 [4]에서 그림 4와 같은 dead-time 적응제어 기능을 갖는 회로를 제안하였다. 여기서 사용된 CCR(CMOS-Control Rectifier) 회로는 그림 5와 같다.

이 논문에서는 V_{LX} 와 V_{OUT} 을 비교하여 M_P 의 상태를 결정함으로써 dead-time 적응제어 기능을 구현하였다. M_N 이 off되고 V_{LX} 가 증가하여 V_{OUT} 보다 커지게 되면 비교기가 동작하여 즉시 M_P 를 on시키게 된다. 따라서 T_D 는 $T_{D,OPT}$ 에 근접하게 된다. 또한 DCM 동작시 인덕터 전류가 0이 되면 V_{LX} 는 감소하게 되고 V_{OUT} 보다 작아지게 되면, 비교기가 상태를 바꾸어서 M_P 를 off시키게 되어 역전류를 방지하게 된다.

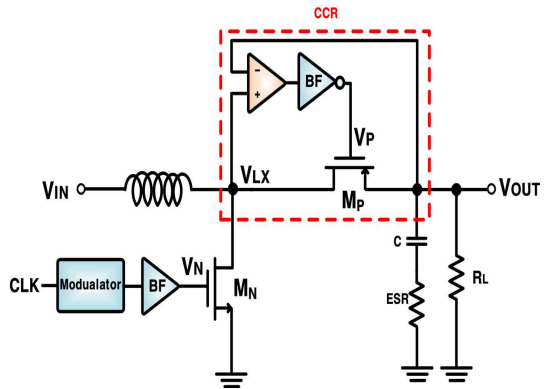


Fig. 4 Adaptive dead-time control using CCR
그림 4. CCR을 이용한 Dead-Time 적응제어

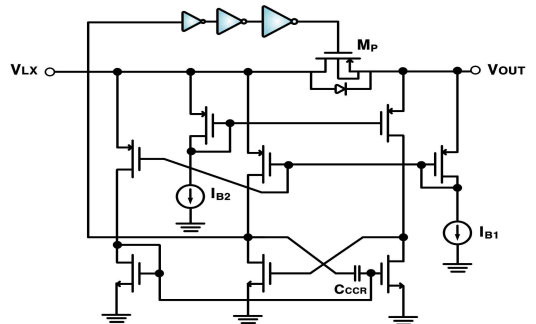


Fig. 5 CMOS-Control Rectifier Circuit
그림 5. CMOS-Control Rectifier 회로

그러나 그림 4의 회로를 사용한 DC-DC Boost 변환기를 CCM에서 동작시킬 경우, 두 개의 스위치 M_N 과 M_P 가 동시에 on이 되는 overlapping 구간이 발생하게 되어 시스템의 효율이 감소하는 문제점이 발생한다.

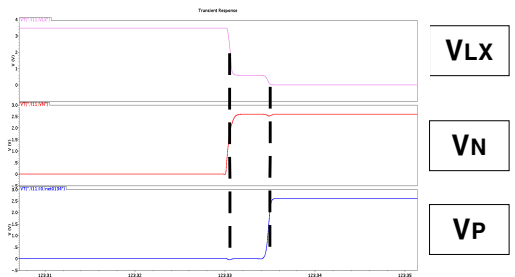


Fig. 6 Occurrence of an overlapping time in CCM
그림 6. CCM 동작시 overlapping 구간 발생

그림 6은 그림 4의 회로를 모의실험한 결과이다. NMOS 스위치의 게이트 신호인 V_N 이 'high'가 되면, M_N 은 on이 되고 V_{LX} 는 감소하게 된다. 전압 V_{LX} 가 감소하여 출력전압 V_{OUT} 보다 작아지면 비교기의 상태가 바뀌어서 PMOS 스위치 M_P 가 비로소 off된다. 따라서 M_N 이 on이 되고 M_P 가 off될 때까지 약 4.5ns의 overlapping 구간이 발생한다. 이처럼 두 개의 전력 스위치가 동시에 on이 되는 overlapping 구간이 발생하게 되면, DC-DC Boost 변환기의 효율은 감소하게 된다.

2.3 제안된 Dead-Time 적응제어

본 논문에서 제안하는 dead-time 적응제어 기능을 갖는 ADTC(Adaptive Dead-Time Control) gate driver 회로를 그림 7에 나타내었다. 제안된 회로는 dead-time 적응제어 기능을 갖기 때문에 고정된 dead-time 방식에서 발생하는 body-diode conduction loss와 charge-sharing loss를 최소화할 수 있으며, CCM에서 동작하는 경우에도 전력 스위치들이 동시에 on이 되는 구간이 발생하지 않도록 설계하여 시스템의 효율을 향상시켰다.

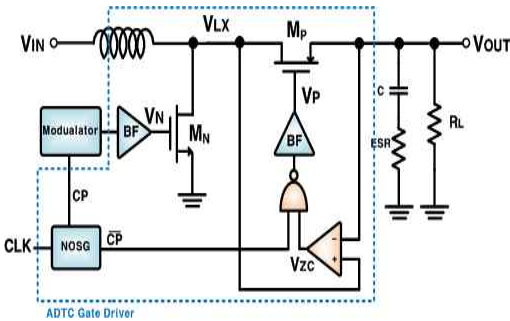


Fig. 7 Proposed ADTC(Adaptive Dead-Time Control) gate driver

그림 7. 제안된 dead-time 적응제어 기능을 갖는 gate driver

그림 4의 기존 방식에서는 M_N 만 클럭(CLK)에 의해서 동작하고 M_P 는 CCR에 의한 적응제어로 동작하기 때문에 M_N 이 on 될 때 overlapping 구간이 발생하였다. 따라서 본 논문에서는 그림 8에서와 같이 간단한 Non-Overlapping Signal Generator(NOSG)를 사용하여 클럭으로부터 겹치지 않는 신호인 CP와 \overline{CP} 를 생성하여 사용한다.

CP는 NMOS 스위치를 구동하는데 사용되고, \overline{CP} 는 PMOS 스위치의 dead-time 적응제어 회로에 사용된다. 따라서 제안된 회로는 DCM 동작 시에는 기존 방

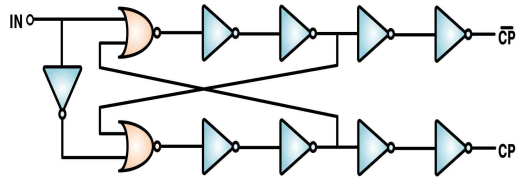


Fig. 8 Non-Overlapping Signal Generator

그림 8. Non-Overlapping 신호 발생기

식과 같은 dead-time 적응제어 기능과 역 전류 차단 기능을 가지며, CCM에서 동작하는 경우에는 그림 9의 모의실험 결과에서 보듯이 기존방식에서 발생하던 overlapping 구간이 발생하지 않게 된다. 모의실험 결과 제안된 회로는 NMOS 스위치가 on이 되기 전에 PMOS 스위치가 먼저 off되며, 약 9.4ns정도의 non-overlapping 구간이 발생한다.

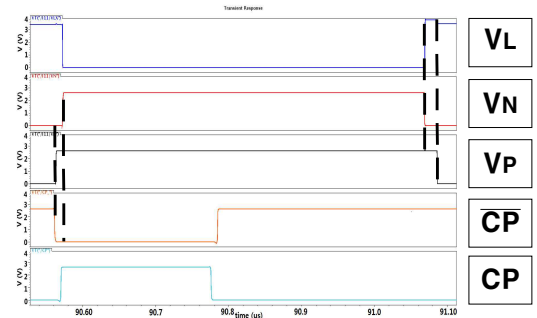


Fig. 9 Simulation results of the proposed adaptive dead-time control circuit

그림 9. 제안된 dead-time 적응제어 회로의 모의실험 결과

III. DC-DC 부스트 변환기 설계

그림 10은 본 논문에서 제안된 dead-time 적응제어 기능을 갖는 PWM DC-DC 부스트 변환기의 전체 블록 다이어그램이다. 설계된 회로는 500kHz의 클럭과 ramp 신호를 생성하는 Clock and Ramp Generator, 인덕터에 흐르는 전류를 감지하는 Current Sensing Circuit, 감지된 전류와 ramp 신호를 더해주는 Slope Compensator, 출력의 feedback 전압과 reference 전압차를 증폭하는 Error Amplifier, Error Amplifier의 출력과 Slope Compensator의 출력을 비교하는 Modulator, 제안된 ADTC Gate Driver 등으로 구성된다.

설계된 회로의 PWM 동작 원리는 다음과 같다. 먼저 Clock Generator에서 발생된 클럭에 의해 스위칭

Start 회로는 shut-down된다.

IV. 모의실험 결과

설계된 부스트 변환기는 0.35um CMOS 공정변수를 사용하여 모의실험을 하였으며 모의실험 결과를 그림

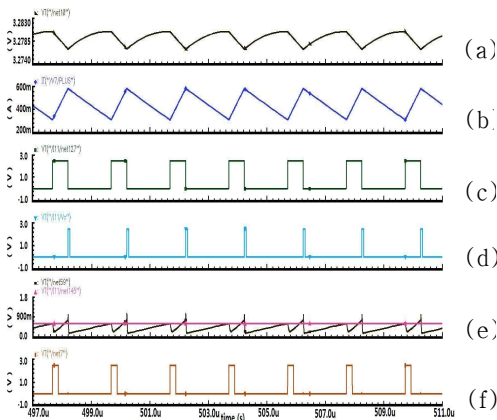


Fig. 13 Simulation results (Iout=200mA)
 (a) Output voltage, Vout (b) Inductor current, IL
 (c) VLN (d) VMOD (e) Vsum & Vc (f) CLK
 그림 13. 전체 모의실험 결과 (Iout=200mA)
 (a) 출력전압, Vout (b) 인덕터 전류, IL
 (c) VLN (d) VMOD (e) Vsum & Vc (f) CLK

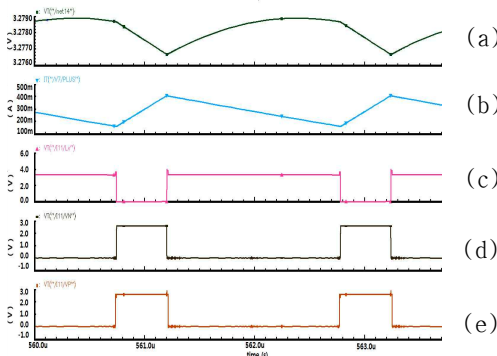


Fig. 14 CCM simulation results
 (a) Output voltage, Vout (b) Inductor current, IL
 (c) VLN (d) VN (e) VP
 그림 14. CCM 모의실험 결과
 (a) 출력전압, Vout (b) 인덕터 전류, IL
 (c) VLN (d) VN (e) VP

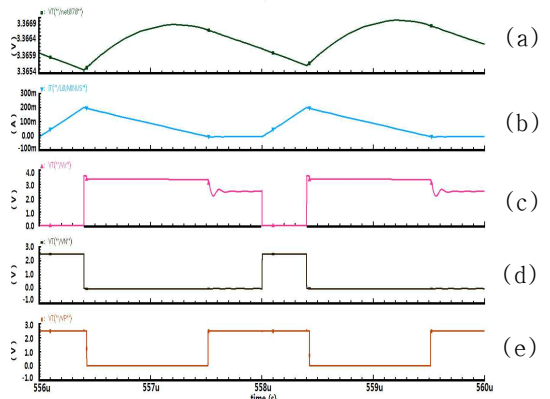


Fig. 15 DCM simulation results (Iout=80mA)
 (a) Output voltage, Vout (b) Inductor current, IL
 (c) VLN (d) VN (e) VP
 그림 15. DCM 모의실험 결과 (Iout=80mA)
 (a) 출력전압, Vout (b) 인덕터 전류, IL
 (c) VLN (d) VN (e) VP

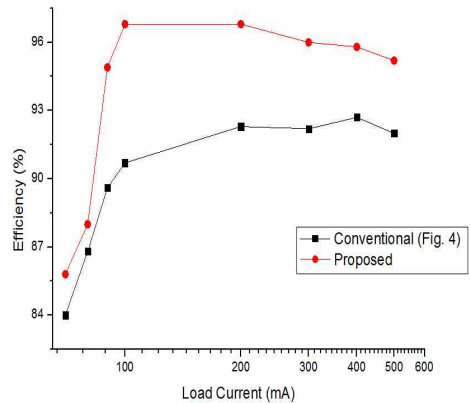


Fig. 16 Efficiency
 그림 16. 효율

13~15에 보였다.

그림 13은 설계된 회로가 CCM에서 동작할 때의 모의실험 결과로 입력 전압은 2.5V이고, 부하 전류는 200mA이다. 스위칭 주파수가 500kHz일 때, 출력전압은 약 4mV의 리플전압을 가지며 3.3V에서 레귤레이션되는 것을 확인 할 수 있다.

그림 14는 설계된 회로가 CCM에서 동작할 때 확대된 파형이다. CCM에서는 전력 트랜지스터 MN과 MP

Table 1. Performance comparison of the DC-DC boost converters

표 1. DC-DC 부스트 변환기의 성능 비교

	[1]	[2]	[3]	[4]	[5]	This Work
Feedback mode	Current	Current	Current	Current	Current	Current
Low-side switch	PMOS	PMOS	DIODE	PMOS	PMOS	PMOS
Operation mode	PWM	PWM	PWM	PWM	PFM	PWM
Input voltage(V)	1~3.6	0.8~2.4	2.7~5.5	0.9~1.2	0.15~0.9	2.3~
Output voltage(V)	1.5~	1.8~3.3	6~13	2.5	1.2	~3.3
Switching frequency(kHz)	100	500	1000	667	15~700	500
Max. efficiency(%)	95.5	90.7	93.4	87	83	97.3
Load current range(mA)	10~150	100~500	1~200	20~100	0.1~1	70~500
Technology(μm)	0.6	0.18	0.35	0.35	0.35	0.35
Year	2005	2005	2008	2008	2008	2012

가 non-overlapping 되어 정상적으로 동작하는 것을 V_N 과 V_P 파형에서 확인할 수 있다.

그림 15는 설계된 회로가 DCM ($I_{out}=80\text{mA}$)에서 동작할 때 확대된 결과 파형이다. DCM에서 동작할 때 역전류가 발생하면 M_P 가 강제로 off되는 것을 확인할 수 있다.

그림 4의 CCR을 이용한 Dead-Time 적응제어 기능을 갖는 기존 변환기와 본 논문에서 제안된 변환기의 효율을 그림 16에 비교하였다. 부하 전류가 비교적 작은 DCM에서는 효율 차이가 작은 편이지만, 부하 전류가 큰 CCM에서는 제안된 회로의 효율이 높은 것을 확인할 수 있다. 설계된 회로는 부하 전류가 90mA 이상에서는 90% 이상의 효율을 가지며, 부하 전류가 135mA일 때 최대 97.3%의 효율 특성을 보인다. 표 1에 기존 연구결과와 성능을 비교하였다.

V. 결론

본 논문에서는 dead-time 적응제어 기능을 갖는 PWM DC-DC 부스트 변환기를 설계하였다. DCM 뿐만 아니라 CCM 에서도 전력 트랜지스터가 동시에 'on'이 되는 구간이 없도록 설계하여 전 부하전류 범위에서 높은 효율을 얻을 수 있도록 하였다. CMOS 0.35 μm 공정을 이용하여 모의실험한 결과 설계된 회로는 500kHz의 스위칭 주파수로 동작시 2.5V의 입력 전압으로부터 약 4mV의 리플 특성을 갖는 안정된 3.3V의 전압을 출력한다. 설계된 회로는 부하 전류가 90mA 이상에서는 90% 이상의 효율을 갖으며, 부하 전류가 135mA일 때 최대 97.3%의 효율 특성을 보인다. 본 논문에서 제안된 dead-time 적응제어 기법은

부스트가 필요한 다양한 응용분야의 DC-DC 변환기에 적용될 수 있다.

참고문헌

- [1] C. Y. Leung, P. K. T. Mok, and K. N. Leung, "A 1-V Integrated Current-Mode Boost Converter in Standard 3.3/5-V CMOS Technologies," *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 2265-2274, Nov. 2005.
- [2] K. S. Jung, J. U. Lim, J. M. Park, H. K. Yang, S. H. Cha, and J. H. Choi, "A High Efficiency CMOS DC-DC Boost Converter with Current Sensing Feedback," *48th Midwest Symposium on Circuits and Systems*, vol. 2, pp. 1661-1664, Aug. 2005.
- [3] F. Lu, X. Liu, S. Wang, and Y. Chang, "A PWM DC-DC boost converter with peak current-mode control for TFT LCD power supply," *9th International Conference on Solid-State and Integrated Circuit Technology*, pp. 1945-1948, Oct. 2008.
- [4] T. Y. Man, P.K.T. Mok, and M. J. Chan, "A 0.9V Input Discontinuous Conduction Mode Boost Converter With CMOS Control Rectifier," *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 2036-2046, Sept. 2008.
- [5] N. M. Sze, W. H. Ki, and C. Y. Tsui, "Threshold Voltage Start-up Boost Converter

for Sub-mA Applications,” *4th IEEE International Symposium on Electronic Design, Test and Applications*, pp. 338-341, Jan. 2008.

[6] H. Deng, X. Duan, N. Sun, Y. Ma, Alex Q. Huang, and Dan Chen, “Monolithically Integrated Boost Converter Based on 0.5- μ m CMOS Process,” *IEEE Transactions on Power Electronics*, vol. 20, pp. 628-638, Mar. 2005.

[7] C. F. Lee and P. K. T. Mok, “A monolithic current-mode CMOS DC-DC converter with on-chip current-sensing technique,” *IEEE J. of Solid-State Circuits*, vol. 39, pp. 3-14, Jan. 2004.

[8] H. M. Chen, R. C. Chang, J. L. Wu, “A Low-Voltage Integrated Current-Mode Boost Converter for Portable Power Supply”, *14th IEEE International Conference on Electronics, Circuits and Systems*, pp. 1316-1319, Dec. 2007

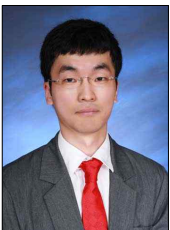
[9] C. Yoo, “A CMOS Buffer Without Short-Circuit Power Consumption”, *IEEE Trans. on Circuit and Systems II*, vol. 47, pp. 935-937, Sept. 2000.

[10] 배효관, 유범선, 조태원, “자기조정 이중구동 경로를 가진 새로운 저전력 CMOS 버퍼”, *전자공학회논문지*, 제39권 SC편 제2호, pp.56-61, Mar. 2002.

[11] 유성목, 박준호, 박종태, 유종근, “3중모드 DC-DC 벡 변환기 설계”, *전기전자학회 논문지*, 제15권, 제 2호, pp.22-30, June. 2011.

저 자 소 개

황 인 호 (학생회원)



2011년 2월 : 인천대학교 전자공학과 졸업 (공학사)
 2011년 3월~현재 : 인천대학교 대학원 전자공학과 석사과정
 <주관심분야> DC-DC 변환기, 에너지 하베스팅 회로 설계

윤 은 정 (학생회원)



2011년 2월 : 인천대학교 전자공학과 졸업 (공학사)
 2011년 3월 ~ 현재 : 인천대학교 대학원 전자공학과 석사과정
 <주관심분야> DC-DC 변환기, 에너지 하베스팅 회로 설계

박 종 태 (정회원)



1981년 2월 : 경북대학교 전자공학과 졸업 (공학사)
 1983년 8월 : 연세대학교 대학원 전자공학과 (공학석사)
 1987년 2월 : 연세대학교 대학원 전자공학과 (공학박사)
 1983년 8월 ~ 1985년 8월 : 금성반도체(주) 연구소 연구원
 1991년 1월 ~ 1991년 12월 : MIT Post Doc.
 2000년 7월 ~ 2001년 8월 : UC Davis 방문교수
 1987년 3월 ~ 현재 : 인천대학교 전자공학과 교수
 <주관심분야> CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS

유 종 근 (정회원)



1985년 2월 : 연세대학교 전자공학과 졸업 (공학사)
 1987년 2월 : 연세대학교 대학원 전자공학과 (공학석사)
 1993년 2월 : Iowa State University 전기 및 컴퓨터공학과 Ph.D.
 2009년 8월 ~ 2010년 7월 : UC Davis 방문교수
 1994년 3월 ~ 현재 : 인천대학교 전자공학과 교수
 <주관심분야> CMOS Analog/Mixed-mode IC 설계, RFIC 설계, Energy harvesting system 설계