

나노 MOSFET 공정에서의 초저전압 NCL 회로 설계[†]

(Design of Ultra Low-Voltage NCL Circuits in Nanoscale MOSFET Technology)

홍우현*, 김경기**

(Woo Hun Hong and Kyung Ki Kim)

요약 초저전력 설계나 에너지 수확 활용은 동적 전력과 정적 전력 사이의 균형을 이루는 점에 근접하는 문턱전압이하의 매우 낮은 전압에서 작동하는 디지털 시스템을 요구한다. 이런 동작 모드에서 일반적인 논리회로의 지연 변화는 매우 크게 된다. 따라서, 본 논문에서 MOSFET 나노 공정기술에서 전력소비를 줄이면서 여러 가지 공정 변이의 영향을 받지 않는 비동기 방식의 NCL (Null conventional logic)을 사용한 저전력 논리회로 설계 방법을 제안하고자 한다. 제안된 NCL 회로는 45nm의 공정기술에서 0.4V의 공급전압을 사용하였고, 각 NCL회로는 속도와 전력에 의해서 일반적인 동기식 회로와 비교되었다.

핵심주제어 : 비동기식 회로, NCL, Null convention logic, 나노 공정 MOSFET

Abstract Ultra low-power design and energy harvesting applications require digital systems to operate under extremely low voltages approaching the point of balance between dynamic and static power consumption which is attained in the sub-threshold operation mode. Delay variations are extremely large in this mode. Therefore, in this paper, a new low-power logic design methodology using asynchronous NCL circuits is proposed to reduce power consumption and not to be affected by various technology variations in nanoscale MOSFET technology. The proposed NCL is evaluated using various benchmark circuits at 0.4V supply voltage, which are designed using 45nm MOSFET predictive technology model. The simulation results are compared to those of conventional synchronous logic circuits in terms of power consumption and speed..

Key Words : Asynchronous circuit, NCL, Null conventijon logic, Nanoscale MOSFET

1. 서론

비동기식 회로 설계(asynchronous circuit design)는

동기식 회로 설계(synchronous circuit design)에서 사용되는 전역 클럭(global clock)이 없이 주변 모듈 사이에 핸드셰이킹(handshaking) 프로토콜에 의해 데이터 신호를 동기화하고, 전송하는 회로 설계 방식이다. 비동기식 회로 설계 방식은 1940년대에 개발된 기술이지만 설계 자체가 어렵고 면적 증가 등의 단점으로 제한된 분야에서 이용되었다.

[†] 이 논문은 대구대학교 연구장학기금(연구조교) 지원에 의한 것임.

* 대구대학교 전자공학과, 제1저자

** 대구대학교 전자전기공학부, 교신저자

그러나, 최근에 나노 공정 기술의 발전과 더불어서 클럭 속도가 증가함에 따라서 클럭 스큐(skew)가 중요한 이슈가 되고 있다. 특히, 고성능의 논리회로에서 만족할 수 있는 스큐를 가지기 위해서는 큰 사이즈의 클럭 드라이버(driver)가 반드시 필요하게 되고, 이런 클럭 드라이버는 전력을 증가시키는 원인이 된다. 뿐만 아니라, 나노미터급 공정에서는 공정, 전압, 온도 변화에 의한 속도 및 전력의 변화가 매우 커서 회로의 오류가 발생할 수 있는 확률이 매우 높아진다. 동기회로에서의 발생하는 이런 문제들로 인해서 비동기 설계에 다시 관심이 집중되고 있다 [1][2].

비동기 회로는 첫째, 집적회로를 구현하기 위한 공정 기술의 발달로 트랜지스터의 크기가 작아지면서 작은 면적에 대량의 트랜지스터를 집적할 수 있게 되었다. 이것으로 기존의 비동기 회로 설계 면적 증가로 인한 문제들을 해결할 수 있다. 둘째, 최악의 경우(worst-case) 형태의 동기식 회로 설계 방식에 비해서 비동기 회로 설계 방식은 모듈 사이의 다양한 종료시점으로 인한 평균의 경우(average-case) 형태의 동작을 수행한다. 이것은 이론적으로 높은 성능의 특성을 가지며, 실제로 고속의 파이프라인 회로에 적용되고 있다[3]-[5]. 셋째, 비동기식 회로 설계 시에 전역 클럭이 없으므로 이것으로 인한 문제점들, 예를 들면, 클럭 스큐 문제, 다중 클럭 도메인 설계 문제 등에서 이점을 갖는다[6][7]. 넷째, 모바일 기기의 증가로 저전력 소모에 대한 요구가 증대되었다. 특히 전력 소모가 문제가 되는 동기식 설계 방법[8]에 비해 비동기 회로 설계는 회로의 동작이 필요할 때만 구동되므로 낮은 전력을 소비한다. 이러한 이유 때문에 저전력 소모를 목적으로 특정 애플리케이션에 적용될 수 있다 [9]-[11].

비동기 회로 설계는 지연 모델에 따라서 구분할 수 있는데 회로의 소자, 도선의 지연유무에 따라 bounded delay(BD) 모델과 delay insensitive(DI) 모델이 가장 많이 사용된다[12]. 표1은 지연 모델을 보여주고 있다 [13]. BD 모델은 소자, 도선 모두 유한한 지연을 가정하고 있다. 동기식 회로 특성과 유사하게 입력이 인가된 후 회로가 안정화되고 출력이 발생할 때까지 다른 입력이 발생할 수 없다는 것을 기본으로 한다. 이는 실제로 이 기반 모델의 비동기 회로를 설계에서는 확장된 타이밍 분석이 필요하게 된다. 반면, DI 모델은 소자, 도선 모두 알려지지 않은 지연을 가정하

로 어떠한 시간 가정도 필요하지 않다. 따라서 타이밍 분석이 요구되지 않고, 최악의 경우의 성능이 아니라 평균적인 경우의 성능을 가져온다. 이런 점들에 의해서 DI 모델이 최근 활발히 연구되어 지고 있으며, 그 중에서도 null convention logic(NCL)에 관한 연구들이 많이 되어지고 있다. NCL은 타이밍 제한만을 용이하게 하는 다른 DI 모델들과는 다르게 타이밍과 전력을 모두 고려한 최적화된 설계를 할 수 있으며, 27개의 기본적인 셀만으로 비동기 회로를 구현할 수 있는 장점을 가지고 있다.

<표 1> 소자, 도선에 따른 지연 모델

지연 모델	소자	도선
Bounded Delay(BD)	bounded	bounded
Delay Insensitive(DI)	unbounded	unbounded

본 논문에서는 초저전압에서의 비동기 NCL 회로 설계에 대한 전반적인 개념을 소개하고, 설계된 비동기 NCL 회로와 동기회로의 동작을 검토하고자 한다 [9]-[13].

본 논문의 구성은 다음과 같다. 본문에서 기본적인 NCL 회로에 대한 설명과 회로 설계 방법을 보여준다. 설계된 NCL 회로와 동기회로의 동작 비교는 시뮬레이션 결과에서 보여준다. 마지막으로 회로의 전력 소모 측정과 동작 속도를 분석하면서 결론을 맺는다.

2. NULLConvection Logic (NCL)

2.1 기본 개념

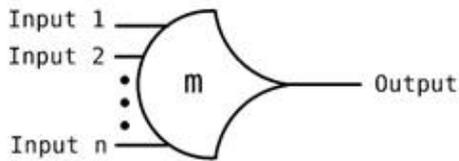
Null convention logic(이하 NCL) 은 비동기 회로 설계 방법 중 하나이다. NCL 회로는 self-timed 논리이므로 최악의 경우의 경로지연 분석과 제어신호의 지연을 맞추는 것을 요구하지 않는다. DATA와 DATA 사이에 NULL 신호가 포함되어 동작하는데, 이 때문에 null convention logic이라 불리게 명명되었다. NCL 회로의 장점은 전역 클럭이 없고, 노이즈에 강하며, 낮은 전자파 간섭을 가지고, 저전력을 가질 수 있는 장점이 있다.

NCL 회로의 신호(signal)는 이중 회선 인코딩(dual rail encoding) 방법을 이용한 Dual-rail-logic을 사용

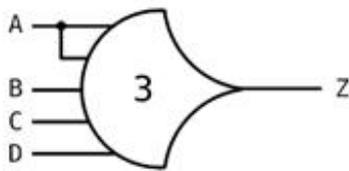
한다. Dual-rail-logic 신호 D는 two wire (D^0 , D^1)로 구성되어 있다. 신호의 상태는 {DATA0, DATA1, NULL}로 표시한다. 여기서 DATA0 상태는 ($D^0=1$, $D^1=0$), DATA1 상태는 ($D^0=0$, $D^1=1$), NULL 상태는 ($D^0=0$, $D^1=0$)을 나타낸다. NULL 상태는 D의 값이 아직 이용 가능하지 않은 상태임을 표현한다. Dual-rail-logic은 상호 배타적인 특성을 가지고 있으므로 동시에 ($D^0=1$, $D^1=1$)을 나타낼 수 없다. 따라서, 두 개의 와이어(wire)가 ($D^0=1$, $D^1=1$)일 때의 상태는 illegal state로 나타낸다. 표 2는 Dual-rail-logic의 상태를 정리한 것이다.

<표 2> 듀얼 레일(Dual-rail) 인코딩

	DATA0	DATA1	NULL	Illegal
Rail ⁰	1	0	0	1
Rail ¹	0	1	0	1



<그림 1> THmm threshold gate



<그림 2> TH34w2 threshold gate

NCL 회로의 설계는 기본적으로 설계된 27개의 NCL 게이트를 바탕으로 설계한다. 이 27개의 NCL 게이트는 자주 사용되는 boolean function을 기준으로 설계되었다. 모든 NCL 게이트는 히스테리시스(hysteresis) 특성에 따른 상태유지(state-holding) 상태를 가진다. NCL 게이트의 심볼 표현은 그림 1과 같이 나타내고 THmm 게이트라고 부른다. 여기서, n은 입력의 개수, m은 문턱(threshold) 값을 말한다. 문턱은 입력 n이 있을 때 최소 m개의 입력이 변경되기 전까지 출력에 이전의 상태를 유지하도록 한다. 다른 표

현으로 무게 가중치 문턱 (weighted threshold) 게이트로 불린다. 심볼 표현은 그림 2과 같이 나타내고, 여기서 w는 가중치 문턱 게이트를 나타낸다. 그림 2의 TH34w2 게이트는 입력 n=4이고, threshold=3, weighted threshold=2 이다. 게이트에 출력을 나타내려면 입력 B, C, D가 가해지거나, 입력 A가 가해지게 되어야 한다. 그 외에는 이전의 상태를 유지하는 히스테리시스 상태 유지 특성이 나타난다. 표 3은 27개의 NCL 게이트들에 대한 boolean 함수를 정리한 것이다.

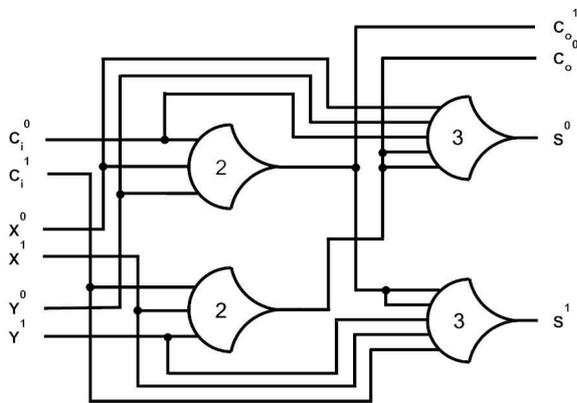
<표 3> 기본 27개 NCL 게이트

NCL Gate	Boolean Function
TH12	$A + B$
TH22	AB
TH13	$A + B + C$
TH23	$AB + AC + BC$
TH33	ABC
TH23w2	$A + BC$
TH33w2	$AB + AC$
TH14	$A + B + C + D$
TH24	$AB + AC + AD + BC + BD + CD$
TH34	$ABC + ABD + ACD + BCD$
TH44	$ABCD$
TH24w2	$A + BC + BD + CD$
TH34w2	$AB + AC + AD + BCD$
TH44w2	$ABC + ABD + ACD$
TH34w3	$A + BCD$
TH44w3	$AB + AC + AD$
TH24w22	$A + B + CD$
TH34w22	$AB + AC + AD + BC + BD$
TH44w22	$AB + ACD + BCD$
TH54w22	$ABC + ABD$
TH34w32	$A + BC + BD$
TH54w32	$AB + ACD$
TH44w322	$AB + AC + AD + BC$
TH54w322	$AB + AC + BCD$
THxor0	$AB + CD$
THand0	$AB + BC + AD$
TH24comp	$AC + BC + AD + BD$

NCL 조합회로의 설계 과정은 기존의 k-맵을 통한 boolean 회로 설계와 유사하다[11]. 다만, 조합회로의 논리식 표현에서 일반적으로 True(1)만 사용되는데, NCL 회로에서는 True(1), False (0) 모두 필요하다. True(1)은 DATA1로, False (0)은 DATA0으로 각각 표현된다.

2.2 NCL Full Adder 설계

전가산기의 진리표를 이용하여 NCL 회로를 설계하는 것을 보이면 다음과 같다. 먼저, X와 Y는 더하고자 하는 입력이고, C_i 는 캐리 입력이다. S와 C_o 는 각각 합과 캐리 출력이다. 출력 C_o 의 논리식은 $C_o^0 = X^0 Y^0 + C_i^0 X^0 + C_i^0 Y^0$ 와 $C_o^1 = X^1 Y^1 + C_i^1 X^1 + C_i^1 Y^1$ 이다. C_o^0 와 C_o^1 의 논리식의 형식을 표 3의 NCL 게이트와 비교해보면 TH23 게이트와 같은 형식임을 알 수 있다. 따라서, 전가산기의 캐리 출력은 TH23 게이트로 표현된다. 마찬가지로 출력 S의 논리식을 나타내기 위해 k-map을 이용하면 그 논리식은 $S^0 = C_o^1 X^0 + C_o^1 Y^0 + C_o^1 C_i^0 + X^0 Y^0 C_i^0$ 와 $S^1 = C_o^0 X^1 + C_o^0 Y^1 + C_o^0 C_i^1 + X^1 Y^1 C_i^1$ 이다. S^0 와 S^1 의 형식은 표 3에서 TH34w2 게이트로 표현됨을 알 수 있다. 따라서 NCL 게이트를 이용한 full adder 회로는 그림 3과 같이 설계된다.



<그림 3> NCL 전가산기

<표 4> NCL 전가산기 시뮬레이션 결과

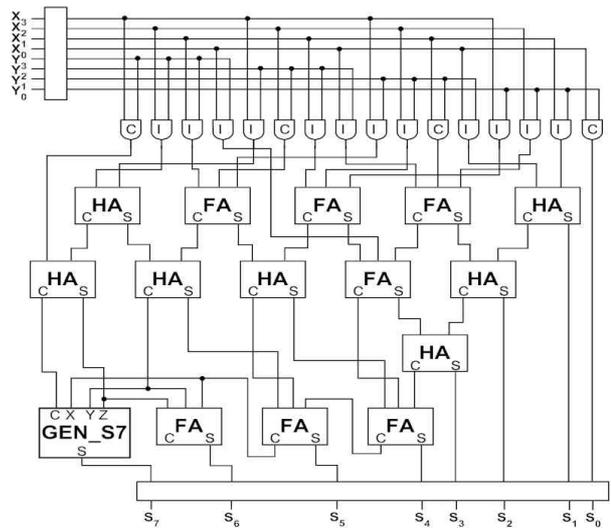
X	Y	C _i	C _o	S
DATA0	DATA0	DATA0	DATA0	DATA0
DATA0	DATA0	DATA1	DATA1	DATA0
DATA0	DATA1	DATA0	DATA1	DATA0
DATA0	DATA1	DATA1	DATA0	DATA1
DATA1	DATA0	DATA0	DATA1	DATA0
DATA1	DATA0	DATA1	DATA0	DATA1
DATA1	DATA1	DATA0	DATA0	DATA1
DATA1	DATA1	DATA1	DATA1	DATA1

NCL 전가산기는 입출력 신호는 dual-rail 엔코딩으로 각각 표현된다. NCL 회로의 초저전압에서의 동작

을 확인하기 위해 기존의 동기회로를 NCL 회로로 재설계하고 시뮬레이션을 통해 NCL 회로의 동작을 검증한다. NCL 전가산기 회로는 VHDL code를 이용하여 설계하고, 시뮬레이터로 Xilinx ISE를 사용하였다. 표 4의 결과는 일반적인 조합회로 전가산기의 진리표와 유사함을 알 수 있다.

2.3 NCL Multiplier 설계

본 논문에서는 NCL 4x4 곱셈기 설계에 대해서 설명하고자 한다. 신호의 입력은 각각 4-bit의 입력 벡터 X, Y를 가지고, 출력은 8-bit의 벡터 S로 나타난다. 마찬가지로 각각의 신호들은 dual-rail 엔코딩으로 표현된다. 내부 블록은 그림 4와 같이 I(Incomplete AND), C(Complete AND), HA(Half-adder), FA(Full-adder), GEN_S7로 구성되어 있다. 입력벡터 X(3:0), Y(3:0)에 따라서 NULL값과 DATA가 출력 S(7:0)에 나타난다. NCL 곱셈기 회로도 VHDL code를 이용하여 설계하고, 시뮬레이터로 Xilinx ISE를 사용하였다. 이것을 정리하면 표 5과 같다. 마찬가지로 일반적인 조합회로 곱셈기와 유사하게 동작함을 알 수 있다.



<그림 4> NCL 4x4 곱셈기

<표 5> NCL 4x4 곱셈기 시뮬레이션 결과

X(3:0)	Y(3:0)	S(7:0)
DATA1,DATA1, DATA1,DATA1	DATA0,DATA0, DATA0,DATA0	DATA0,DATA0,DATA0, DATA0, DATA0,DATA0,DATA0, DATA0
DATA1,DATA1, DATA1,DATA1	DATA0,DATA0, DATA0,DATA1	DATA0,DATA0,DATA0, DATA0 DATA1,DATA1,DATA1, DATA1
DATA1,DATA1, DATA1,DATA1	DATA0,DATA0, DATA1,DATA1	DATA0,DATA0,DATA1, DATA0 DATA1,DATA1,DATA0, DATA1
DATA1,DATA1, DATA1,DATA1	DATA0,DATA1, DATA1,DATA1	DATA0,DATA1,DATA1, DATA0 DATA1,DATA0,DATA0, DATA1
DATA1,DATA1, DATA1,DATA1	DATA1,DATA1, DATA1,DATA1	DATA1,DATA1,DATA1, DATA0 DATA0,DATA0,DATA0, DATA1

3. 실험결과

측정에 사용된 회로는 45nm CMOS 기술을 사용해서 설계 되었다. 실험에서 VDD는 1.1V와 0.4V로 나누어 실험하였다. 설계에 사용된 NMOS의 문턱전압 (V_{th0})은 0.471V이고, PMOS의 문턱전압(V_{th0})은 -0.423V이다. 1.1V에서의 실험결과는 표 6과 표 7을 통해 알 수 있다. 설계된 회로의 트랜지스터의 개수를 보면 동기식 설계보다 NCL 회로 설계에 더 많은 트랜지스터가 요구되는데 이것은 회로를 설계하는데 있어서 더 많은 면적이 필요함을 의미한다. 이것은 NCL 게이트에 문턱 행동과 히스테리시스 행동 특성을 구현하기 위해 추가적인 회로가 삽입되었기 때문이다. 소모 전력에서도 NCL 회로가 많은 전력을 소모하는 것으로 나오고 있다. 하지만, 동기 회로의 클럭에서 소모되는 전력을 고려치 않았고, 비동기 회로에서의 최악의 경우를 고려했으므로 실제회로에서는 NCL회로가 동기회로보다는 전력 소모가 줄어들 수 있는 여지가 있다. 예로써, 클럭을 사용하는 D F/F과 Up_Counter에서는 NCL 회로가 동기회로보다 전력 소모가 작은 것으로 측정되었다. 성능에서는 동기회로가 좀 더 빠르게 나타났지만, 타이밍 요구조건이 없는 NCL에서는 심각한 문제가 되지는 않을 것이다.

0.4V의 초저전압에서는 표 8에서와 같이 소모 전력에서도 NCL 회로가 대체로 높은 전력을 소모하는 것으로 나오고 있지만, 역시 클럭이 있는 회로에서는 NCL 회로가 적은 전력소모를 나타낸다. 성능에 있어

<표 6> NCL 회로와 동기 회로의 평균 전력소모 비교 (VDD=1.1V)

	NCL 회로		동기 회로	
	power (W)	transistor count	power (W)	transistor count
NAND	5.9838E-07	18	1.5892E-07	4
NOR	3.4797E-07	18	1.4169E-07	4
AND	3.4157E-07	31	2.0248E-07	6
OR	3.5325E-07	31	2.1525E-07	6
XOR	3.5495E-07	36	3.7403E-07	16
Half-adder	6.0433E-07	46	7.0585E-07	22
Full-adder	6.7143E-07	80	4.6952E-07	28
RCA	2.5025E-06	286	1.4875E-06	98
Multiplier	1.3443E-04	1286	9.2397E-06	584
D F/F	9.174E-07	106	2.390E-06	24
Up-Count	8.908E-06	662	1.198E-05	152

<표 7> NCL 회로와 동기 회로의 지연 시간 비교 (VDD=1.1V)

	NCL 회로		동기 회로	
	total delay (sec)	transistor count	total delay (sec)	transistor count
NAND	2.0922E-11	18	1.2156E-11	4
NOR	4.4984E-11	18	1.1694E-11	4
AND	4.5415E-11	31	1.8881E-11	6
OR	5.7791E-11	31	2.0406E-11	6
XOR	8.2111E-11	36	2.3475E-11	16
Half-adder	5.5834E-11	46	2.7944E-11	22
Full-adder	5.5040E-11	80	1.8756E-11	28
RCA	2.6132E-10	286	1.6577E-10	98
Multiplier	5.0346E-10	1286	1.1009E-10	584
D F/F	1.6350E-10	106	2.9230E-11	24
Up-Count	8.1750E-10	662	1.4615E-10	152

서는 표 9에서와 같이 동기회로가 최소 10배 이상 지연 시간이 증가하는 것으로 나타났다. 즉, 문턱전압 이하의 초저전압에서 동기회로는 타이밍 요구조건을 만족하는 것이 매우 어려워지며, 외부 변화에 더욱 민감해 진다는 것을 알 수 있다. 반면, NCL 회로는 타이밍 요구조건이 존재하지 않는 delay-insensitive 모델이므로 느려지는 속도에 영향을 받지 않고 올바른 작동을 할 수 있다.

<표 8> NCL 회로와 동기 회로의 평균 전력소모 비교 (VDD=0.4V)

	NCL 회로		동기회로	
	power (W)	transistor count	power (W)	transistor count
NAND	3.9942E-08	18	2.4710E-09	4
NOR	1.0979E-08	18	2.1656E-09	4
AND	1.6123E-08	31	4.0615E-09	6
OR	1.6150E-08	31	4.0645E-09	6
XOR	1.5008E-08	36	4.9741E-09	16
Half-adder	2.6144E-08	46	8.8920E-09	22
Full-adder	3.8980E-08	80	1.1071E-08	28
RCA	1.5786E-07	286	4.7073E-08	98
Multiplier	3.2377E-07	1286	3.8915E-07	584
D F/F	3.828E-08	106	2.751E-07	24
Up-Count	4.934E-07	662	1.073E-06	152

<표 9> NCL 회로와 동기 회로의 지연 시간 비교 (VDD=0.4V)

	NCL 회로		동기회로	
	total delay (sec)	transistor count	total delay (sec)	transistor count
NAND	9.0140E-10	18	5.7394E-10	4
NOR	2.0374E-09	18	6.3078E-10	4
AND	2.2929E-09	31	8.4866E-10	6
OR	2.7253E-09	31	8.8527E-10	6
XOR	3.2384E-09	36	1.0215E-09	16
Half-adder	2.3718E-09	46	1.6640E-09	22
Full-adder	1.5811E-09	80	1.5202E-09	28
RCA	7.3270E-09	286	1.0634E-09	98
Multiplier	3.5384E-08	1286	3.2543E-09	584
D F/F	6.3019E-09	106	2.0293E-09	24
Up-Count	3.1510E-08	662	1.0147E-08	152

4. 결론

본 논문에서 MOSFET 나노 공정기술에서 전력소비를 줄이면서 여러 가지 공정 변이의 영향을 받지 않는 비동기 방식의 NCL (null conventional logic)을 사용한 저전력 논리회로 설계 방법을 구현하였다. 특히, 문턱전압이하의 매우 낮은 전압에서 45nm의 공정기술에서 설계된 동기 회로와 NCL 회로를 비교 및 분석하였다. 실험 결과 초저전압에서 동기회로는 타이밍 요구조건을 만족하는 것이 매우 어려워지며, 외부 변화에 더욱 민감해 지는 반면, NCL 회로는 타이밍 요구조건이 존재하지 않는 delay-insensitive 모델이므로 느려지는 속도에 영향을 받지 않고 올바른 작동을

할 수 있다. 따라서, 초저전력 설계와 고신뢰도를 요구하는 센서 네트워크와 같은 시스템에서 NCL 방식은 매우 중요한 기술이 될 것이다.

참고 문헌

- [1] Kyung Ki Kim, "Minimal Leakage Pattern Generator," 한국산업정보학회논문지, V. 16, No. 5, pp.1-8, 2011년 12월.
- [2] Kyung Ki Kim, "The Impact of TDDDB Failure on Nanoscale CMOS Digital Circuits," 한국산업정보학회논문지, V. 17, No. 3, pp.27-34, 2012년 6월.
- [3] I. Sutherland and S. Fairbanks, "Gasp; a Minimal FIFO Control," Proc. Int'l Symp. Advanced Research in Asynchronous Circuits and Systems, 2001, pp.46-53.
- [4] M. Singh and S. M. Nowick, "MOUSET- RAP: High-speed Transition- signaling Asynchronous Pipelines," IEEE Trans. on VLSI Systems, Vol.15, No.6, June 2007, pp.684-698.
- [5] S. Schuster and P. Cook, "Low-power Synchronous-to-asynchronous-to-synchronous Interlocked Pipelined CMOS Circuits Operating at 3.3-4.5 GHz," IEEE J. of Solid-State Circuits, Vol.38, No.4, Apr. 2003, pp.622-630.
- [6] Scott Hauck, "Asynchronous Design Methodologies: An Overview", Proceeding of the IEEE, Vol. 86, No. 1, Jan. 1995, pp. 69-93.
- [7] B. Bhaskaran, V. Satagopan, W. Al-Assadi, and S. C. Smith, "Implementation of Design For Test for Asynchronous NCL Designs", The 2005 International Conference on Computer Design, pp. 78-84, June 2005.
- [8] J. Pangjun and S.S. Sapatnekar, "Low- power Clock Distribution Using Multiple Voltages and Reduced Swings," IEEE Trans. on VLSI Systems, Vol.10, No.2, June 2002, pp.309-318.
- [9] J. Kessels and R. Marston, "Designing Asynchronous Standby Circuits for a Low-Power Pager," Proc. of the IEEE, Vol.87, No.2, Feb. 1999, pp.257-267.

- [10] L.S. Nielsen and J. Sparso, "Designing Asynchronous Circuits for Low Power: an IFIR Filter Bank for a Digital Hearing Aid," Proc. of the IEEE, Vol.87, No.2, Feb. 1999, pp.268-281.
- [11] H.Van Gageldonk et al., "An Asynchronous Low-power 80c51 Microcontroller," Proc. International Symposium Advanced Research in Asynchronous Circuits and Systems, 1998, pp. 96-107.
- [12] Roig, Formal Verification and Testing of Asynchronous Circuits, Ph.D. Dissertation, Universitat Politecnica de Catalunya, May 1997.
- [13] J. Sparsø and S. Furber, "Principles of Asynchronous Circuit Design: a System Perspective," Kluwer Academic Publishers, 2001.



홍 우 현 (Woo Hun Hong)

- 2011년 2월 대구대 전자공학부 공학사
- 2011년 3월 ~ 현재 대구대 전자공학과 석사재학
- 관심분야 : SoC 설계, 비동기회로, 저전력 회로설계



김 경 기 (Kyung Ki Kim)

- 정회원
- 1995년 8월 영남대 전자공학과 공학사
- 1997년 8월 영남대 전자공학과 공학석사
- 2008년 1월 (미) Northeastern University 전기전자공학과 공학박사
- 2008년 2월 ~ 2009년 1월 (미) SUN Microsystems 연구원 (Technical Staff)
- 2009년 1월 ~ 2010년 2월 (미) Illinois Institute of Technology 연구원
- 2010년 3월 ~ 현재 대구대학교 정보통신대학 전자전기공학부 조교수
- 관심분야 : SoC 설계, Microprocessor, High performance and low power design methodology, Nanotechnology.

논문접수일 : 2012년 04월 26일
 1차수정완료일 : 2012년 06월 21일
 게재확정일 : 2012년 08월 09일