

3상 모듈형 UPS용 Interleaved PFC의 디지털 제어

A Digital Control of Interleaved PFC for 3-Phase Modular UPS

김 상 훈* 박 내 춘**
Kim, Sang-Hoon Park, Nae-Chun

Abstract

In this paper the digital control scheme of interleaved PFC for 3-phase modular UPS is presented. The interleaved PFC is composed of two identical PFC connected in parallel and each PFC is controlled by the interleaved switching signals which have the same switching frequency and the 180° phase difference. As a consequence of the interleaving operation, the Interleaved PFC exhibits both lower current ripple at the input side and lower voltage ripple at the outside. Therefore, the switching and conduction losses as well as EMI levels can be significantly decreased. Simulation and experimental results verify the usefulness of the interleaved PFC.

키워드 : *Interleaved PFC, 모듈형 UPS*
Keywords : *Interleaved PFC, Modular UPS*

1. 서론

IEC 555-2, IEEE 519와 같은 국제규제범규에 의해 고조파에 대한 기준이 정해지면서 PFC (Power Factor Correction)에 대한 연구가 활발히 진행되고 있다. UPS(Uninterruptible Power Supplies) 시스템에서도 입력단에 고조파를 저감시키고 역률을 1로 제어하기 위해서 PFC를 사용하는 것이 보편화되어 있다.

최근에는 전력밀도가 높은 PFC나 대용량 PFC의 요구가 증대됨에 따라 여기에 대한 연구가 활발해 지고 있다. 부하의 증가는 입력전류 맥동과 출력전압 맥동을 증가시켜 인덕터와 커패시터, 스위칭 반도체소자 등의 용량 증가가 불가피해 진다. 이와 같은 문제점을 해결하기 위해 병렬형 PFC가

UPS 시스템에서 많이 사용되고 있다[1].

PFC의 모듈화에 의한 병렬운전은 다수의 낮은 정격 소자를 병렬 연결함으로써 대 전류 시스템 설계 시 열 설계가 용의하다. 또한 모듈의 규격화로 유지, 보수가 편리하며, 확장 가능성에 대한 여유 및 신뢰도 증진을 위한 여분의 전원에 대한 유연성으로 각 PFC 모듈은 설계 시 최적의 용량으로 설계됨으로써 비용 면에서 가장 효과적인 설계가 가능하다[2]. 이러한 병렬 운전의 다양한 기법 중 교호(Interleaved) 방식의 PFC가 널리 사용된다[3]. Interleaved PFC는 낮은 스위칭 주파수로 출력단의 주파수를 높일 수 있어 커패시터의 크기를 작게 할 수 있고 각 PFC의 스위칭 주파수가 낮아짐으로써 스위칭 손실과 자성코어 손실을 감소시켜 효율을 향상시킨다. 그리고 전류맥동의 감소효과를 가져와 인덕터 및 커패시터의 크기를 작게 하여 모듈을 소형·경량화 할 수 있고, 입력단의 EMI(Electro Magnetic Interference)를 감소시키고 고조파 왜곡이 감소하며 효율 및 역률을 향상시킨다.

* 강원대학교 전기전자공학과 교수, 공학박사, 교신저자

** 강원대학교 전기전자공학과 박사 과정

본 논문에서는 3상 모듈형 UPS에서 사용하는 3레벨 부스트 PFC의 교호(Interleaved) 방식의 병렬운전을 제안하였다. 두 개의 PFC 모듈을 병렬로 연결하여 PWM의 캐리어를 180° 위상차를 주고 운전함으로써 시스템의 효율이 증가하고 입력단 전류의 리플을 감소시킬 수 있다. 제안된 병렬 interleaved PFC의 성능을 확인하기 위하여 20[kVA]급 3상 PFC 모듈 두 개를 병렬로 연결하여 시뮬레이션 및 실험을 수행하여 그 타당성을 검증하였다.

2. Boost PFC 모델링

Interleaved boost PFC의 제어를 위해 부스트 컨버터의 모델링과 회로 해석이 필요하다. 그림 1은 부스트 컨버터의 회로를 나타내고 있다.

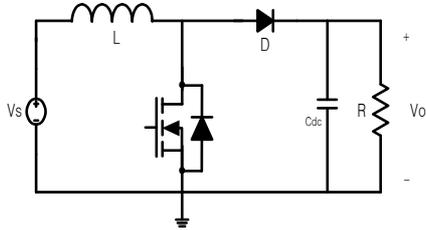


그림 1 부스트 컨버터 회로

그림 2는 부스트 컨버터 회로의 스위치가 켜졌을 때, 부스트 컨버터 회로의 등가회로를 나타내고 있다.

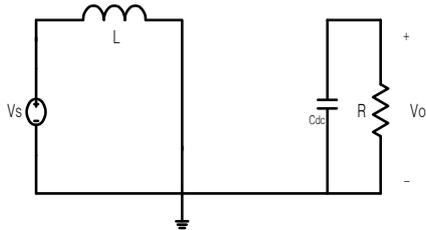


그림 2 스위치가 on인 경우 등가회로

부스트 컨버터에서 스위치가 켜져 있을 때 전류방정식과 전압방정식은 식 (1)과 식 (2)와 같다.

$$C \frac{dv_s(t)}{dt} = -\frac{v_o(t)}{R} \quad (1)$$

$$L \frac{di_L(t)}{dt} = V_s(t) \quad (2)$$

식 (1)과 식 (2)을 통해 식 (3)과 같이 상태방정

식으로 나타낼 수 있다.

$$\begin{bmatrix} L & 0 \\ 0 & C \end{bmatrix} \frac{d}{dt} \begin{bmatrix} i_L(t) \\ v_o(t) \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ 0 & -\frac{1}{R} \end{bmatrix} \begin{bmatrix} i_L(t) \\ v_o(t) \end{bmatrix} + \begin{bmatrix} 1 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} v_s(t) \\ 0 \end{bmatrix} \quad (3)$$

그림 3은 부스트 컨버터 회로의 스위치가 꺼졌을 때의 등가회로이다.

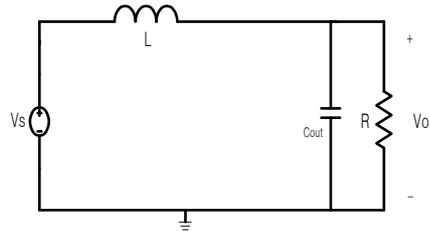


그림 3 스위치가 off인 경우 등가회로

식 (4)과 식 (5)은 스위치가 꺼졌을 때 전류방정식과 전압방정식을 나타내고, 식 (6)은 상태방정식으로 표현한 식이다.

$$C \frac{dv_o(t)}{dt} = i_L(t) - \frac{v_o(t)}{R} \quad (4)$$

$$L \frac{di_L(t)}{dt} = v_s(t) - v_o(t) \quad (5)$$

$$\begin{bmatrix} L & 0 \\ 0 & C \end{bmatrix} \frac{d}{dt} \begin{bmatrix} i_L(t) \\ v_o(t) \end{bmatrix} = \begin{bmatrix} 0 & -1 \\ 1 & -\frac{1}{R} \end{bmatrix} \begin{bmatrix} i_L(t) \\ v_o(t) \end{bmatrix} + \begin{bmatrix} 1 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} v_s(t) \\ 0 \end{bmatrix} \quad (6)$$

스위치가 on일 때와 off일 때 식을 상태방정식으로 상태공간 평균식(State space average)에 대입하면 식 (7)과 같은 PFC 부스트 컨버터의 상태공간 평균식을 구할 수 있다.

$$\begin{bmatrix} L & 0 \\ 0 & C \end{bmatrix} \frac{d}{dt} \begin{bmatrix} \hat{i}_L(t) \\ \hat{v}_o(t) \end{bmatrix} = \begin{bmatrix} 0 & -\hat{d} \\ \hat{d} & -\frac{1}{R} \end{bmatrix} \begin{bmatrix} \hat{i}_L(t) \\ \hat{v}_o(t) \end{bmatrix} + \begin{bmatrix} 1 & \hat{d} \\ 0 & 0 \end{bmatrix} \begin{bmatrix} v_s(t) \\ 0 \end{bmatrix} + \begin{bmatrix} v_o \\ 0 \end{bmatrix} \hat{d}(t) \quad (7)$$

식 (7)을 이용하여 부스트 컨버터의 전달 함수를 구하면 식 (8), 식 (9), 식 (10), 식 (11)과 같다.

$$G_{id} = \frac{\hat{i}_L(s)}{\hat{d}(s)} = \frac{2v_o}{\hat{d}^2 R} \frac{1+sRC/2}{\Delta} \quad (8)$$

$$G_{vd} = \frac{\hat{v}_o(s)}{\hat{d}(s)} = \frac{1}{\hat{d}} \frac{1-sL/(d^2 R)}{\Delta} \quad (9)$$

$$G_{ig} = \frac{\hat{i}_L(s)}{\hat{v}_s(s)} = \frac{1}{\hat{d}^2 R} \frac{1+sRC}{\Delta} \quad (10)$$

$$G_{vg} = \frac{\hat{v}_o(s)}{\hat{v}_s(s)} = \frac{1}{\hat{d}} \frac{1}{\Delta} \quad (11)$$

여기서 $\Delta = 1 + L/(d^2 R) + s^2 LC/d^2$ 이다.

전달함수에서 인덕터의 전류제어에 관련된 식 (8)과 식 (10)이다. 높은 주파수에서 식 (8)은 식 (12)과 같이 근사화될 수 있다.

$$G_{id} = \frac{\hat{i}_L(s)}{\hat{d}(s)} = \frac{2v_o}{\hat{d}^2 R} \frac{1+sRC/2}{\Delta} \approx \frac{v_o}{sL} \quad (12)$$

3. 제어기 설계

3.1 전압 제어기 설계

그림 4는 제안된 전압 제어기의 블록다이어그램이다.

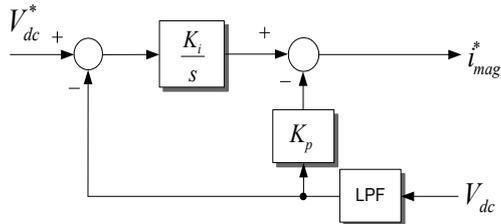


그림 4 전압제어기 블록도

직류단 커패시터 전압에는 120Hz 리플 성분이 있기 때문에 전압 제어기는 필터링된 전압을 이용해야 한다. 따라서 리플 성분을 제거하기 위해 저역통과 필터를 이용한다.

직류단 전압 제어기 설계를 위한 전단계로 플랜트 모델을 식 (13)과 같이 직류단 커패시터로 설정할 수 있다.

$$G_{vp}(s) = \frac{1}{C_{dc}s} \quad (13)$$

전압제어기로는 통상 오버슈트(Overshoot)가 발생하지 않는 적분비례(Integral-Proportional, IP) 제어기가 사용하며, 전류 제어기가 이상적으로 동작한다고 가정할 경우 플랜트 모델과 IP 제어기의 폐루프 전달함수는 식 (14)와 같다.

$$\frac{V_{dc}}{V_{dc}^*} = \frac{\frac{k_p}{C_{dc}}s + \frac{k_i}{C_{dc}}}{s^2 + \frac{K_p}{C_{dc}}s + \frac{k_i}{C_{dc}}} \quad (14)$$

폐루프 전달함수를 원형 2차 시스템(Prototype Second Order System)으로 근사하여 비례이득과 적분이득은 식 (15)와 같이 구할 수 있다.

$$\begin{aligned} k_p &= 2\zeta\omega_n C_{dc} \\ k_i &= \omega_n^2 C_{dc} \end{aligned} \quad (15)$$

3.2 전류 제어기 설계

전류제어기는 전압제어기 내부루프에 존재한다. 전압제어기의 출력으로부터 기준 전류를 받아들여 측정된 입력전류와의 차에 의한 전류 오차를 전류 제어루프를 통해서 보상하는 제어기이다. 여기서 출력된 지령치는 PWM 발생기의 시비율(Duty Ratio)이 된다.

본 논문에서는 PFC 회로의 입력 전류 제어를 위해 비례적분(Proportional-Integral, PI) 제어기와 비례-공진(Proportional Resonance, PR) 제어기를 이용하였다. 이 두 전류 제어기는 모두 영전류 왜곡(Zero Current Distortion)을 감소시키기 위해 절대값 입력 전류 제어를 이용한다. 또한 입력 전류의 진상 현상을 줄이기 위해 전류 제어기 출력에 듀티 전향(Duty Feedforward) 보상을 추가하였다.

1) 비례적분 전류 제어기

그림 5는 입력 전류 제어를 위한 비례적분 전류 제어기의 블록도를 나타내고 있다.

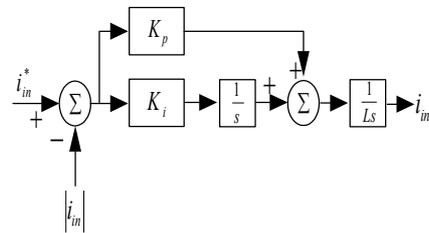


그림 5 비례적분 제어기 블록도

입력 전류는 인덕터 전류이므로 시스템은 부스

트 인덕터(L)로 모델링되어 $\frac{1}{Ls}$ 로 표현된다. 여기서, K_p 와 K_i 는 각각 비례이득과 적분이득이다. 이 비례적분 전류 제어기의 전달 함수는 식 (16)과 같다.

$$\frac{I}{I^*} = \frac{k_p s + k_i}{Ls^2 + K_p s + K_i} \quad (16)$$

여기서 L은 입력단 인덕터의 인덕턴스이다. 비례 이득과 적분 이득 설정은 원형 2차 시스템 설계법에 의해 식 (17)과 같이 정할 수 있다.

$$\begin{aligned} k_p &= 2\zeta\omega_n L \\ k_i &= \omega_n^2 L \end{aligned} \quad (17)$$

비례적분 제어기를 사용한 경우 개루프 시스템의 보드 선도는 그림 6과 같다. 이때에 입력단 인덕턴스는 750[uH]으로 하였고, 감쇠비, ζ ,는 1로 설정하고, 비감쇠 고유 진동수, ω_n ,은 12560[rad/sec]($2 \times \pi \times 2000$ [Hz])로 선정하였다.

이득 여유는 무한대이고 위상 여유는 141°도로 모두 양의 이득을 가지고 있으므로 설계된 제어기는 안정하다는 것을 알 수 있다.

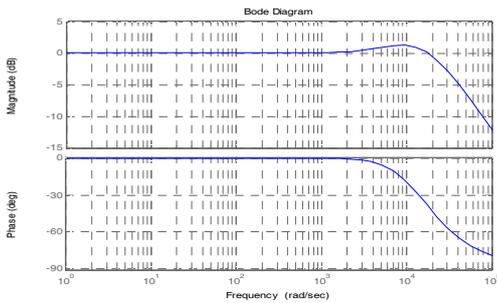


그림 6 비례-적분제어기 보드 선도

2) 비례-공진(PR) 전류 제어기

PR 전류 제어기는 정상상태의 전류오차를 '0'으로 줄이기 위하여 공진제어이득을 갖는 전류 제어기이다. 이 방식은 기준 전류의 기본파 주파수에 공진이득을 갖도록 제어기 이득을 설계하여 정상상태에서 오차가 '0'이 되도록 구성된다.

공진 각주파수 ω 를 가지는 PR 제어기의 전달함수는 연속시간 영역에서 식 (18)과 같이 표현된다.

$$H_{pr}(s) = k_p + \frac{k_i s}{s^2 + \omega^2} \quad (18)$$

공진 각주파수 ω 를 전원 주파수 60[Hz]에 맞추어 설정하면, 60[Hz]에서 높은 이득을 얻을 수 있다. PR제어기를 블록 다이어그램으로 표현하면 그림 7과 같다.

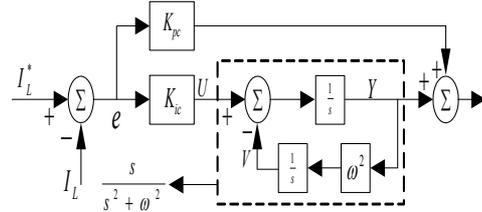


그림 7 PR제어기 블록 다이어그램

PR 제어기의 이득 설정은 PI 제어기의 이득 설정법과 같이 원형 2차 시스템 설계법으로 정할 수 있다. PR 제어기의 이산 시간 영역 제어기 구현 시 대수 루프를 피하기 위해 공진항의 전향 적분은 Forward Euler 방법으로, 제한 적분은 Backward Euler 방법을 이용한다[5].

비례공진 제어기를 사용한 경우 개루프 시스템의 보드선도는 그림 8과 같다. 공진주파수를 60[Hz]로 설정하였기 때문에 60[Hz]에서 높은 이득을 얻을 수 있음을 알 수 있다.

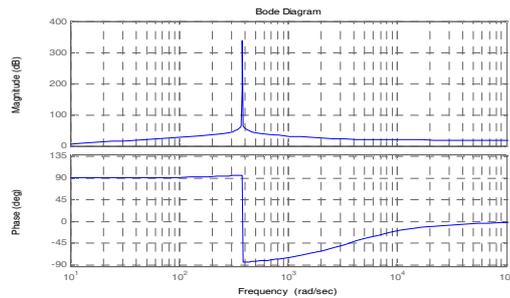


그림 8 PR제어기 보드 선도

3.3 Interleaved PWM

PFC 모듈들을 병렬로 연결하여 용량을 확장시켜 사용하는 경우 전류 리플을 줄이기 위하여 PFC 모듈들은 Interleaved PWM 운전을 하는 것이 바람직하다. 각 모듈의 스위치는 180°의 위상이 지연되어 순차적으로 스위칭을 하게 된다. 그림 9는 스위칭 상태에 따른 각각의 인덕터 전류와 입력전류를 나타내고 있다. 그림과 같이 interleaved PFC의 입력 전류는 각각의 인덕터 전류가 중첩되어 나타나므로 1/2배 만큼 전류 리플이 줄어들게 된다.

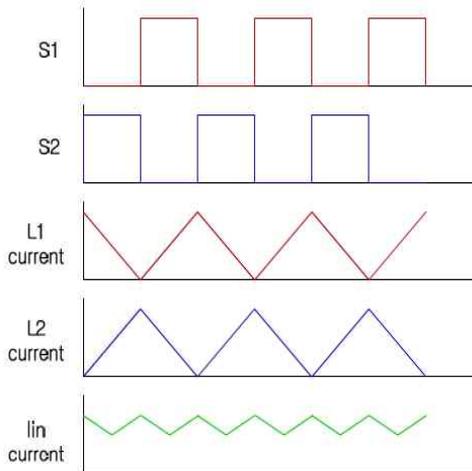


그림 9 Interleaved PWM 과 인덕터 전류

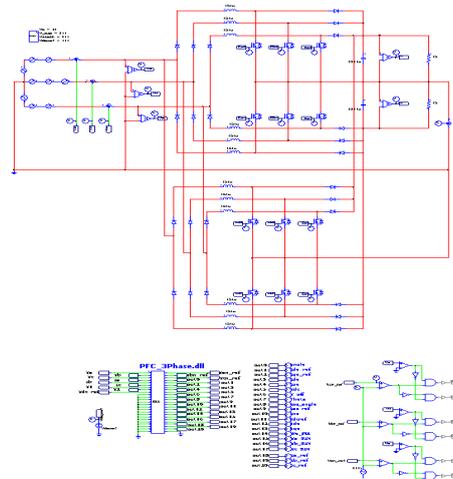


그림 10 시뮬레이션 구성도

4. 시뮬레이션

4.1 시뮬레이션 조건

제안된 제어기의 성능을 확인하기 위하여 3kVA 급 3상 PFC를 PSIM을 사용하여 시뮬레이션을 수행하였다. 스위칭 주파수는 24[kHz]이며, 스위칭 소자로는 MOSFET를 사용하였고, 직류단 전압은 760[V]로 제어하였다. 시뮬레이션에 사용된 파라미터는 표 1과 같다.

표 1 시뮬레이션 파라미터

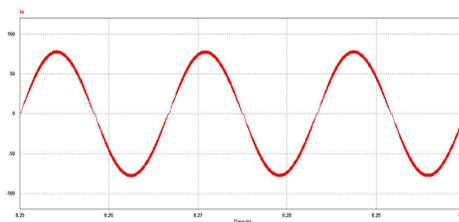
계통전압	220 [V]
인덕턴스	750 [uH]
커패시턴스	2200[uF]

그림 10은 전체 시뮬레이션 구성도를 나타내고 있다. 시뮬레이션에서 제어기는 PSIM의 dll 라이브러리를 사용하여 C언어로 디지털 제어를 구현하였다.

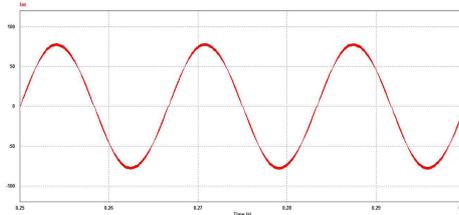
Interleaved PFC의 성능을 시험하기 위하여 두 PFC모듈에 인가되는 PWM의 삼각반송파의 위상이 동일한 경우와 180°의 위상차를 가지는 경우에 대하여 시뮬레이션을 수행하였다. 두 경우 모두 스위칭 주파수는 동일하다.

4.2 시뮬레이션 결과

그림 11(a)는 각 모듈의 삼각반송파의 위상이 동일한 경우에 a상 입력전류를 나타내고 있고, 11(b)는 삼각반송파의 위상을 180도 위상차를 갖도록 한 경우 a상 입력전류를 나타내고 있다.



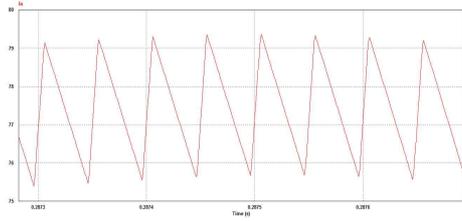
(a) 각반송파의 위상이 동일한 경우



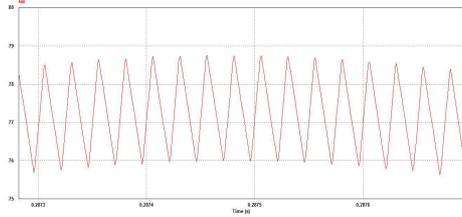
(b) Interleaved PWM 운전

그림 11 a상 입력 전류

그림 12(a)와 (b)는 삼각반송파의 위상이 동일한 경우와 180도 위상차를 갖는 경우에 대하여 입력 전류를 좀 더 자세히 보이고 있다. Interleaved PWM 운전을 하는 경우 뒷단 PFC의 전류 리플과 아랫단 PFC의 전류 리플이 서로 상쇄되어 입력 전류의 리플이 줄어드는 것을 확인할 수 있다.

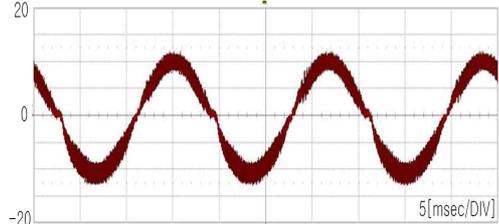


(a) 각반송파의 위상이 동일한 경우

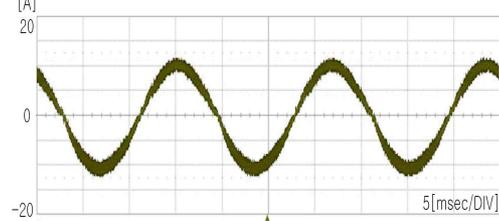


(b) Interleaved PWM 운전
 그림 12 입력 전류 리플 비교

DSC의 위상지연 기능을 이용하여 구현하였다.



(a) 각반송파의 위상이 동일한 경우



(b) Interleaved PWM 운전
 그림 14 a상 입력 전류

5. 실험 결과

제안한 제어기의 타당성을 검증하기 위하여 20kVA급 3상 PFC 모듈 두 개를 병렬로 연결하여 실험을 수행하였다. 제어기로는 TI (Texas Instrument)사의 DSC TMS320F 28335를 사용하였다. 스위칭 주파수는 24[kHz]이고 직류단 전압은 760[V]로 제어하였다. 실험에 사용한 파라미터는 시뮬레이션과 동일하다. 실험에 사용한 3상 모듈형 UPS용 PFC는 그림 13과 같다.



그림 13 3상 모듈형 UPS용 PFC

그림 14는 각 모듈의 삼각반송파의 위상이 동일한 경우와 180° 위상차를 가지는 경우에 입력 전류 파형을 나타내고 있다. 삼각반송파의 위상차는

그림 15는 삼각반송파의 위상이 동일한 경우와 180° 위상차를 갖는 경우에 대하여 입력전류를 좀더 자세히 보이고 있다. 각 모듈의 전류리플이 상쇄되어 입력 전류의 리플이 감소하는 것을 확인할 수 있다.

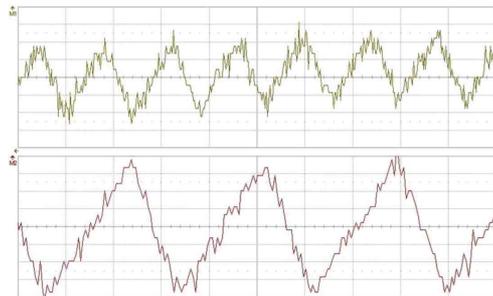


그림 15 입력 전류 리플 비교

6. 결론

본 논문에서는 3상 모듈형 UPS에서 사용하는 3레벨 부스트 PFC의 교호(Interleaved) 방식의 병렬운전을 제안하였다. 제안한 interleaved PFC를 시뮬레이션과 실험을 수행한 결과 PFC 모듈을 병렬로 연결하여 PWM의 캐리어를 180° 위상차를 주고 운전함으로써 입력단의 전류리플이 감소하는 것을 확인하였다.

참 고 문 헌

- [1] Y. Sato and T. Kataoka, "Simplified control strategy to improve ac-input-current waveform of parallel-connected current-type PWM rectifiers", *Proc. Inst. Elect. Eng.*, Vol. 142, pp. 246-254, July, 1995.
- [2] Siri. K, Lee C.Q, Wu. T.-E, "Current distribution control for parallel connected converters : Part I and II", *IEEE Transactions on Aerospace and Electronics System*, Vol.28, No.3, pp.829-840, July 1992.
- [3] Lopez M., Garcia De Vicuna L., Castilla M., Lopez O., Majo J., "Interleaving of Parallel DC-DC Converters using Sliding Mode Control", in *IECON '98*, Vol.2, pp. 1055-1059, Sept, 1998.
- [4] Miwa B., Otten D., Schecht M., "High Efficiency Power Factor Correction Using Interleaving Techniques", *IEEE Applied Power Electronics Conference*, Boston, MA, pp.557-568, 1992.
- [5] R. Tedorescu, F. Blaabjerg, U. Borup, M. Liserre, "A new Control Structure for Grid Connected LCL PV Inverters with Zero Steady-State Error and Selective Harmonic Compensation", *IEEE APEC '04*, Vol.1, pp.580~586, 2004.