

3차원 소자 적층을 위한 BOE 습식 식각에 따른 Cu-Cu 패턴 접합 특성 평가

박종명* · 김수형** · 김사라는경*** · 박영배*†

*안동대학교 신소재공학부 청정에너지소재기술연구센터

**서울테크노파크 MSP 기술지원센터

***서울과학기술대학교 NID융합기술대학원

Effect of BOE Wet Etching on Interfacial Characteristics of Cu-Cu Pattern Direct Bonds for 3D-IC Integrations

Jong-Myeong Park*, Su-Hyeong Kim**, Sarah Eunkyung Kim*** and Young-Bae Park*†

*School of Materials Science and Engineering, Andong National University

**MSP Center, Seoul Technopark

***Graduate School of NID Fusion Technology, Seoul National University of Science and Technology

†Corresponding author : ybpark@andong.ac.kr

Abstract

Three-dimensional integrated circuit (3D IC) technology has become increasingly important due to the demand for high system performance and functionality. We have evaluated the effect of Buffered oxide etch (BOE) on the interfacial bonding strength of Cu-Cu pattern direct bonding. X-ray photoelectron spectroscopy (XPS) analysis of Cu surface revealed that Cu surface oxide layer was partially removed by BOE 2min. Two 8-inch Cu pattern wafers were bonded at 400°C via the thermo-compression method. The interfacial adhesion energy of Cu-Cu bonding was quantitatively measured by the four-point bending method. After BOE 2min wet etching, the measured interfacial adhesion energies of pattern density for 0.06, 0.09, and 0.23 were 4.52 J/m², 5.06 J/m² and 3.42 J/m², respectively, which were lower than 5 J/m². Therefore, the effective removal of Cu surface oxide is critical to have reliable bonding quality of Cu pattern direct bonds.

Key Words : 3D IC, Wet etching, Cu-Cu bonding, Interfacial adhesion energy, Pattern density

1. 서 론

3차원 집적회로 (3D IC)는 소형 폼 팩터, 높은 성능, 낮은 전력 소모, 그리고 무어의 법칙의 한계를 극복하기 위한 유망한 해결책인 고밀도 집적을 달성하기 위한 선도적인 접근 방법으로 대두되고 있다. 3차원 집적회로를 달성하기 위해 몇 가지 핵심 기술은 Through Silicon Via (TSV), Chip/Wafer, Wafer/Wafer 적층 접합 등이 있고, 이 같은 기술들이 완벽하게 이루어져야 한다¹⁾. TSV 기술은 실리콘 웨이퍼를

수십 마이크로미터 두께로 얇게 만든 칩에 직접 구멍을 뚫고 동일한 칩을 수직으로 적층하여 관통 전극으로 연결하는 3차원 System-in-Package (SiP) 방법으로, 기존의 패키지에 비해 제한된 면적 내에 많은 소자를 만들고, 부피와 무게를 최소화 할 수 있으며, 고성능 및 전력소모를 줄일 수 있는 장점이 있어 최근 활발히 연구 되고 있다²⁻⁴⁾. 3D 집적 적층을 하기 위해서 금속 접합, 산화물 접합, 혼합 접합 등 여러 가지 접합 방법들이 요구된다. 접합 방법 중 솔더 기반의 금속 접합은 비용이 저렴하고 공정이 간단하지만 취성이 강한 금속간화합물 (Intermetallic compound, IMC) 및

Kirkendall void의 형성으로 인해 기계적, 전기적 신뢰성이 감소되는 문제가 있다⁵⁻⁸⁾. 반면에 Cu-Cu 직접 접합은 이러한 문제점을 해결하기 위한 대안으로 주목 받고 있지만 Cu 표면의 두꺼운 산화막이 생성되어 접합 시 상호 확산을 방해하는 문제점이 발생한다⁹⁻¹⁰⁾. 또한 Cu패턴으로 접합할 경우 Chemical Mechanical Polishing (CMP)의 영향으로 Cu의 dishing 및 절연체의 erosion현상이 발생하게 된다. Cu dishing 및 erosion은 접합부의 접촉 면적을 줄이기 때문에 접합 후 후속 열처리를 하여도 본딩 계면에서 제대로 접합이 되지 않는다고 보고된바 있다¹¹⁾. 이러한 문제를 해결하기 위해서 추가적인 공정이 필요하다. 이전 우리의 연구에서 Cu 패턴으로 접합하기 전 습식 식각을 통해 Cu의 dishing 및 표면 산화막 또한 제거가 가능하다고 보고하였다¹²⁾.

본 연구에서는 Cu-Cu 패턴의 직접 접합을 위해 Buffered Oxide Etch (BOE)용액으로 습식 식각 후 기존 Cu-Cu 접합 특성이 좋은 400°C 접합 온도에서 Cu 패턴 밀도 변수에 따라 Cu-Cu 접합을 하였고, 4점굽힘시험법 (4-point bending test)을 이용하여 접합 특성을 평가하였다.

2. 시험편 준비 및 실험 방법

2.1 Cu 패턴 시험편 제작 및 접합부 관찰

Cu-Cu 패턴 직접 접합 공정을 위한 습식 식각 및 접합에 대한 공정 모식도를 Fig. 1에 나타내었다. 8인치 실리콘 웨이퍼(725 μm)위에 SiO₂를 700 nm 두께로 형성하고 Cu 폭이 30 μm와 간격이 각각 100, 300, 500 μm로 나누어진 마스크를 이용하여 패터닝을 한 뒤 Ti를 30 nm 두께로 증착하였다. Ti층 위에 Cu 700 nm를 DC 마그네트론 스퍼터로 증착 후 200 nm 두께의 Cu를 CMP 공정으로 제거하였다. CMP공정

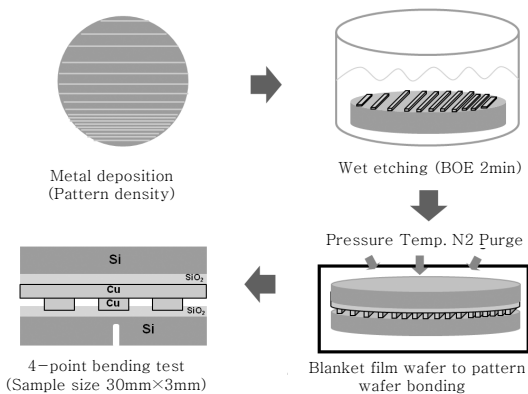


Fig. 1 Schematic illustration of wet etching and Cu-Cu bonding test

시 조건은 80 RPM으로 폴리싱 패드가 회전하면서 24 kPa의 압력으로 15초간 Cu를 CMP한 뒤 7초간 over 폴리싱을 진행하였다. 그리고 다른 하나의 웨이퍼는 700 nm 두께로 SiO₂를 형성하고 Ti를 30 nm로 증착 한 뒤 1 μm의 두께로 Cu 박막을 증착하였다. CMP 공정이 완료된 웨이퍼는 25°C 온도에서 vol. 40% NH₄F용액과 vol. 49% HF용액이 6:1비율로 만들어진 BOE용액으로 2분간 습식 식각 하였다. 식각된 Cu 표면 상태를 확인하기 위하여 X-ray Photoelectron Spectroscopy (XPS) 분석을 실시하였다. XPS분석은 Thermo Fisher Scientific, Multilab- 2000의 Al-Kα (1486.6 eV)을 X-ray 원으로 사용하였고, 이때 Binding energy scale은 Metallic Cu (932.6 eV), CuO(933.6 eV), Cu₂O(931.7eV), Cu(OH)₂(935.1eV)을 기준으로 하였다^{13,14)}. 식각 공정이 완료된 두 장의 웨이퍼를 마주보도록 겹쳐 MicroTec SB8e 본더 장비로 이동 후 N₂ 가스 분위기에서 400°C의 온도와 25kN의 압력으로 60분간 Cu-Cu 열 압착 접합을 실시하였다. 접합이 완료된 웨이퍼는 초음파 탐상 검사 장비 (Scanning Acoustic Tomograph, SAT or SAM)을 사용하여 웨이퍼의 전체적인 접합 상태를 확인 후 4점굽힘시험법을 하기 위해 다이싱(dicing) 장비에서 다이아몬드 블레이드로 30 mm × 3 mm의 크기로 조각을 내었다.

2.2 4점굽힘시험을 이용한 실험 방법

Cu-Cu 열 압착 접합 방법으로 제작된 시험편은 R&B사의 인장 시험기에 4점굽힘시험용 지그를 설치하여 정량적인 계면접합에너지를 측정되었다. 실험에 사용된 로드셀은 20 N, 로딩 속도는 4.8 μm/min, 핀 간 거리는 5 mm로 하였다. 4점굽힘시험시 크랙이 진전되는 순간을 확인하기 위해 CCD 카메라를 이용하여 실시간으로 관찰하였다. 4점굽힘시험은 하나의 재료로 가정하고 재료 내부에 생긴 균열이 진전 할 때 필요한 에너지해방률(G)을 선형파괴역학적 방법으로 측정하여 박막간 계면접합에너지를 측정하는 파괴역학 시험법이다¹⁵⁾. 이 시험법은 두 개의 탄성 기판사이에 접합 된 박막을 쌓아올린 샌드위치 구조에 초기 균열을 유도하기 위한 노치가 생성된 시험편을 통해 이루어진다. 위와 아래에 4개에 핀의 중심에 고정된 시험편은 일정한 위쪽 두 개의 핀 사이에서 발생한 내부 균열을 통해 정량적인 계면접합에너지를 측정 할 수 있다. 실험은 압축모드, 변위제어로 실시하였으며, 결과는 하중과 변위곡선으로 나타난다. 여기서 재료 파괴 시 정상상태로 크랙이 전파되면서 생성되는 일정한 하중 영역을 보이는 구간의

하중 값을 아래의 유도된 식 1에 대입하여 정량적인 계면접합에너지를 얻을 수 있다^{16,17)}.

$$G = \frac{21(1-\nu^2)M^2}{4EFb^2h^3} = \frac{21(1-\nu^2)P^2L^2}{16EFb^2h^3} \quad (1)$$

여기서 ν 는 기판으로 쓰이는 탄성재료의 프와송비 (실리콘 웨이퍼 : 0.28), F는 패턴 면적 분율, E는 탄성 계수(실리콘 웨이퍼 : 130 GPa), b는 시험편의 너비 (3 mm), h는 시험편 두께의 절반(725 μ m)을 의미하며, 모멘트 M은 $PL/2$ 이다. P는 하중과 변위곡선에서 일정한 구간의 하중값, L은 핀 사이의 거리 (5 mm)를 나타내며, 여기서 측정된 계면접합에너지의 단위는 J/m^2 이다.

4점굽힘시험이 완료된 시험편은 주사전자현미경 (Scanning Electron Microscope, SEM)을 이용하여 접합부의 미세구조를 관찰 하였다.

3. 결과 및 고찰

3.1 습식 식각

접합 전 BOE 습식 식각 후 Cu 표면의 잔여물이나 산화막이 효과적으로 제거 되었는지 알아보기 위하여 XPS분석을 실시하여 표면에 와이드 피크 결과를 Fig. 2에 나타내었다. 습식 식각을 하지 않은 시험편과 BOE 습식 식각을 한 시험편 모두 와이드 피크에서 Si, C, O Cu가 검출되었고 BOE 2분 식각 후 표면의 C는 감소하는 것을 확인 할 수 있었으나, O는 식각 후에도 변화를 관찰 할 수 없었다. 따라서 Fig. 3과 같이 Cu2p 피크의 가우시안 피크 분리를 통해 Cu 표면에 존재하는 화학적인 결합을 나타내었다.

Fig. 3(a)는 Cu 표면을 습식 식각하지 않은 시험편

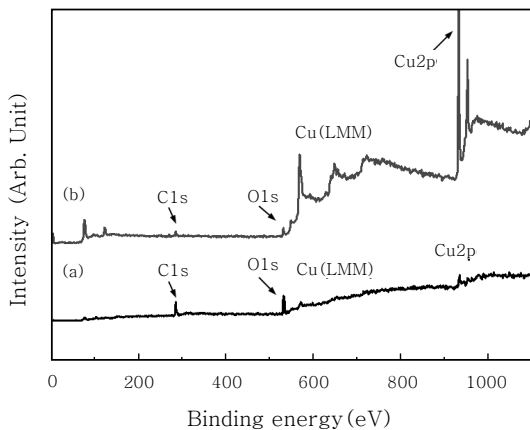


Fig. 2 XPS spectra of Cu surface after wet etching : (a) No treatment and (b) BOE 2min

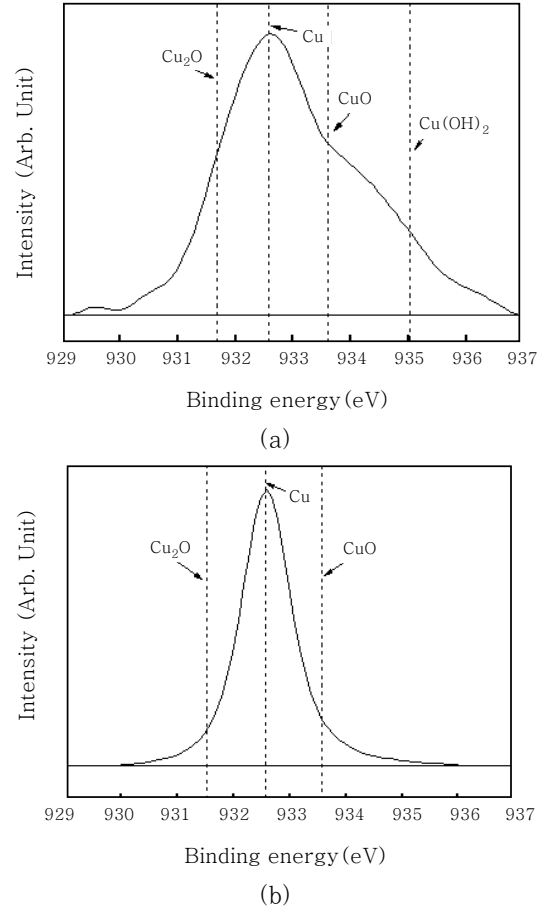


Fig. 3 Curve fitting of Cu2p XPS spectra : (a) No treatment and (b) BOE 2min

으로 순수한 Cu, CuO, Cu(OH)₂, Cu₂O가 확인되었고 BOE 습식 식각을 2분 실시한 Fig. 3(b)에서 순수한 Cu, CuO, Cu₂O가 검출되었지만 Cu(OH)₂는 검출이 되지 않았다. 습식 식각 처리를 하지 않은 시험편에 비해 습식 식각 후에는 CuO, Cu(OH)₂, Cu₂O가 감소한 결과로 미루어 보아 습식 식각을 진행한 시험편의 Cu 표면에 상대적으로 더 얇은 산화막층이 존재 할 것이라고 판단된다.

3.2 Cu-Cu 접합

BOE 2분 습식 식각 후 Cu film/Cu pattern 접합을 실시한 웨이퍼를 초음파 탐상 검사 장비 (Scanning Acoustic Tomograph, SAT or SAM)을 사용하여 웨이퍼의 전체적인 접합 상태를 확인한 결과를 Fig. 4에 나타내었다. 어두운 부분이 접합이 잘된 부분이고 밝은 부분이 접합이 잘 되지 않은 부분이다. 웨이퍼의 가장자리 부분은 접합이 잘되었으나, 중앙부분은 접합이 잘 되지 않았다.

4점굽힘시험법으로 정량적인 계면접합에너지를 평가

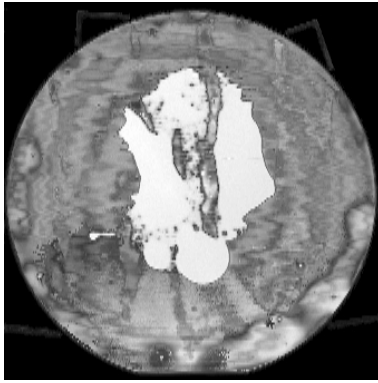


Fig. 4 Scanning acoustic tomography image of Cu-Cu bonding wafer after BOE 2min



Fig. 5 Cu-Cu bonding wafer image after dicing process

하기 위해 다이싱 장비로 30 mm × 3 mm의 크기로 조각 낸 시험편의 사진을 Fig 5에 나타냈었다. SAT장비로 확인하였던 결과와 비슷하게 웨이퍼의 중앙부분은 접합 계면이 약하여 다이싱 공정 중에 박리가 일어났다. 최소 계면접합에너지가 1 J/m² 이하의 경우 공정 중 박리가 일어난다고 보고된 바 있다¹⁸⁾. BOE 습식 식각 후 Cu film/Cu pattern 접합부의 SEM 이미지를 Fig. 6에 나타내었다. Fig. 6(a),(b),(c) 모두 원래의 접합계면이 뚜렷하게 보이며, 제대로 접합이 되지 않은 것을 관찰하였다.

3.3 Cu-Cu 접합부 파면 분석

Fig. 7은 Cu 패턴 밀도에 따른 Cu 접합부의 계면접합에너지 변화를 알아보기 위해 Cu film/Cu pattern 열 압착 접합 전 25°C에서 BOE용액으로 2분간 습식 식각 후 접합한 Cu film/Cu pattern 시험편의 계면 접합에너지를 4점굽힘시험법을 이용하여 측정된 결과를 나타내었다. Cu의 패턴 밀도가 0.06, 0.09, 0.23인 조건에서 측정된 시험편의 계면접합에너지의 경우 각각

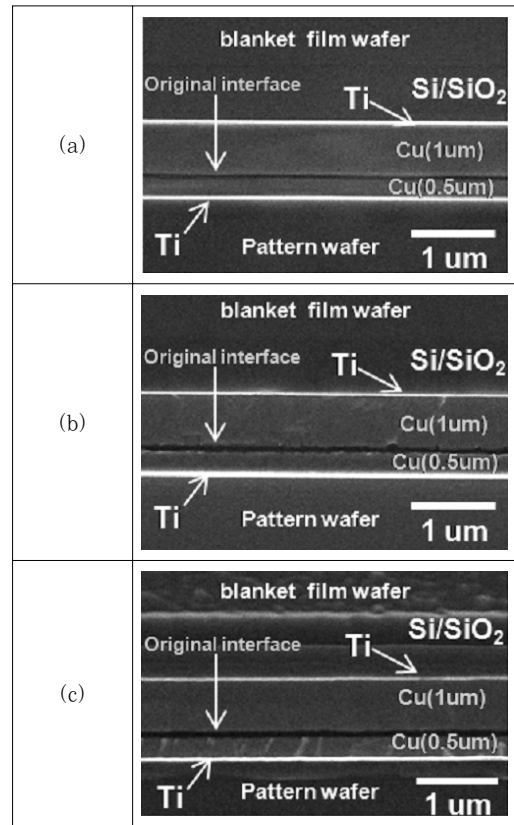


Fig. 6 Cross-sectional SEM images of Cu - Cu bonded interface with pattern density of (a) 0.06, (b) 0.09 and (c) 0.23

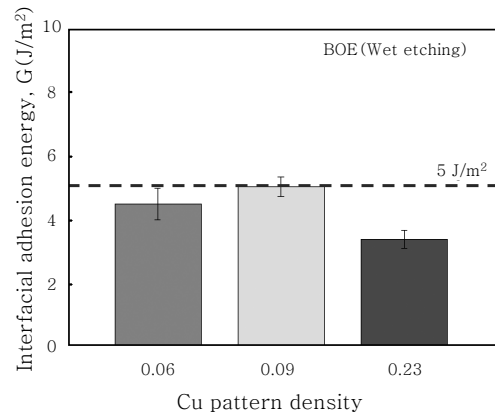


Fig. 7 Effect of pattern density on interfacial adhesion energy of Cu - Cu direct bonds.

4.52, 5.06, 3.42 J/m²으로 측정되었다. Scherban¹⁹⁾은 Cu-Cu 접합 후 계면접합에너지가 5 J/m²이하의 경우 후속 공정 시 균열이 발생하거나 파괴가 일어난다고 보고하였다. 본 연구에서는 0.06, 0.09, 0.23 패턴 밀도 모두 5 J/m²이하의 값을 보였다.

4점굽힘시험법을 이용하여 측정된 시험편의 파면에

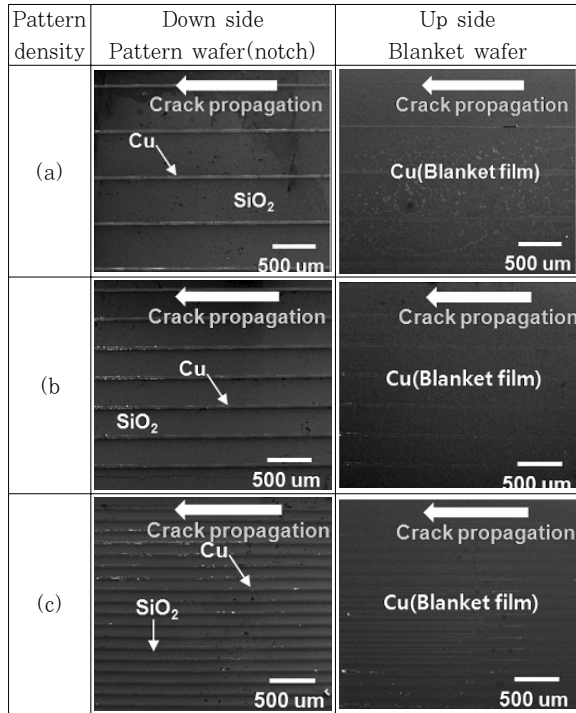


Fig. 8 Microstructures of delaminated interface after 4-point bending test with pattern density of (a) 0.06, (b) 0.09 and (c) 0.23

대한 파괴경로를 알아보기 위해 Fig. 8과 같이 박리된 단면을 SEM을 이용하여 분석한 결과 Fig. 8(a), (b), (c) 세가지 패턴 밀도 모두 양쪽에서 Cu가 검출되어 Cu-Cu 사이에서 박리가 일어난 것으로 판단된다. 이러한 결과는 CMP공정 시 발생하는 dishing 및 erosion현상에 의해 접합이 제대로 되지 않거나 또한, BOE 습식 식각 후 Cu 표면의 산화막이 미량으로 제거되었으나 Cu-Cu 열 압착 접합 시 Cu 표면의 산화막 층을 깨고 상호확산을 가능하게 하는 활성화 에너지를 충분히 제공하지 못하였기 때문에 접합이 완벽하게 이루어지지 않아 패턴 밀도에 따른 효과가 나타나지 않은 것으로 판단된다.

4. 결 론

Cu-Cu 패턴 직접접합을 위해 다양한 패턴 밀도에 따른 효과를 Cu film/Cu pattern 열 압착 접합 후 Cu 접합부의 계면접합에너지를 4점굽힘시험법을 통해 정량적으로 평가하였다. Cu film/Cu pattern 열 압착 접합 전 BOE 습식 식각 후 Cu 표면 산화막이 일부 제거되는 것을 관찰하였다. 하지만 BOE 2분으로 습식 식각 후 400℃의 온도에서 60분간 Cu-Cu 열 압착 접합한 결과 패턴 밀도와 상관없이 접합부의 미세구조에서 Cu 본래 계면이 존재하였다. 4점굽힘시험법을 통해

접합부의 계면접합에너지를 측정된 결과 패턴 밀도와 상관없이 Cu-Cu 계면에서 박리가 일어났다. 이때 계면접합에너지 값은 $4.33 \pm 0.84 \text{ J/m}^2$ 로 측정 되었으며, 패턴 밀도에 따른 계면접합에너지 값의 유의차는 찾을 수 없었다. 이러한 결과는 Cu 표면에 잔여하고 있는 산화막이 Cu의 상호 확산을 방해한 것으로 판단된다.

본 연구에서는 BOE 습식 식각을 진행한 시험편에 대해서 Cu film/Cu pattern 접합을 진행하였지만, 패턴 밀도에 따른 효과 및 Cu-Cu 직접접합의 품질을 향상 시키기 위해서는 BOE 습식 식각 후 추가적인 Cu 표면 전처리 공정이 필요할 것으로 생각된다. 이에 따라 차후 H₂SO₄ 같은 습식전처리 후 Cu-Cu 열 압착 접합 시험편의 정밀한 측정 및 계면분석을 통한 평가가 필요 하다.

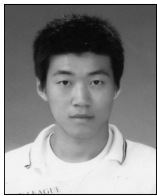
후 기

본 연구는 서울테크노파크의 차세대패키징 공정·장비 실용화 사업과 국가플랫폼기술개발사업의 일환으로 지식경제부 지원을 받아 수행되었으며, 이에 감사드립니다.

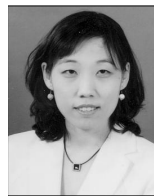
참 고 문 헌

1. Y.I. Kim et al., Thermal degradation of DRAM retention time : Characterization and improving techniques, In : IEEE 42nd IRPS Proc., (2004) 667-668
2. R.R. Tummala : Fundamentals of Microsystems Packaging, McGraw-Hill, New York (2001) 612-656
3. Y. Liu : Trends of power semiconductor wafer level packaging, Microelectronics Reliability 50 (2010) 514
4. H. Shimaamoto : Technical Trend of 3D Chip Stacked Previous Term MCP/SIP Next Term In, Proc. 57th Electronic Components and Technology Conference (ECTC), Nevada, IEEE Components, Packaging and Manufacturing technology Society (CPMT) (2007).
5. M.Y. Kim and T.S. Oh : Formation of Sn Through-Silicon-Via and Its Interconnection Process for Chip Stack Packages, Kor. J. Met. Mater., **48** (2010) 557
6. K. Tanida, M. Umemoto, N. Tanaka, Y. Tomita and K. Takahashi : Micro Cu Bump Interconnection on 3D Chip Stacking Technology, Jap. J. Appl. Phys., **43** (2004) 2264
7. B.H. Lee, J. Park, S.J. Jeon, K.W. Kwon and H.J. Lee : A Study on the Bonding Process of Cu Bump/Sn/Cu Bump Bonding Structure for 3D Packaging Applications, J. Electrochem. Soc., **157** (2010) H420
8. Y.S. Lai, Y.T. Chiu and J. Chen : Electromigration Reliability and Morphologies of Cu Pillar Flip-Chip Solder Joints with Cu Substrate Pad Metallization, J. Electron. Mater., **37-10** (2008) 1624-1630
9. E.J. Jang, S.M. Hyun, H.J. Lee and Y.B. Park : Effect of Wet Pretreatment on Interfacial Adhesion Energy of Cu-Cu Thermocompression Bond for 3D IC Packages, J. Electron. Mat., **38**, **12** (2009) 2449-2454

10. E.J. Jang, J.W. Kim, B. Kim, T. Matthias, H.J Lee, S. Hyun and Y.B. Park : Effect of N₂+H₂ Forming Gas Annealing on the Interfacial Bonding Strength of Cu-Cu thermo-compression Bonded Interfaces, *J. Microelectron. Packag. Soc.*, **16-3**, 1 (2009) 31-37
11. P. Gueguen, C. Ventosa, L.D. Cioccio, H. Moriceau, F. Grossi, M. Rivoire, P. Leduc and L. Clavelier : Physics of direct bonding: Applications to 3D heterogeneous or monolithic integration, *Microelectronic Engineering*, **87-3** (2010) 477-484
12. J.M. Park, Y.R Kim, S.D. Kim, J.W. Kim, Y.B. Park : Wet Etching Characteristics of Cu Surface for Cu-Cu Pattern Direct Bonds, *J. Microelectron. Packag. Soc.*, **19-1** (2012) 39-45
13. S.L. Hulbert, B.A. Bunker and F.C. Brown : Copper $L_{2,3}$ near-edge structure in Cu₂O, *The American Physical society*, **30-4** (1984) 2120-2126
14. C.D. Wagner, W.M. Riggs, L.E. Davis and J.F. Moulder : *Handbook of X-ray Photoelectron Spectroscopy*, Perkin-Elmer Corporation, Eden Prairie, MN, U. S. A., (1978) 82-83
15. R.H. Dauskardt, M. Lane, Q. Ma and N. Krishna : Adhesion and debonding of multi-layer thin film structures, *Eng Fract Mech.*, **61-1** (1998) 141-162
16. P.G. Charalambides, J. Lund, A.G. Evans and R.M. McMeeking : A test specimen for determining the fracture resistance of bimaterial interfaces, *J. Appl. Mech.*, **111** (1989) 77
17. J.W. Kim, K.S. Kim, H.J. Lee, H.Y Kim, Y.B. Park and S. Hyun : The effect of plasma pre-cleaning on the Cu-Cu direct bonding for 3D chip stacking, *proc. 18th IEEE IPFA*, Korea, (2011) 102-105
18. R. Tadepalli : *Characterization and Requirements for Cu-Cu Bonds for Three-Dimensional Integrated Circuits*, Massachusetts Institute of Technology, (2007) 63-64
19. T. Scherban, B. Sun, J. Blaine, C. Block, B. Jin, E. Andideh : Interfacial Adhesion of Copper-Low k Interconnects, *Proceedings of the International Interconnect Technology Conference*, (2001) 257-259



- 박종명
- 1986년생
- 안동대학교 신소재공학부 대학원생
- 배선 접합강도 평가 및 공정기술 개발
- e-mail : staff7935@gmail.com



- 김사라은경
- 1967년생
- 서울과학기술대학교 NID융합기술대학원
- 반도체소자 및 공정, 전자패키징
- e-mail : Eunkyung@seoultech.ac.kr



- 김수형
- 1981년생
- 서울테크노파크 MSP 기술지원센터
- 전자 패키징, 반도체공정
- e-mail : shkim@seoultp.or.kr



- 박영배
- 1969년생
- 안동대학교 신소재공학부교수
- 전자소자재료, 전자패키징, 신뢰성
- e-mail : ybpark@andong.ac.kr