

Full HD TV를 위한 효율적인 VDP SoC 구조

(Effective SoC Architecture of a VDP for full HD TVs)

김지훈*, 김영철**

(Ji Hoon Kim, Young Chul Kim)

요약

본 논문에서는 Full HD TV를 위한 화질 개선 VDP(Video Display Processor)의 SoC(System on a Chip) 구현을 위한 효율적인 하드웨어 구조를 제안한다. 제안한 구조는 SoC 설계의 한 방법으로써 효율적인 버스 구조와 유연성 있는 인터페이스를 지원하여 실시간 비디오 처리를 가능하게 한다. VDP를 구성 하고 있는 비디오 IP 들은 고화질 영상 제공 및 화질 개선을 위한 목적으로 설계 되었고, 각각의 IP는 실시간성 보장 및 SoC의 하드웨어 통합을 위해서 Avalon 인터페이스가 사용되었다. 이는 설계시간을 단축하고, IP 검증과 특히 SoC를 구성하는데 있어서 IP 추가 삭제 및 변경 등이 용이함으로써 사용자의 편리성을 높여준다. 또한 SoC의 임베디드 소프트웨어는 실시간으로 비디오 세부 항목 설정 및 데이터 전송 방식 설정 등을 제어할 수 있음으로써 유연성 있는 실시간 처리 시스템을 구현할 수 있다. VDP의 SoC 구현은 CyclonIII SoPC(System on a Programmable Chip) 플랫폼 상에서 구현되었으며, 실험 결과 SD 해상도의 입력 영상을 Full HD 해상도로 변환시킴으로써 고화질 영상을 획득 할 수 있다.

Abstract

This Paper proposes an effective SoC hardware architecture implementing a VDP for Full HD TVs . The proposed architecture makes real time video processing possible with supporting efficient bus architecture and flexible interface. Video IP cores in the VDP are designed to provide a high quality of improved image enhancement function. The Avalon interface is adopted to guarantee real-time capability to IPs as well as SoC integration. This leads to reduced design time and also enhanced designer's convenience due to the easiness in IP addition, deletion, and revision for IP verification and SoC integration. The embedded software makes it possible to implement flexible real-time system by controlling setting parameter details and data transmitting schemes in real-time. The proposed VDP SoC design is implemented on Cyclon III SoPC platform. The experimental results show that our proposed architecture of the VDP SoC successfully provides required quality of Video image by converting SD level input to Full HD level image.

■ keyword : | Full HD | SoC | Deinterlacer | Denoiser | Deblocker |

I. 서 론

디지털 방송은 현재 HD(High Definition)급 영상에서 UD(Ultra Definition)급으로 발전하고 있으며, 디지털 TV의 기술개발 방향은 고화소, 화질개선, 대형화 및 원가절감으로 이루어지고 있다. 화소 부분에서는 HD 급보다 해상도와 선명도가 2배 이상 높은 Full HD급 고해상도의 LCD, LED, OLED 패널이 개발되면서, Full HD TV가 널리 보급되고 있다. 특히

화질개선 기술은 평판 TV시장의 주도권 장악을 위한 중요한 경쟁요소로 작용하고 있다. Full HD TV를 위한 화질 개선은 주로 비디오 디스플레이 프로세서에 의해 처리되며, 이 프로세서는 잡음 제거, 블록화 현상 제거, 주사선 보간 변환, 경계선 보정, 해상도 확대 기능 등의 여러 알고리즘들로 구성되어 있다. 이러한 비디오 영상 처리 알고리즘은 고화질 영상을 제공하면서 엄격히 실시간으로 처리가 되어야 한다.

이를 위해서 고연산량과 다수 알고리즘의 비디오 실시간 처리를 위한 일환으로, SoC(System On a Chip) 설계의 한 방법

* 정회원, LG이노텍

** 정회원, 전남대학교 전자컴퓨터공학부

본 논문은 지식경제부의 대학IT연구센터 지원 사업의 일부 지원으로 수행된 연구결과임 (NIPA-2011-C1090-1111-0008)

접수번호 : #2012-03-14-0016

접수일자 : 2012년 03월 14일

심사완료일 : 2012년 03월 28일

교신저자 : 김영철, e-mail : yckim@jnu.ac.kr

인 SoPC(System On a Programmable Chip)설계 기법이 등장하였다. SoPC는 하드웨어 intellectual property(IP)의 형태로 프로세서, 메모리 및 인터페이스를 위한 버스 등을 플랫폼을 가지고 있고, 설계자가 원하는 설계물 내지는 IP를 구현할 수 있는 PLD를 내장하고 있는 설계 환경을 말한다[1]. SoPC 디자인을 위한 전용 툴인 SoPC 빌더는 IP 코어의 추가 제거가 용이한 유연성 있는 검증환경을 제공하여 짧은 개발기간을 통한 개발비용 절감이라는 장점이 있다. 이 밖에도 SoPC 빌더의 Mega Function 라이브러리는 마이크로 컨트롤러, 고속 메모리 컨트롤러, 기타 비디오 IP 코어 등을 소프트웨어 IP로 제공함으로써 사용자가 직접 구현 할 필요 없이 검증된 IP를 사용하여 사용자의 IP를 검증하는데 더욱 유연성을 배가시킨다.

이러한 장점을 바탕으로 SoPC 디자인으로 구현하여 연산량이 적고, 경계영역 확장이 쉬운 리프팅 기법을 하드웨어로 설계한 웨이블렛 영상 부호화 시스템에 관한 연구[2]와 하드웨어와 소프트웨어를 통합 설계하여 시스템을 구현한 이차원 웨이블렛 변환 프로세서의 SoPC 구현을 위한 연구[3], SoPC 기반 영상 압축을 위한 인터페이스 연구[4] 등 다양한 영상처리 시스템 개발에 이용되고 있다.

본 논문에서는 SoPC 기반의 Full HD 비디오 디스플레이 프로세서를 위한 비디오 IP 코어의 실시간 처리를 위한 효과적인 알고리즘의 제안과 이를 하드웨어 형태로 구현하기에 적합한 병렬처리 구조 기법을 제안한다. 마지막으로 구현 및 검증을 마친 하드웨어 IP 코어를 통합하여 VDP의 SoPC 형태로 설계하며 제안한 구조와 설계의 타당성을 검증한다.

II. 시스템 요구사항 분석

VDP는 잡음 제거 장치, 블로킹 현상 제거 장치, 주사선 보간 변환 장치, 경계선 보정 장치와 해상도를 확대하는 장치로 구성되어 있다. VDP의 입력은 실시간으로 SD(480i) 해상도의 영상이 입력되며, 출력은 Full HD(1080P) 해상도의 고품질 영상을 54Hz의 프레임률로 주사한다. 그러므로 VDP 시스템에서 각각의 영상 처리 장치는 알고리즘과 하드웨어 구조 모두 효율적으로 설계되어야 한다.

본 논문에서는 고품질 출력을 위한 VDP의 구성장치 요소로서, 4개의 주요 알고리즘과 이들 알고리즘의 실시간 처리에 효율적인 하드웨어 구조 디자인을 제안한다. 이들 알고리즘들은 Avalon 인터페이스(Avalon Interface)와 함께 IP 코어의 형태로 구현되었다. 그리고 이들 IP는 마이크로 컨트롤러와 메모리 컨트롤러와 함께 SoPC 형태로 통합된다.

Full HD 해상도의 비디오 영상을 실시간으로 처리하기 위해서는 표 1처럼 각각의 구성요소는 동작 주파수를 만족해야 한다.

표 1. VDP 시스템 구성요소의 동작 주파수

구성요소	동작 주파수	기능
마이크로 컨트롤러	50 Mhz	영상 처리 장치의 매개변수 설정 및 스위칭
메모리 컨트롤러	166 Mhz	프레임 저장을 위한 메모리 컨트롤
비디오 IP 코어	134 Mhz	영상 처리, 입력 영상 개선, Full HD 해상도의 픽셀 주파수

III. 시스템 구조 및 설계

1. 최상위 블록 설계

VDP는 NIOS II 마이크로 컨트롤러 장치와 SDRAM 비디오 메모리 장치, PLL 클록 생성기, 비디오 입출력 인터페이스, 색상 비율 재조정, 색 공간 변환 장치와 4개의 비디오 IP 코어들로써 SoPC 형태로 디자인 되었으며 그림 1은 전체적인 시스템 구성을 보여준다.

그림 1에서 4개의 노란색의 IP는 본 연구를 통하여 설계한 IP이며 그 외는 기존의 재사용 IP를 의미한다. 마이크로 컨트롤러 장치는 Avalon memory mapped(MM) 인터페이스를 통해서 다른 장치를 컨트롤한다. 비디오 IP 코어들은 Avalon Stream(ST) 인터페이스를 통해서 비디오 스트림을 전송한다. Altera사에서 개발된 Avalon 버스 인터페이스는 SoPC 디자인에서 사용된 IP 구성요소 간의 쉬운 연결을 돕는다. VDP 시스템은 S-Video 입력 장치로 부터 NTSC 와 PAL 방송 방식을 지원한다. 출력 비디오 스트림 형식은 HDTV 1080P60이며, DVI 포트를 통해 출력된다. 처리과정을 좀 더 살펴보면 아날로그 CVBS 포트로 입력된 비디오 스트림은 BT656 형식이며 디지털 비디오 스트림으로 변환된다. 다음으로 YUV 4:2:2에서 YUV 4:4:4로 색상 비율이 재조정된다. 이 후 화질 개선을 위한 비디오 영상 처리가 수행된다. 이들 영상 처리는 잡음 제거, 블로킹 현상 제거, 경계선 개선, 해상도 확대를 포함한다. 각 영상 처리 기능 블록의 컨트롤은 매개변수 설정과 스위칭 설정은 NIOSII 프로세서를 제어하는 임베디드 소프트웨어에 의해서 수행되며, 최종적으로 처리가 끝난 비디오 스트림은 DVI 포트를 통해 출력된다.

2. 시스템 버스

VDP 시스템에 사용된 버스 타입에는 메모리 버스, 컨트롤 버스, 비디오 체인 버스가 있다. 메모리 버스와 컨트롤 버스는 Avalon Memory-Mapped(Avalon-MM) 프로토콜을 사용하

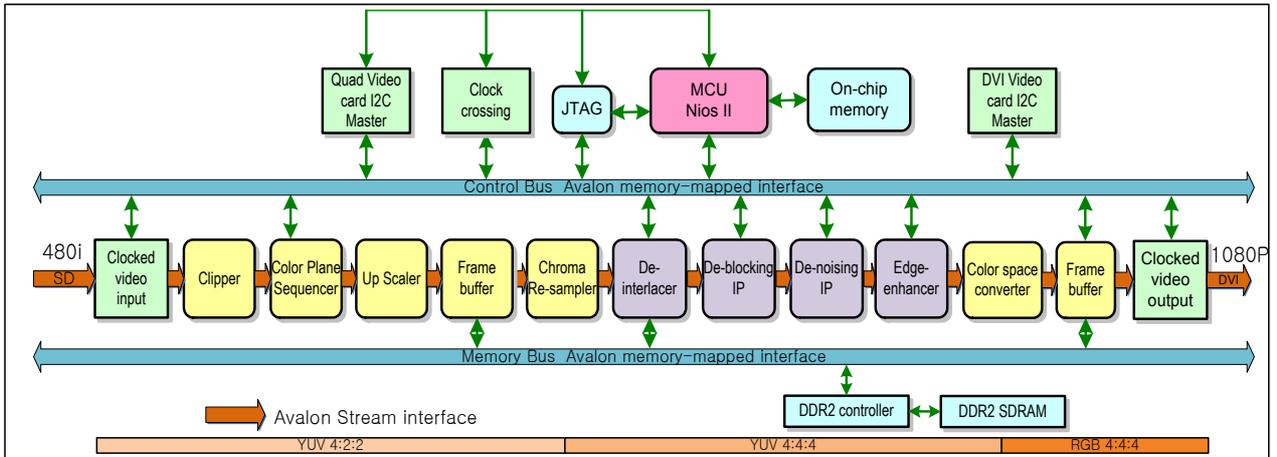


그림 1. VDP 시스템의 전체적인 블록 구성도

는 반면 비디오 체인 버스는 Avalon Stream(Avalon-ST) 비디오 프로토콜을 사용한다.[6]

Avalon-MM 인터페이스는 메모리 맵 시스템에서 마스터와 슬레이브 구성에서 데이터를 읽고 쓸 때 사용된다. 이들 인터페이스를 사용하는 장치들은 마이크로 프로세서와 메모리, UART, 타이머 등이며, 시스템 기본 연결 구조에 마스터와 슬레이브 인터페이스 형태로 연결된다.

Avalon-ST 인터페이스는 두 개의 비디오 영상 처리 장치에

에 저장되며, 주사선 보간 변환 장치의 경우 이전 프레임과 현재 프레임의 정보를 동시에 요구한다. 이 컨트롤러는 Avalon-MM 마스터와 슬레이브 포트를 사용하여 IP코어와 외부 메모리 간의 연결을 지원하며, 동작 주파수는 166 MHz 이다.

4. NIOSII 임베디드 소프트웨어

임베디드 소프트웨어는 각각의 IP 코어를 사용자의 기호에

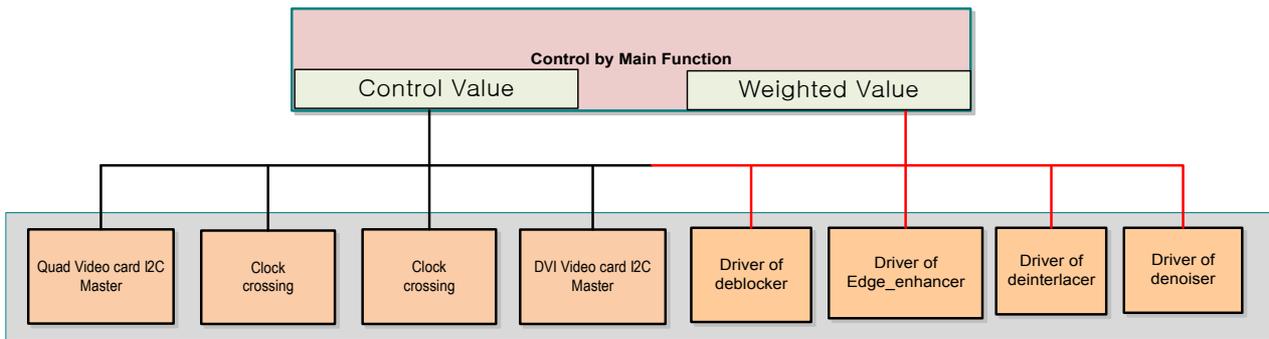


그림 2. 제안한 VDP 시스템의 임베디드 소프트웨어 블록 구성도

영상 데이터와 컨트롤 데이터를 패킷 형태로 전송한다. Avalon-ST 비디오 프로토콜은 비디오 영상 처리가 끝난 데이터의 형식을 자동적으로 조절하여 다음 영상 처리 블록으로 전달한다.

3. 메모리 컨트롤러

메모리 컨트롤러는 외부 DDR2 SDRAM을 관리하며, 이 장치는 알테라 SoPC 빌더의 Mega Function 라이브러리에서 불러올 수 있다. 비디오 프레임은 프레임 버퍼를 사용하여 메모리

따라 스위칭 할 수 있으며, 매개 변수 설정을 손쉽게 할 수 있다. 임베디드 소프트웨어는 C++,C 로 구현되며, 알테라 NIOSII IDE 툴을 통해 컴파일 된다.

그림 2는 VDP 시스템의 임베디드 소프트웨어 블록 다이어그램을 보여준다. 임베디드 소프트웨어는 메인 프로그램과 임출력을 위한 드라이버, 비디오 인터페이스, 영상 처리 장치를 위한 드라이버, 시스템 정의 변수와 매개 변수로 구성된다. 메인 프로그램은 드라이버 에 정의된 컨트롤 함수를 호출한다. 드라이버에는 시작 종료 함수와 IP 코어를 위한 매개 변수 설정 함수 등

이 정의 되어 있다.

IV. 비디오 IP 코어

비디오 IP 코어는 실시간으로 비디오 영상 처리 기능을 지니며, Avalon 프로토콜을 통하여 VDP의 다른 비디오 IP 코어와 데이터 전송이 가능하다. 이들 IP 코어의 전형적인 인터페이스는 그림 3처럼 Avalon-ST Sink, Source 와 Avalon-MM Slave, Master 이다. Avalon-ST Sink는 이전 IP 코어로 부터 비디오 패킷 데이터를 입력 받는 측면의 프로토콜이며, Source는 패킷 데이터를 다음 IP 코어로 전송하는 측면의 프로토콜이다. Avalon-MM Slave는 NIOSII 마이크로 컨트롤러와 통신을 하며, Master는 메모리 컨트롤러를 통해서 메모리로부터 비디오 프레임 데이터를 읽고 쓰기 위해서 사용되는 프로토콜이다. 각각의 인터페이스 포트는 비디오 영상 처리를 위한 데이터 전송 컨트롤 장치에 의해서 통제된다. 반면 색상 비율 재조정, 색 공간 변환 장치, JTAG, UART 등과 같은 매우 간단한 기능을 지닌 IP 코어는 요구 조건에 따라서 인터페이스의 수를 조절 할 수 있다.

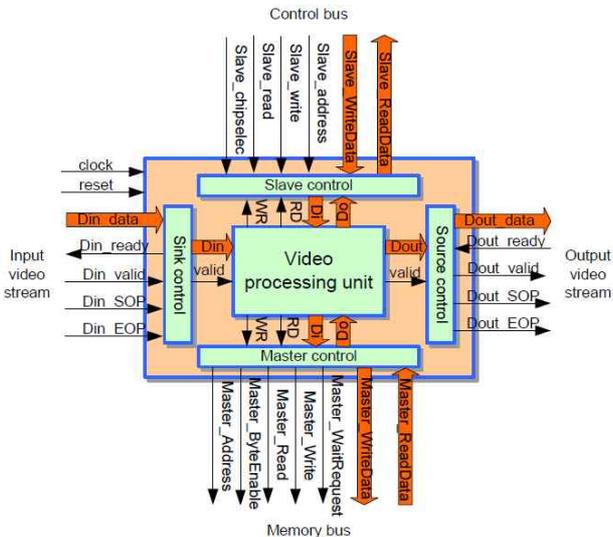


그림 3. VDP 시스템에서 비디오 IP 코어의 인터페이스

1. 주사선 보간 변환(deinterlacing)

Deinterlacing(주사선 보간 변환)란 이러한 화질 열화를 해결하기 위해 비월 주사로 생긴 필드와 필드를 하나의 온전한 프레임으로 만드는 방법이다. 기존의 다양한 주사선 보간 변환 알고리즘들은 크게 한 장만을 이용하는 공간영역 주사선 보간 변환 방법과 여러 장의 정보를 이용하는 시간영역 주사선 보간 변환 방법으로 나눌 수 있다. 필드영상 한 장만을 이용하는 공간적 주사선 보간 변환 방법 중 가장 대표적인 ELA(edge based line average) 알고리즘이다.[7] 구현이 용이하며 연산량이 적

고 성능도 뛰어난 편이다.

본 논문에서는 제안된 주사선 보간 변환 장치의 방법은 공간 영역과 시간영역을 모두 고려한 방법으로써, 가장 합에 따라 이

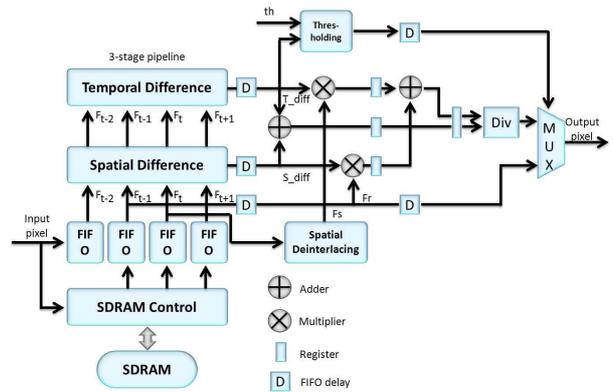


그림 4. 주사선 보간 변환 장치의 구조

용하는 공간적 Hybrid-deinterlacing 방법을 사용하여 비월 주사 방식에서 순차 주사 방식으로 주사 방식을 변환한다. 이 방법의 블록 구조는 그림 4와 같다. 이때 사용하는 공간적 deinterlacing 방법은 기존 ELA 알고리즘에서 나타나는 방향성 검출의 불연속성과 이에 따른 화질열화를 개선시킨 새로운 방향성 기반 공간 보간 필터를 제시한다. 공간영역 보간 필터는

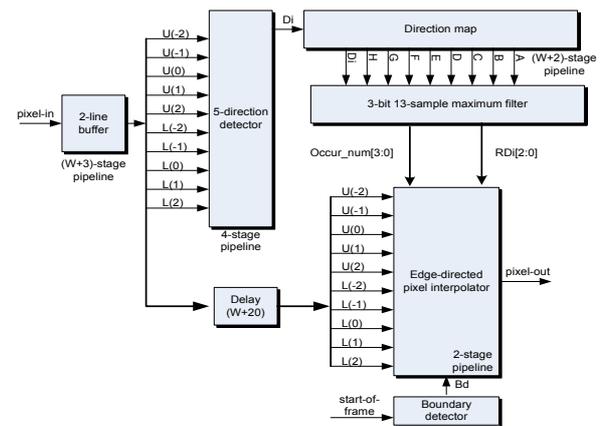


그림 5. 주사선 보간 변환 장치의 공간 영역 구조

그림 5와 같으며, 보간 될 화소의 주변 화소에 대한 방향성 정보를 예지 방향성에 따라서 가장 중앙값 필터를 이용하여 보다 일관된 방향성 정보를 얻음으로써 기존 방식보다 향상된 deinterlacing 영상을 획득한다[8]. 그림 5의 공간영역 필터 구조에는 실시간 처리와 최적의 처리량을 얻기 위해 전체적으로 파이프라인 구조가 적용되었으며 방향성 검출부, 최대빈도수필

터이용 방향 교정부, 화소 보간부 세 개의 서브블록으로 구성하였다. 2라인 메모리 버퍼는 입력 버퍼, 방향 맵, 그리고 지연을 위해 사용되었다. 총 파이프라인의 단계의 수는 $2W + 25$ 이며 W 는 입력 필드의 너비이다.

2. 블록화 현상 제거 장치(deblocking)

최근의 비디오 후처리(post processing) 기술은 대부분 고화질 디스플레이 제품의 영상 품질을 향상시키기 위하여 사용되고 있다. 그러나 대역폭과 미디어 저장 공간의 제한 때문에 영상 압축 기술 없이 고화질의 영상을 제공하기 힘들다. 그러나 저전송율 압축에서, 블록 기반의 이산 코사인 변환을 이용한 코딩 기술은 격자 잡음(grid noise), 계단 잡음(staircase noise),

통한 경계선 보존 맵을 바탕으로 2단계 적응형 필터를 이용하여 블록화 현상을 제거한다.

제안된 본 블록화 현상 제거 필터의 구조는 그림 6과 같으며, 실시간 처리를 위해 구조 전체에 파이프라인 기법과 그림 7,8 처럼 수직 주사 방식을 사용한 메모리 사용이 절감된 블록 버퍼 적용하였고, 절감된 오프셋 필터와 경계선 필터를 병렬적으로 처리되도록 하였다. 세부 사항을 살펴보면 256 단계의 픽셀 휘도 값을 표현하기 위해서 8 비트 부동 소수점을 사용했으며, HDTV 1080p 해상도 수준에서 실시간 필터 처리가 가능하도록 설계 하였다.

그림 6의 블록화 현상 제거 필터의 구조는 블록 버퍼(block buffer), 픽셀 분류기(Pixel classifier), 오프셋 필터(offset filter), 경계선 보존 필터(edge preserving

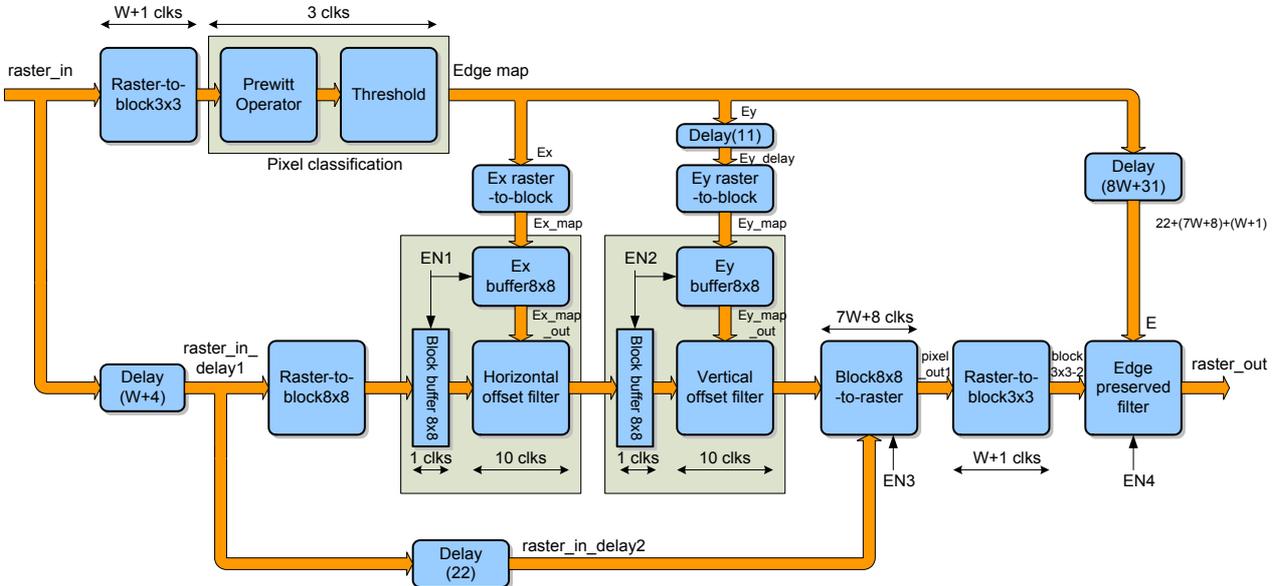


그림 6. 블록화 현상 제거 장치의 구조

모서리 잡음(outlier noise)을 현저하게 발생시킨다. 그러므로 비디오 후처리시스템에서 이러한 블록화 현상 제거를 위한 블록화 현상 제거 필터(Deblocking Filter)는 필수적인 요소이다. 하지만 대부분의 고성능 블록화 현상 제거 필터는 인접 블록들 간의 시간적 상관관계를 분석 후 블록화 현상을 최소화하기 위해서 필터링을 적용한 방법을 사용하고 있어서, 고연산량을 필요로 한다[9-13]. 따라서 높은 설계비용과 지연을 유발시켜 실시간 처리에는 부적합하다. 따라서 대부분 블록화 현상 제거 필터의 하드웨어 설계 시 지연산량과 저복잡도를 지닌 공간 영역 필터링 방법을 사용한다. 대부분 공간 영역의 블록화 현상 제거 필터는 고정된 블록사이즈를 이용한 분류 방법을 이용하여 의도치 않게 부적절한 영역을 평탄화 시키므로 본 논문에서는 이를 최소화하기 위해서 픽셀 분류기 기반의 경계선 보존 블록화 현상 제거 필터를 제안한다. 이 필터는 경계선 검출 처리 결과를

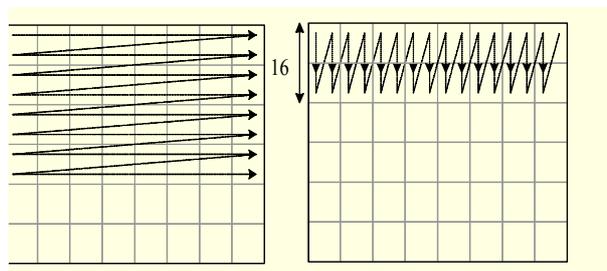


그림 7. (a)일반적인 주사 방식 (b)변경된 주사방식

filter)와 이들 필터를 위한 컨트롤러(controller)로 총 5개의 요소로 구성되어 있다. 블록 버퍼는 래스터 주사(raster scan) 방식으로부터 받은 입력 픽셀을 오프셋 필터를 위하여, 8x8 픽셀 블록으로, 픽셀 분류기를 위하여 3x3 픽셀 블록으로 각각 변환한다. 오프셋 필터 적용 후에는 경계선 보존 필터를 위하여

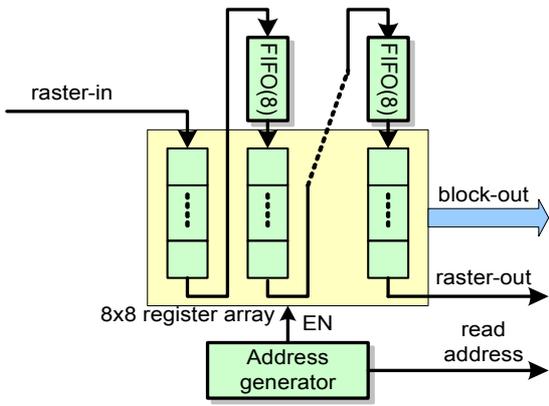


그림 8. 변경된 주사 방식의 블록 구조

8x8 픽셀 블록이 3x3 픽셀 블록으로 변환된다. 컨트롤러는 유한 상태 기기(FSM)로 구현되어 있으며 데이터 흐름을 제어한다. 파이프라인 단계로 구성된 FIFO 메모리는 지연 유닛으로

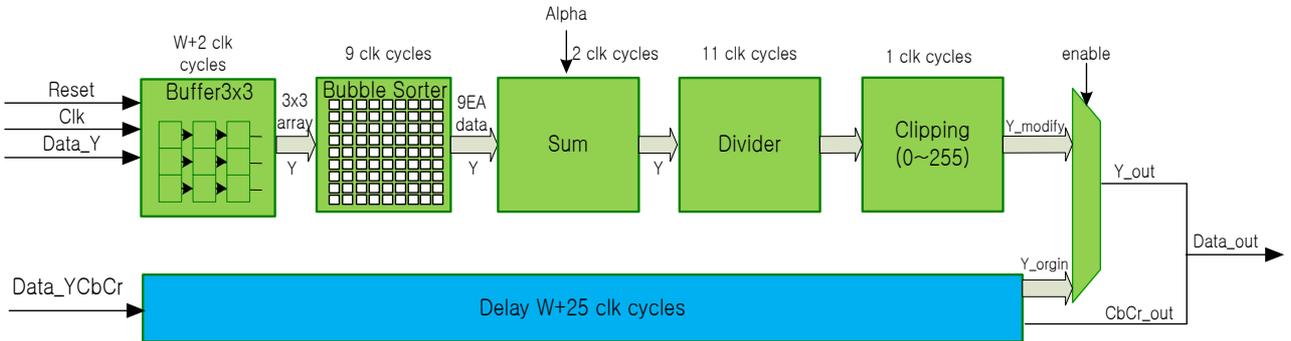


그림 9. Alpha Trimmed Mean 필터기반 잡음제거 장치의 블록 구조

써, 각 신호들의 동기화를 담당한다.

3. 잡음 제거 장치(Denoising)

잡음 제거는 영상을 구성하는 원 화소들의 밝기는 인접한 경우에 서로 비슷한 성향을 갖게 되는 점을 기반으로 처리된다. 일부를 살펴보면, 평균 마스크 필터링을 이용한 잡음 제거 방법은 가우시안 노이즈를 줄이는데 효과적이다. 가우시안 노이즈는 블러링으로 인해 주변의 화소 값을 평균하게 되면, 잡음이 없을 경우의 밝기 값과 비슷하게 된다. 하지만 임펄스 노이즈에는 비효과적이다. 주변의 화소 값과는 큰 차이가 나는 임펄스 노이즈의 경우 주변의 화소를 평균하더라도 워낙 차이가 큰 임펄스 노이즈에 의해서 원래의 밝기 값과는 차이가 많이 때문이다. 반면 중간 값 필터링을 이용한 제거 방법은 임펄스 잡음을 제거하면서 경계선을 보존할 수 있다.

본 논문에서는 α -TMF(Alpha-Trimmed Mean Filter)를 이용하여 입력받은 영상에서 발생하는 노이즈를 제거 한다. 이 필터는 미디안 필터와 평균 필터 중간적 특성을 가진 필터로써 화소 값들을 오름차순으로 정렬하여 상위와 하위에 위치하

는 일부 수들을 제거한 후 남은 수들을 평균함으로써 구해진다. α ($0 \leq \alpha \leq 0.5$)의 값은 상위와 하위 끝부분에 있는 수로부터 제거할 수를 결정한다. α -TMF가 $\alpha = 0.5$ 일 때에는, 필터는 미디안 필터처럼 수행되고 $\alpha = 0$ 일 때에는 어떠한 값도 제거되지 않으며, 필터는 평균필터처럼 동작한다. α -TMF는 $\alpha = 0.5$ 인 경우에는 미디안 필터의 역할을 하며, $\alpha = 0.0$ 인 경우에는 평균 필터의 역할을 하므로 α 값에 따라서 효과적으로 제거할 수 있는 잡음의 종류가 달라진다. 일반적으로 가우시안 잡음과 소금과 후추 잡음이 혼합되어 있는 형태처럼, 혼합된 잡음을 제거하는데 유용하다.

α -TMF의 블록화 현상 제거 필터의 구조는 그림 9와 같으며, 전체적으로 파이프라인 기법을 적용하여 Full HD 해상도의 실시간 처리가 가능하도록 하였다.

총 파이프라인 단계는 3x3 버퍼의 데이터가 모두 저장되어있는 시점을 기점으로 총 $2W + 23$ 단계를 거쳐 수행되며, 휘도 값

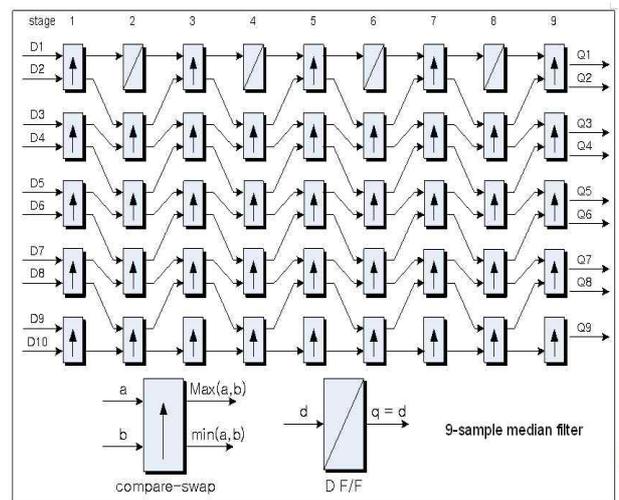


그림 10. 버블정렬을 이용한 중간 필터 구조

만을 처리한다. 그림 10은 본 필터의 세부 모듈로써 중간 필터 구조를 나타내며, 버블 정렬 알고리즘을 9단계의 파이프라인으로 구현하였다. 또한 사용자가 직접 잡음의 종류에 따른 Alpha

값을 선택 할 수 있도록 하였고, 잡음 유무에 따라 스위칭 할 수 있도록 하였다.

4. 경계선 개선 장치(Edge enhancement) IP

경계선 개선 필터는 이미지나 비디오를 날카롭게 강조해 주는 디지털 처리 필터이다. 객체와 배경을 구분 짓는 이미지의 날카로운 경계를 식별하여 경계지역의 이미지 대비를 높이는 방법으로 영상에 에지 영상(휘도 성분)을 더해줌으로써 적절하게 구현할 수 있다. 대표적으로 사용되는 경계선 개선의 기법으로는 경계선을 더욱 두드러지게 만들어 날카로운 느낌을 얻을 수 있는 영상 샤프닝(sharpening) 기법과 경계선을 희미하게 만들어 영상을 부드럽게 하는 블러링(bluring) 기법을 이용한 영상 기법 등이 존재한다. 샤프닝이란 영상의 선명도를 높이는 것으로서 다양한 응용 분야에서 매우 유용한 기술이다. 고주파

$$h(x,y) = f(x,y) + g(x,y) \quad (2)$$

이러한 알고리즘을 바탕으로 제안된 경계선 개선 모듈의 전체적인 블록 구조는 그림 11과 같다. 경계선 개선 모듈은 픽셀 데이터 저장을 위한 3x3 버퍼 모듈과 평균 휘도를 찾기 위한 나눗셈기 모듈, 적용 가중치에 따라 출력 픽셀을 생성하는 모듈, 마지막으로 0~255 레벨 사이의 값으로 휘도 값을 제한하기 위한 경계 모듈로 구성되어 있다. 본 모듈은 복잡한 주변 영상 처리 장치와 함께 실시간 처리를 위해서 전체적인 파이프라인 기법 적용과 간단한 연산의 알고리즘을 사용하기 때문에 하드웨어 구조는 저비용이고 간단하다.

V. 실험결과

VDP의 전체적인 디자인 구현 및 기능 블록 구현은 VHDL

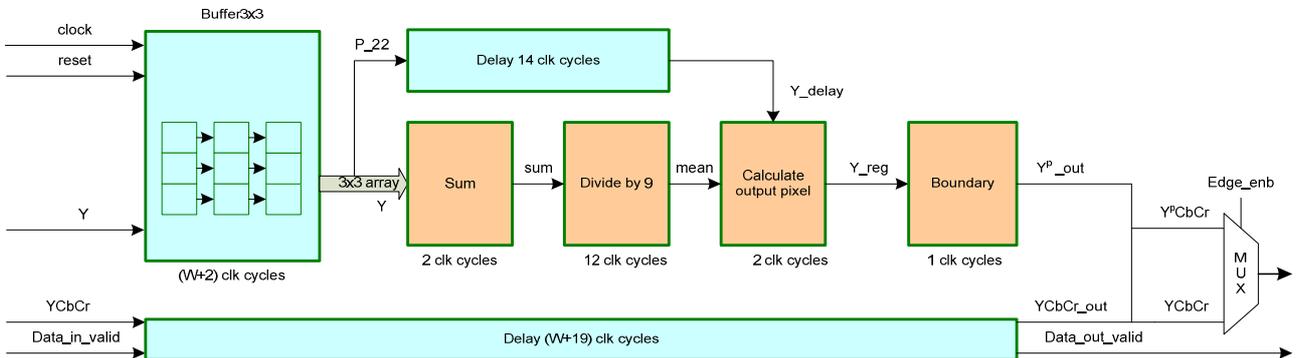


그림 11. 경계선 개선 장치의 블록 구조

통과 필터는 신호 성분 중 고주파성분은 통과시키고 저주파 성분은 차단하는 필터로써, 고주파 영역을 강화하여 영상의 선명도를 개선 할 수 있다.

본 논문에서는 영상 처리 후 경계선 보정을 위하여 디테일이나 잡음 밀도에 대한 고려가 이루어지지 않는 기존의 선명화 기법에 비해서 임의의 영상에 쉽게 적용할 수 있고, 세밀한 부분의 강조에 적합한 언샤프 마스크(unsharp masking) 필터 기법을 이용하여 영상 선명화를 구현한다. 언샤프 마스크 필터링에서는 다음과 같은 수식을 사용하여 영상의 경계선 영상을 만들어 사용한다.

$$g(x,y) = f(x,y) - \bar{f}(x,y) \quad (1)$$

식(1)에서 $f(x,y)$ 는 입력 영상을 의미하고, $\bar{f}(x,y)$ 는 입력 영상을 부드럽게 변환한 영상이다. 결과 영상 $g(x,y)$ 는 입력 영상에서 경계선 부분에 해당하는 픽셀에서만 큰 값을 가지는 영상이 된다. 이를 이용하여 최종적으로 날카로운 부분만 강조한 영상을 만들기 위해서는 $g(x,y)$ 를 다시 원래 영상과 더해 주는 연산이 필요하다. 식(2)는 날카로운 영상을 만드는 최종수식이다

로 설계 하였다. H/W 디자인은 QuartusII 9.1을 이용하여 합성하였으며, S/W 디자인의 경우 NIOSII IDE 툴에 의해서 컴파일 되었다. 알고리즘 검증 및 시뮬레이션은 Modelsim 6.4b, Matlab을 통하여 수행하였다. SOPC를 통한 플랫폼 구현 및 검증은 FPGA EP3C120F780C7 Altera CycloneIII



그림 12. VDP 검증을 위한 실험 환경 설정

development kit를 이용하였으며 본 장비는 S-Video 입력과 DVI 출력 단자를 지원한다.

VDP 검증을 위한 실험 환경은 그림 12와 같다. 먼저 S-Video 입력 단자를 통하여 입력된 YCbCr형식의 데이터는



그림 13. 주사선 보간 변환 장치의 적용 전 후 이미지

인터페이스 모듈의 HSMC(High Speed Me-zzanine Connector)를 통하여 FPGA CycloneIII 기반의 VDP전용 SoPC로 입력된다. SoPC를 통해서 HD급의 화질개선 처리 과정을 거친후 마지막으로 DVI 포트를 통하여 LCD 패널에 최종 이미지를 출력하게 된다. 그림 13 부터 그림 16은 VDP를 구성하고 있는 영상 처리 장치 적용 전 후를 비교한 영상이다. 그림 13은 주사선 보간 변환 장치의 적용 전 후 이미지를 보여준다. 그림에서 트럭의 좌측 상단의 붉은 원을 살펴보면 적용 후 좌측의 이미지 보다 계단 현상이 많이 완화됨을 볼 수 있다.

그림 14는 블록화가 발생하는 영상에서 블록화 현상제거 장치의 적용 전 후 이미지이다. 움직임이 많은 Foreman이미지의 배경과 주인공의 입 주위를 살펴보면 전 후 대비 블러화 현상이 눈에 띄게 개선됨을 볼 수 있다.



그림 14. 블록화 현상 제거 장치의 적용 전 후 이미지

그림 15는 잡음 제거 장치의 적용 전 후 이미지 영상으로써, 임펄스성 잡음과 가우시안 잡음이 혼재 된 경우 탁월한 효과를 보였다. 그림 16은 잡음제거 또는 주사선 보간 등의 영상 처리 후 경계선 손실을 보상해주는 기능인 경계선 개선 장치의 적용 전 후 이미지를 보여준다. 귀 주위의 모발 등 물체의 경계선이 보다 선명해짐을 확인 할 수 있다.



그림 15. 잡음 제거 장치의 적용 전 후 이미지



그림 16. 경계선 개선 장치의 적용 전 후 이미지

VI. 결 론

본 논문에서는 Full HD TV를 위한 화질개선 목적의 VDP 시스템의 구조설계 및 SoC 구현을 제안하였다. 제안한 구조는 실시간성이라는 제약 조건을 극복하고 고해상도의 출력 이미지를 획득하기 위해서 Avalon 버스, NIOSII 프로세서, 영상 처리 IP 코어 등과 함께 효과적으로 구현하는 IP이용 SoPC 구현 방법을 제시하였다. 특히 각각의 영상 처리 IP 코어는 전체적으로 파이프라인 기법을 적용함으로써, 처리 속도를 높여 실시간성을 유지 할 수 있었다. 또한 Avalon-ST이라는 영상 데이터 전송에 효율적인 프로토콜을 사용함으로써 보다 효율적으로 데이터를 처리할 수 있었다. 또한, NIOSII 프로세서 Core는 VDP의 각종 세부 설정 값을 실시간으로 조절할 수 있음으로써, 유연성을 배가 시켰으며, 그 결과 본 논문에서 제안한 VDP 구조는 고화질 Full HD TV에서 요구되는 수준의 비디오 영상 화질 개선을 성공적으로 처리함을 보였다.

참 고 문 헌

- [1] Excalibure Devices, Hardware Reference Manual Version 3.1, <http://www.altera.com>, Nov. 2003.
- [2] 최중현, “웨이블릿 영상 부호화 시스템의 SoPC 구현에 관한 연구”, 전남대학교 박사학위 논문, 2004. 2
- [3] 손창훈, “이차원 웨이블릿 변환 프로세서의 SoPC 구현을 위한 연구”, 전남대학교 석사학위 논문, 2007. 2
- [4] 정재욱, “SoPC 기반 영상압축을 위한 인터페이스 연구”, *대한전자공학회 학술대회 논문집*, vol. No.6, 2006
- [5] C. Poyton, *Digital video and HDTV algorithm and interfaces*, Morgan Kaufmann Publisher, 2003
- [6] Altera “Avalon Interface Specification”, http://www.altera.com/literature/manual/mnl_avalon_spec, April 2009
- [7] 배준석, “개선된 ELA 알고리즘을 이용한 Progressive Scan Conversion에 관한 연구”, *대한전자공학회 학술발표회 논문집*, vol. 1, no. 1, 1997
- [8] Truong Quang Vinh, Seong-Min Jang, Young-Chul Kim, Soo-Hyung Kim, and Sung-Hoon Hong, “FPGA Implementation of De-interlacing Using Hybrid Interpolation”, in *Proc. of ITC-CSCC*, pp. 5-8, July 2009
- [9] Z. Li and E.J. Delp, “Block Artifact Reduction Using a Transform-Domain Markov Random Field Model,” *IEEE Trans. Cir. Sys. Video Technol.*, vol. 15, no. 12, pp. 1583- 1593, Dec. 2005
- [11] Y. Zhao, G. Cheng, and S. Yu, “Postprocessing Technique for Blocking Artifacts Reduction in DCT Domain,” *Electronic Letters*, vol. 40, no. 19, pp. 1175-1176, Sep. 2004
- [12] Y. Luo and R.K. Ward, “Removing the Blocking Artifacts of Block-Based DCT Compressed Images,” *IEEE Trans. on Image Process.*, vol. 12, no. 7, pp. 838-842, Jul. 2003
- [13] H. Choi and T. Kim, “Blocking-Artifact Reduction in Block-Coded Images Using Wavelet-Based Subband Decomposition,” *IEEE Trans. on Cir. Sys. Video Technol.*, vol. 10, no. 5, pp. 801-805, Aug. 2000
- [14] N.C. Kim et al., “Reduction of Blocking Artifact in Block-Coded Images Using Wavelet Transform,” *IEEE Trans. on Cir. Sys. Video Technol.*, vol. 8, no. 3, pp. 253-257, June 1998

저 자 소 개



김 지 훈 (정회원)

2010년 8월 전남대학교 전자컴퓨터공학부
 2012년 2월 전남대학교 전자컴퓨터공학과 석사
 2012년 현재 LG이노텍 부품연구소
 <주관심분야: SoC, 영상관련 SoC 및 VDP 설계>



김 영 철 (정회원)

1981년 2월 한양대학교 전자공학과
 1987년 2월 Univ. of Detroit 전자공학과 석사
 1993년 2월 Michigan state Univ. 전자공학과 박사
 1993년~현재 전남대학교 전자컴퓨터공학부 교수

<관심분야: 임베디드 SoC 설계, 저전력 설계, 영상관련 SoC 및 VDP 설계>