논문번호 12-02-06
34
http://dx.doi.org/10.7471/ikeee.2012.16.2.102

3D-IC 전력 공급 네트워크를 위한 최적의 전력 메시 구조를 사용한 전력 범프와 TSV 최소화

Optimization of Power Bumps and TSVs with Optimized Power Mesh Structure for Power Delivery Network in 3D-ICs

안 병 규*★, 김 재 환*, 장 철 존*, 정 정 화*

Byung-Gyu Ahn*★, Jaehwan Kim, Cheoljon Jang, Jong-Wha Chong*

Abstract

3-dimensional integrated circuits (3D-ICs) have some problems for power delivery network design due to larger supply currents and larger power delivery paths compared to 2D-IC. The power delivery network consists of power bumps & through-silicon-vias (TSVs), and IR-drop at each node varies with the number and location of power bumps & TSVs. It is important to optimize the power bumps & TSVs while IR-drop constraint is satisfied in order to operate chip ordinarily. In this paper, the power bumps & TSVs optimization with optimized power mesh structure for power delivery network in 3D-ICs is proposed.

요 약

3D-IC는 2D-IC와 비교하여 전력 공급 네트워크 설계 시에 더 큰 공급 전류와 더 많은 전력 공급 경로들 때문에 몇 가지 문제점을 가지고 있다. 전력 공급 네트워크는 전력 범프와 전력 TSV로 구성되고, 각 노드의 전압 강하는 전력 범프와 전력 TSV의 개수와 위치에 따라 다양한 값을 가지게 된다. 그래서 칩이 정상적으로 동작하기 위해서는 전압 강하 조건을 만족시키면서 전력 범프와 전력 TSV를 최적화하는 것이 중요하다. 본 논문에서는 3D-IC 전력 공급 네트워크에서 최적의 전력 메시 구조를 통한 전력 범프와 전력 TSV 최적화를 제안한다.

Key words : 3D-IC, power delivery network, bump, TSV

Ⅰ. 서론

최신의 주요 회로들은 집적도의 한계를 뛰어넘기 위해서 through-silicon-via (TSV)와 die-stacking 기술을 이용한 3-dimensional integrated Circuit (3D-IC)로 제작이 되고 있다 [1]. TSV는 3D-IC에서 stacked dies 사이를 수직으로 연결하여 전압을 전달하고, TSV를 이용한 3D-IC는 wire length와 footprint area의 최소화를 통해 성능 향상을 가져오게 된다. 하지만 3D-IC 제작에 있어서 여러 문제점들이 존재한다. 그 중에서도 전력 공급이 가장 중요한 문제 중 하나로 인식되고 있다. 전력 공급이 원활하게 되지 않는 경우에는 전압강하가 발생하여 칩의 성능이 저하되기 때문이다 [2]. 특히, 3D-IC에서는 전력 범프와 전력 TSV를 이용하여 전력 공급 네트워크가 구성되는데, 이 때 전력 TSV는 일반적인 셀의 크기

* 한양대학교 전자컴퓨터통신공학과
(Dept. of Electronics and Computer Engineering, Hanyang University)
★ 교신저자 (Corresponding author)
※ 감사의 글 (Acknowledgment)
본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT 연구센터 육성지원사업의 연구결과로 수행되었음 (NIPA-2012-H0301-12-1011). 또한, 본 연구는 ETRI SW-SoC융합RnBD센터의 칩설계 공동연구의 결과임.
接受日:2012年 03月 20日, 修正完了日: 2012年 04月 19日
掲載確定日: 2012年 04月 19日

보다 크고, 전력 TSV의 개수가 많아지면 배선혼잡이 일어나게 되며 전체 칩의 면적이 증가하게 된다 [3]. 따라서 3D 칩에서 전압강하 조건을 만족시키면서 전력 범프와 전력 TSV의 수를 최소화하는 전력 공급 네트워크 설계 방법론이 필요하다.

[3]은 3D-IC에서 전압강하 조건을 만족시키기 위해 고정된 전력 메시 구조를 가지고, 초기에 전력 범프를 일정하게 placement하고, 3D 전력 연결을 위해 전력 공급 네트워크의 테두리 위치에 초기 전력 TSV를 placement한다. 그 이후 반복적으로 placement 단계에서 모든 노드들이 전압강하 조건을 만족할 때까지 worst IR-drop 노드에 전력 TSV를 삽입한다.

이 때 [3]의 한계점은, 첫째로 알고리즘 초기에 전력 범프를 일정하게 placement를 하게 되므로 전력 범프 개수가 너무 많기 때문에 신호 범프를 위한 노드 개수가 제한적이라는 것이다. 두 번째 한계점은 placement 단계에서 전압강하 조건을 만족하지 못할 경우에는 초기 디자인 단계로 돌아가서 재설계를 해야 하기 때문에 디자인 비용이 높다는 것이다.

본 논문에서는 floorplan 단계에서 3D-IC 전압강하를 해석하고, 최적화된 메시 구조를 구하여 전압 강하 조건을 만족시키면서 전력 범프와 전력 TSV의 개수를 최소화하는 전력 공급 네트워크 설계 방법론을 제시한다. 제안된 알고리즘은 floorplan 단계에서 전력 범프와 전력 TSV를 최소화하기 때문에 초기 디자인 단계로 돌아가서 재설계할 필요가 없어서 디자인 비용이 낮다. 특히 TSV의 배치가 블록과 겹치는 경우 TSV의 위치에 blockage를 생성하고 나머지 영역에 셀을 배치함으로써 placement 단계에서 발생할 수 있는 TSV 배치 문제도 방지할 수 있다.

II. 배경지식

3D-IC에서 전력 범프는 하위 die에서 전력 공급 네트워크에 공급 전압을 공급한다. 그리고 전력 TSV는 다이들 사이를 수직으로 연결하는 vertical power connect으로 상위 다이로 전압을 전달해준다. 본 논문에서는 전력 공급 네트워크에서 만족시켜야 할 전압강하 조건을 5%으로 설정하였다. 일반적으로 각 노드에 공급되는 전압이 처음 공급 전원보다 전압강하가 5% 크게 생긴다면, 그 노드에 존재하는 블록은 제대로 동작하지 못하기 때문이다. 반대로, 5%보다 적게 전압강하가 생긴 경우에는 그 노드에 존재하는 블록이 충분히 동작할 수 있다.

3D 전력 공급 네트워크는 메시 구조로 구성되어 있고, 전력 공급 네트워크의 메시 구조에서 mesh pitch는 전력 와이어들 사이의 간격을 의미하고 mesh width는 전력 공급 네트워크의 각 와이어의 두께를 의미한다. 본 논문에서는 모든 다이가 동일한 메시 구조로 구성된다고 가정한다. 전력 공급 네트워크의 메시가 다이마다 다를 경우 원하는 위치에 TSV를 삽입할 수 없기 때문이다.

전력 공급 네트워크의 pitch와 width가 결정되면, 전체 전력 공급 네트워크의 영역이 전체 다이의 배선 영역에서 얼마만큼의 비율을 차지하는지를 나타내는 메탈 커버리지를 계산할 수 있다. 3D 전력 공급 네트워크에서 전압강하 조건을 만족시키기 위한 메탈 커버리지는 그림 1와 같이 전력 공급 네트워크의 영역이 전체 다이의 배선 영역에 대해 가지는 비율로서 구할 수 있다. 메탈 커버리지는 신호와 클럭 배선과 더불어 라우팅 복잡도를 결정하는 중요한 요소이다. 전압강하 문제를 해결함과 동시에 최소의 메탈 커버리지를 가지는 전력공급 네트워크 설계가 필수적이다. 왜냐하면 메탈 커버리지가 높을수록 칩에 충분한 전력을 공급할 수 있지만 그에 따라 라우팅 복잡도가 높아지는 단점을 가지기 때문이다.

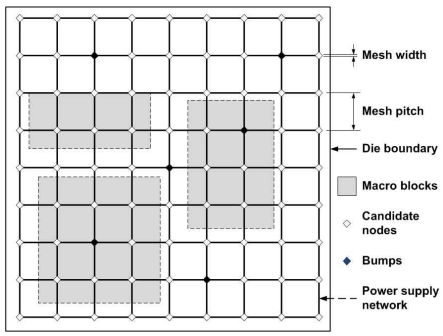

Fig. 1. Example of power delivery network
그림 1. 전력 공급 네트워크 예제

III. 제안한 알고리즘

1. 개요

제안한 알고리즘의 흐름도는 그림 2와 같다. [4]에서처럼 3DFP 툴을 사용해서 3D-IC로 블록 할당이 된 floorplan 결과를 입력으로 받는다. 알고리즘의 첫 번째 단계로, 전력 공급 네트워크에서 최적의 mesh pitch값과 mesh width값을 결정한다. 두 번째로, 구해진 최적의 mesh pitch와 mesh width값으로 구성된 전력 공급 네트워크를 해석한다. 세 번째로, 상위 다이로 원활하게 전력을 공급해주기 위해서 전력 공급 네트워크의 4개 모퉁이에 최소한의 개수로 초기 TSV

를 삽입한다. 네 번째로, 전압강하를 측정하여 전압강하가 가장 크게 일어난 노드에 초기 전력 범프를 삽입한다. 초기 전력 TSV와 초기 전력 범프를 삽입한 이후에는 전체 다이들을 대상으로 전압강하를 측정한다. 마지막 단계로, 전압강하가 가장 큰 노드에 추가적으로 전력 범프나 전력 TSV를 삽입한다. 전력 범프나 전력 TSV가 하나 삽입이 된 후에 다시 전압강하 해석을 하여 전체 다이들에 있는 모든 노드에서 전압강하 조건을 만족할 때까지 이 과정을 반복한다.

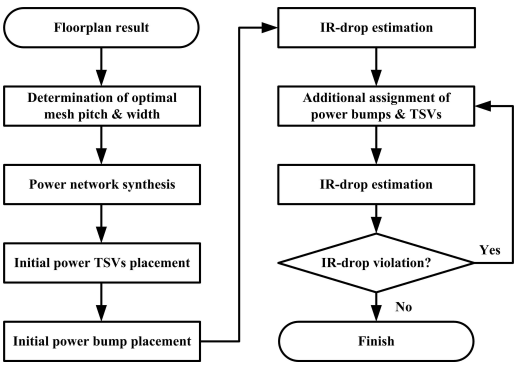

Fig. 2. Flowchart of proposed algorithm
그림 2. 제안한 알고리즘의 흐름도

다음은 제안한 알고리즘의 세부 단계들에 대해서 설명한다.

2. 전력 공급 네트워크에서 최적의 mesh pitch와 width 결정

일반적으로 mesh pitch가 감소하고 mesh width가 증가할수록, 각 노드에 전력 공급이 원활해지므로 전압강하 조건을 만족시키는데 필요한 전력 범프와 전력 TSV의 개수를 줄어들게 된다. 하지만 메탈 커버리지가 변하지 않는 조건에서 mesh pitch와 mesh width의 범위는 한정적이다. 메탈 레이어에서 라우팅 리소스들에는 한계가 있기 때문이다. 그래서 전력강하를 해결하는데 필요한 최소의 전력 TSV를 구하기 위해 최적의 mesh pitch와 width를 결정하는 단계가 필요하다.

전력 공급 네트워크에서 최적의 mesh pitch와 width를 결정하는 세부 단계들은 다음과 같다.

(1) 디자인 룰에서 정해진 최소 mesh width에서 최대 mesh width까지 일정하게 증가시키면서 메탈 커버리지를 증가시키지 않는 범위 내에서 그림 3와 같이 mesh pitch와 mesh width를 사이징한다.

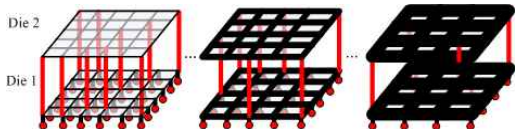

Fig. 3. Sizing of optimal mesh pitch & width in power network
그림 3. 전력 네트워크에서 최적의 메시 구조 사이징

(2) 상위 다이에 전력 공급이 원활할 때를 가정하기 위해 하위 die의 모든 노드들에 가상 범프를 삽입한다.

(3) 상위 다이와 하위 다이 사이의 최소한의 연결을 위해서 전력 공급 네트워크의 모든 4개의 코너 노드들에 가상 TSV를 삽입한다.

(4) 가상 범프와 가상 TSV를 삽입한 이후에 상위 die의 노드들을 대상으로 전압강하를 계산한다. 이때, 하위 다이는 모든 노드들에 가상 범프를 삽입했기 때문에 하위 다이의 모든 노드들에는 충분한 전원 공급이 되므로 하위 다이의 노드들은 전압강하 계산을 하지 않아도 된다.

(5) 상위 다이의 모든 노드들이 전압강하 조건을 만족할 때까지 가상 TSV를 삽입한다.

(6) (1)-(5) 단계를 반복하여 전압강하 조건을 만족시키는데 필요한 가상 범프와 가상 TSV의 개수를 최소로 가지는 mesh pitch값과 mesh width값을 결정한다.

3. 최적화된 메시 구조로 전력 공급 네트워크 해석

3D 전력 공급 네트워크에 최적화된 mesh pitch값과 mesh width값을 가지고 메시 구조를 구성한다.

4. 초기 전력 TSV 삽입

상위 다이로 원활한 전력 공급을 해주기 위해서 그림 4와 같이 전력 공급 네트워크의 모든 4개의 모퉁이 노드들에 초기 전력 TSV를 삽입하여 다이1과 다이2를 연결한다.

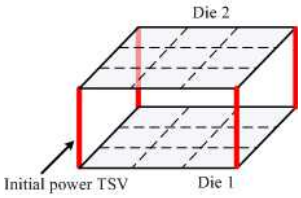

Fig. 4. Initial power TSV assignment
그림 4. 초기 전력 TSV 삽입

5. 초기 전력 bump 삽입

전력 공급 네트워크에 원활한 전력 공급을 위해 그림 5와 같이 하위 다이의 모든 노드들에 가상 전력 범프를 삽입한 다음, 전체 다이들의 모든 노드들의 전압강하를 측정한다. 가장 전압강하가 큰 노드의 위치가 가장 전력 공급이 필요한 곳을 의미하기 때문에 그림 5와 같이 가장 전압강하가 큰 노드에 초기 전력 범프를 삽입한다.

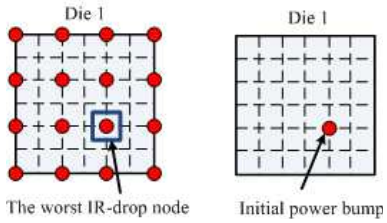

Fig. 5. Initial power bump assignment
그림 5. 초기 전력 범프 삽입

6. 전압강하 측정

초기 전력 TSV와 초기 전력 범프를 삽입한 이후에 전압강하를 측정한다. 이 때 전압강하 측정은 그림 6과 같이 해당 회로 모델을 matrix로 모델링 하여 계산하게 된다. 3D 전력 공급 네트워크를 모델링 하면, 전력 범프는 전력을 공급하기 때문에 전압 소스로 나타낼 수 있고 전력 와이어와 전력 TSV는 노드들을 연결하여 주며 전압강하가 일어나기 때문에 저항으로 나타낼 수 있고, 논리 블록들의 전력 소비는 전류 소스로 나타낼 수 있다.

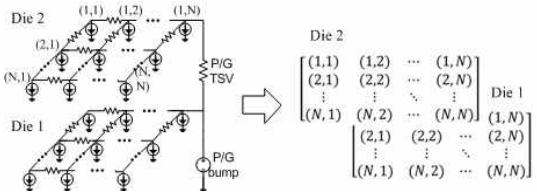

Fig. 6. Modeling of IR-drop estimation
그림 6. 전압강하 측정 모델링

7. 추가적인 전력 범프와 전력 TSV 삽입

전압강하를 측정한 이후, 두 다이들의 전체 노드들 중에서 가장 전압강하가 큰 노드를 찾는다. 만약 가장 전압강하가 큰 노드가 최하위 다이에 있다면 전력 범프가 가장 전압강하가 큰 노드의 위치에 삽입된다. 그렇지 않고 가장 전압강하가 큰 노드가 최하위 전압강하가 큰 노드의 위치에 삽입된다. 추가로 하나의 전력 범프나 전력 TSV를 삽입한 이후 다시 전압다이에 있지 않다면 전력 범프와 전력 TSV가 가장 강하를 측정하게 되고, 전압강하 조건을 여전히 만족시키지 못한다면 두 다이들에서 가장 전압강하가 큰 노드의 위치에 추가적으로 전력 범프나 전력 TSV를 삽입한다. 전체 다이들에 있는 모든 노드들에서 전압강하 조건을 만족할 때까지 이 과정을 반복하게 되고, 전압강하 조건을 만족하게 되면 제안한 알고리즘은 종료하게 된다.

Ⅳ. 시뮬레이션 결과

시뮬레이션은 3 GHz CPU와 4 GB 메모리를 탑재한 Linux PC에서 수행되었고, 제안한 알고리즘은 C++ 프로그래밍 언어로 수행되었다. 우리가 제안하는 알고리즘은 2-layer에서 [3]과 동일한 전력 프로필을 가지고, MCNC 벤치마크에 ami49 회로를 사용하여 검증하였다. 시뮬레이션은 floorplan 결과로 블록들이 배치된 상태에서 전력 공급 네트워크를 디자인하였다. 이 때 사용한 floorplan 툴은 3DFP 툴을 사용하였다 [3]와 같이, 우리는 공급 전압을 1.1V, 전력 bump 저항은 5mΩ, 전력 TSV 저항은 30mΩ, 메탈 와이어의 sheet 저항은 22.1mΩ로 설정하였다. 그리고 시뮬레이션에서는 비교적 사이즈가 작은 회로를 사용하므로 전력 공급 네트워크의 메탈 커버리지는 40%으로 정하였다 [5].

1. 제안한 알고리즘의 결과

제안한 알고리즘으로 최적의 mesh pitch와 mesh width를 구하여 얻은 mesh 구조로 전압강하 조건을 만족시키기 위해 필요한 전력 범프와 전력 TSV 개수는 표1과 같다.

표1에서와 같이, mesh width는 디자인 룰에서 정해진 최소 mesh width인 2μm에서부터 2μm의 일정한 크기로 증가한다. 지면 상 표현의 부족으로 표1에서는 모든 크기의 mesh width와 mesh pitch를 다 적지 못하였다. Mesh pitch는 칩의 크기를 전력 공급 네트워크의 크기, 즉 메시의 개수로 나눈 것과 같다. 예를 들어 전력 공급 네트워크에서 mesh width를 무시했을 때 칩의 크기가 5000μmx5000μm이고 메시의 개수가 50x50이면 이 전력 공급 네트워크의 mesh pitch는 100μm이 된다. 수행된 본 논문의 알고리즘에서는 계

Table 1. The results of optimized mesh pitch and mesh width
표 1. 최적의 메시 pitch와 메시 width를 구한 결과

Width (μm)	# of mesh = (chip size / mesh pitch)							
	20x20		40x40		60x60		80x80	
	# of power bumps	# of powerTSVs (ring+core)	# of power bumps	# of powerTSVs (ring+core)	# of power bumps	# of powerTSVs (ring+core)	# of power bumps	# of powerTSVs (ring+core)
2.0	93	68 (4+64)	68	53 (4+49)	53	44 (4+40)	44	47 (4+43)
4.0	54	43 (4+39)	40	33 (4+29)	32	28 (4+24)	26	24 (4+20)
6.0	40	32 (4+28)	30	25 (4+21)	23	22 (4+18)	19	19 (4+15)
8.0	33	28 (4+24)	23	21 (4+17)	17	18 (4+14)	16	17 (4+13)
10.0	28	24 (4+20)	19	19 (4+15)	16	17 (4+13)	13	15 (4+11)
12.0	25	22 (4+18)	17	17 (4+13)	13	14 (4+10)	12	14 (4+10)
14.0	22	20 (4+16)	15	16 (4+12)	12	14 (4+10)	11	13 (4+9)
16.0	18	18 (4+14)	14	15 (4+11)	11	13 (4+9)	10	12 (4+8)
18.0	17	17 (4+13)	12	14 (4+10)	11	13 (4+9)	10	12 (4+8)
20.0	17	17 (4+13)	12	14 (4+10)	10	12 (4+8)	9	11 (4+7)

산상의 편의를 위해 mesh pitch 대신 메시의 개수를 사용하였다. 전력 공급 네트워크의 노드 수는 20x20 부터 삽입되는 전력 범프와 전력 TSV의 개수가 더 이상 줄어들지 않는 포화가 될 때까지 일정한 크기로 증가한다. 표에서 색깔이 칠해진 칸들은 메탈 커버리지가 40%를 넘은 지점들이다. 라우팅 리소스의 수가 한정적이기 때문에 앞서 정한대로 메탈 커버리지가 40%을 넘어서는 안 된다. 그래서 표에서 색깔이 칠해지지 않은, 즉 메탈 커버리지가 40%를 넘지 않는 지점들 중에서 최적의 지점을 찾아야 한다. 표에서 볼 수 있듯이 mesh width와 mesh pitch를 다양하게 사이징 했을 때 가장 최소의 전력 범프와 전력 TSV 개수를 갖는 지점은 mesh width가 18μm이고 메시의 개수가 20x20일 때이다. 동일한 메시 개수를 갖는 상황에서 mesh width가 20μm일 때와 동일한 개수의 전력 범프와 전력 TSV를 가지지만, mesh width가 더 작기 때문에 최적인 지점은 mesh width가 18μm 일 때가 된다. 그래서 이 전력 공급 네트워크에서는 최소의 전력 범프와 전력 TSV 개수를 가지는 메시의 개수는 20x20 이고 mesh width값은 18μm가 된다.

2, 기존 알고리즘과 제안한 알고리즘의 결과 비교

제안한 알고리즘의 우수성을 증명하기 위해 일정하게 전력 범프를 삽입하고 일정하게 전력 TSV를 삽입하여 전압강하 조건을 만족시키는 기존 알고리즘 [3]과 비교 시뮬레이션을 하였다. 제안한 알고리즘과 기존 알고리즘의 결과 비교를 위해 사용된 시뮬레이션 환경은 이전 시뮬레이션과 동일하게 설정하였다. 다만 이 시뮬레이션에서는 기존 알고리즘의 초기 전력 범프가 삽입될 때의 간격을 증가시켜가며 제안한 알고리즘을 비교하기 쉽게 하기 위해 이전 시뮬레이션 결과에서 최적의 메시의 개수라고 구해진 20x20에서 가까우면서 여러 간격들의 최소공배수가 될 수 있는 21x21를 메시의 개수로 사용하였다. 기존 알고리즘의 간격은 일정하게 삽입되는 초기 전력 범프의 위치 노드의 간격을 뜻하는 것으로서, 동일한 전력 공급 네트워크의 크기에서 간격이 크면 클수록 전력 범프간의 간격을 멀어지며 전체의 초기 전력 범프의 개수가 줄어들고, 초기 전력 범프 개수가 줄어들수록 삽입되는 전력 TSV의 개수는 증가하게 된다. 기존 알고리즘의 초기 전력 범프의 간격을 조정한 이유는 제안한 알고리즘과 시뮬레이션 결과를 비교할 때 비슷한 개수의 전력 범프를 삽입했을 경우 삽입되는 전력 TSV 개수를 확연하게 비교하기 위해서이다.

기존 알고리즘과 제안한 알고리즘의 비교 결과는 다음 표2와 같다.

표2에서 알 수 있듯이, 제안한 알고리즘이 전압강하 조건을 만족시키는데 필요한 전력 범프와 전력 TSV의 개수가 더 적음을 알 수 있다. 또한 제안한 알고리즘은 최적의 메시 구조를 찾아서 전력 범프와

전력 TSV의 개수를 최소화하므로 비슷한 개수의 전력 범프를 삽입했을 때 삽입되는 전력 TSV의 개수가 더 적음을 알 수 있다. 최적의 메시 구조에서 삽입된 전력 범프의 개수는 16개이고 전력 TSV는 17개이다. 같은 조건에서 기존 알고리즘의 여러 간격을 사용한 결과들 중에서 전력 범프의 수가 제안한 알고리즘과 비슷한 경우에 삽입되는 전력 범프의 개수는 24개이고 전력 TSV는 79개이다. 즉, 제안한 알고리즘이 기존 알고리즘에 비해 전력 범프는 66.7%, 전력 TSV는 21.5%로 감소하였다.

Table 2. The results of comparison with conventional method and proposed algorithm
표 2. 기존 알고리즘과 제안한 알고리즘의 결과 비교

Method	Interval	# of power bumps	# of power TSVs (ring+core)
[3]	1	441	15 (4+11)
	2	121	20 (4+16)
	4	36	29 (4+25)
	5	24	79 (4+75)
Proposed algorithm		16	17 (4+13)

그림 7과 그림 8은 메시 개수가 21x21이고 mesh width가 18μm에서 기존 알고리즘의 전력 범프 간격을 5로 사용해서 전압강하 조건을 만족시킨 상위 다이와 하위 다이의 전압 지도이다. 그림 9와 그림 10은 최적 메시 구조에서 제안한 알고리즘을 사용해서 전압강하 조건을 만족시킨 상위 다이와 하위 다이의 전압 지도이다.

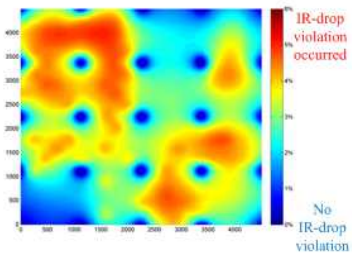

Fig. 7. Voltage map of upper die using conventional method
그림 7. 기존 알고리즘을 사용한 상위 다이의 전압지도

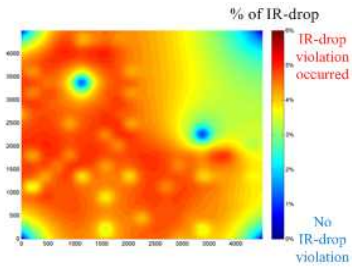

Fig. 8. Voltage map of lower die using conventional method
그림 8. 기존 알고리즘을 사용한 하위 다이의 전압지도

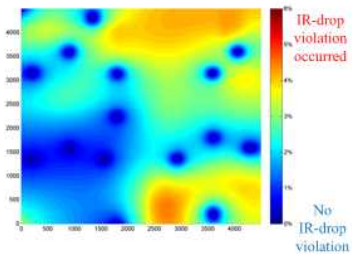

Fig. 9. Voltage map of upper die using proposed algorithm
그림 9. 제안한 알고리즘을 사용한 상위 다이의 전압지도

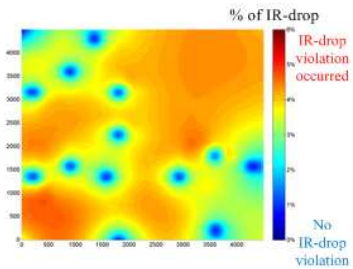

Fig. 10. Voltage map of lower die using proposed algorithm
그림 10. 제안한 알고리즘을 사용한 하위 다이의 전압지도

그림 7과 그림 8에서 보는 것과 같이, 기존 알고리즘의 결과가 제안한 알고리즘보다 더 많은 개수의 전력 범프와 전력 TSV를 삽입하므로 전력 공급 네트워크의 평균적인 전압강하는 더 낮다. 하지만 그림 9와 그림 10에서처럼, 제안한 알고리즘의 결과가 전압강하 조건을 만족시킨 것은 똑같으나 전반적인 전압강하가 전체 전력 공급 네트워크에 고루 분포되어 있으므로 배선 복잡도 또한 줄일 수 있다는 장점을 확인할 수 있다. 결론적으로 제안한 알고리즘이 기존 알

고리즘보다 전압강하 조건을 만족시키는데 필요한 전력 범프와 전력 TSV 개수가 더 적으므로 더 최적화된 결과를 얻을 수 있다.

V. 결론

본 논문에서는 3D-IC를 위한 최적의 전원 공급 네트워크 설계 방법론에 대해서 제안하였다. 제안된 방법론은 반복적 향상 기법을 통해서 최적의 mesh pitch와 mesh width를 찾아내며, 동시에 전력 범프와 전력 TSV의 개수를 최소화하는 전력 공급 네트워크를 구성한다. 실험 결과는 제안된 방법론이 기존 방법론에 비해서, 주어진 메탈 커버리지와 전압 강하 조건을 만족시키면서 최소의 전력 범프와 전력 TSV를 가지는 것을 보여주고 있다. 일반적으로 TSV는 3D-IC에서 칩의 면적과 배선 복잡도를 증가시키는 중요한 요인이므로, 제안된 방법론을 통해서 감소된 전력 TSV의 개수만큼 칩의 면적과 배선 복잡도 또한 감소될 것으로 기대된다.

참고문헌

[1] Tsai, M.-C., Wang, T.-C., and Hwang, T. T., "Through-Silicon Via Planning in 3-D Floorplanning", *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on* vol.PP, no.99, pp.1-10, 2010

[2] Healy, Michael B., and Lim, S.-K., "Power delivery system architecture for many-tier 3D systems", *Components and Technology Conference (ECTC), 2010 Proceedings 60th*, pp.1682-1688, 2010

[3] Jung, M.-G., and Lim, S.-K., "A study of IR-drop noise issues in 3D ICs with Through-Silicon-Vias", *IEEE International 3D System Integration Conference*, pp.1-7, 2010

[4] Hung, W.-L., Link, G., Xie Y., Vijaykrishnan, N., Irwin, M. J., "Interconnect and Thermal-aware Floorplanning for 3D Microprocessors", *Proceedings of International Symposium on Quality Electronic Design (ISQED)*, pp. 98-104, 2006

[5] Jang, M.-S., Design Technology team, System LSI, Samsung Electronics Co., LTD, Private Communication

저 자 소 개

안 병 규 (학생회원)

2003년 : 한양대학교 전자전기공학부 학사 졸업.
2005년 : 한양대학교 정보통신대학원 정보통신공학과 석사 졸업.
2005년 3월~현재 : 한양대학교 전자컴퓨터통신공학과 박사 과정.
<주관심분야> EDA, 반도체, 3D IC

김 재 환 (학생회원)

2006년 : 한양대학교 정보통신학부 컴퓨터전공 학사 졸업.
2006년 3월 ~ 현재 : 한양대학교 전자컴퓨터통신공학과 석박사통합과정.
<주관심분야> EDA, SoC, 3D IC

장 철 존 (학생회원)

2011년 : 한양대학교 정보통신대학 미디어통신공학과 학사 졸업.
2011년 3월~현재 : 한양대학교 나노반도체공학과 석박사 통합과정.
<주관심분야> EDA, 반도체, 3D IC

정 정 화 (정회원)

1975년 : 한양대학교 전자공학과 학사 졸업.
1977년 : 한양대학교 전자공학과 석사 졸업.
1981년 : 와세다대학교 전자통신공학과 박사 졸업.
<주관심분야> EDA, SoC, 3D IC