

플라즈마 디스플레이의 영상 구현 방법 및 화질 특성

김진성 (선문대학교 전자공학과)

I. 서론

CRT(Cathode ray tube)가 주류를 이루었던 디스플레이 시장은 90년대 후반부터 평판 디스플레이(Flat Panel Display, FPD)로 빠르게 대체되었다. 이러한 디스플레이 시장의 개편은 플라즈마 디스플레이 패널(Plasma Display Panel, PDP)로부터 시작되었고, 대형 TV의 양산에 성공한 LCD에 힘입어 FPD가 디스플레이의 주류를 이루게 되었고 CRT는 시장에서 거의 자취를 감추게 되었다. 디스플레이 산업의 이러한 역동적인 발전은 새로운 디바이스인 AMOLED의 대형 TV 시장 진입을 목표로 한 활발한 연구로 이어지고 있다.

초기 FPD에 대한 주요 요구 사항은 대형 화면을 제공하면서 얇고 비교적 가벼운 디바이스에 초점이 맞추어졌다. 이러한 시장에서의 니즈(needs)는 당시 30-inch 대에서 무게, 부피 및 평면화의 문제로 인해 대형화에 어려움을 겪던 CRT로부터 빠르게 FPD로 이전하도록 하는 원동력이었고 초기 FPD 시장은 PDP로부터 형성되었다^[1-3]. 그러나 FPD로 시장의 중심이 옮겨져 가는 과도기적 시기가 지난 후에는 소비 전력, 영상 화질 및 저가격화에 대한 높은 기술적 수준을 요구하고 있으며 이를 위한 많은 연구가 진행되고 있다. 특히, 색재현력, contrast, motion blur, dynamic false contour(DFC) 및 load effect 등의 일부 특성에서 CRT 수준에 미치지 못하는 FPD의 화질을 개선하기 위한 노력은 계속해서 진행되고 있다. 이러한 FPD의 화질 특성은 각 디바이스의 구동 특성과도 매우 밀접한 관계가 있다.

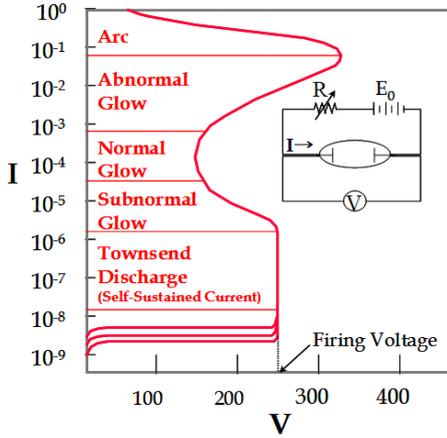
본 기고문에서는 FPD의 시장을 처음 개척한 의미를 가지고 있는 자발광 디바이스인 PDP의 영상 화질에 관한 설명을 한다. 특히, PDP의 구동 방법을 영상 구현의 관점에서 소개하고 그에 관계된 영상 화질 특성을 설명하며, 영상 화질 개선을 위해 진행된 여러 연구 결과를 살펴보고자 한다.

II. PDP 구동 및 영상 구현 방법

1. PDP 구동 개념

PDP의 각 픽셀은 가스로 채워진 공간을 가지고 있으며, X, Y 및 address 전극으로 불리는 3개의 전극이 이 공간에 전압을 인가할 수 있는 구조로 되어 있다. 전극 사이의 공간에 일정 수준 이상의 전압이 형성되면 방전이 발생이 되는데, 그 과정에서 만들어진 진공 자외선(vacuum ultraviolet, VUV)이 형광체를 통하여 가시광으로 변환되어 출력된다^[4,5]. 따라서 영상의 계조(gray scale)를 구현하기 위해서 각 픽셀에서의 방전 여부와 방전 전류를 제어하는 것이 PDP 구동의 주요 목표가 된다.

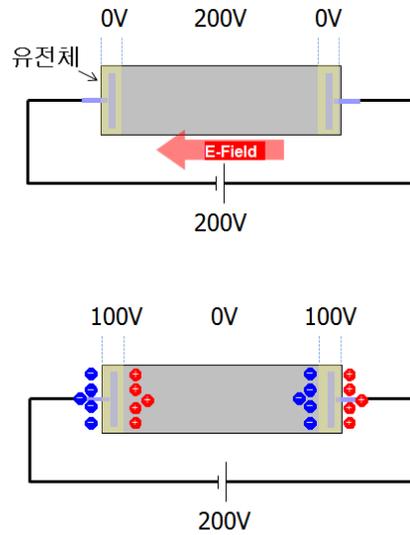
[그림 1]의 기체 방전의 전압-전류 특성 곡선을 보면 전극 사이의 전압이 방전 개시 전압(Firing Voltage, V_F)를 넘는 순간부터 전류가 형성된다. 따라서 각 픽셀에서의 방전 발생 여부는 각 픽셀의 전극 사이 전압이 V_F 를 넘거나, 혹은 넘지 않도록 하여 제어할 수 있다. 한편 방전이 발생한 후 흐르는 전류를 제한하지 않으면 방전은 arc 방전까지 진행될 수 있는데, arc 방전의 경우 전류 밀



[그림 1] 기체 방전 특성 곡선

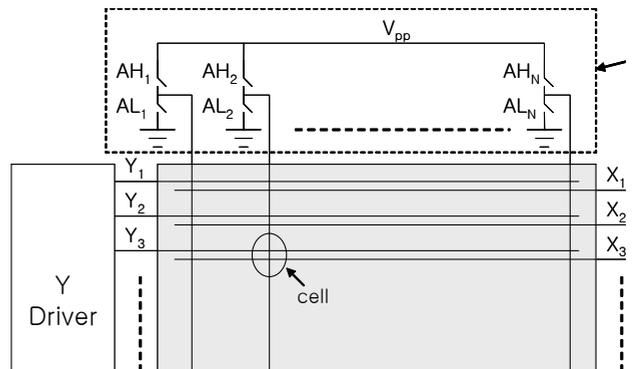
도가 매우 커서 전극을 손상시킬 수 있다. 현재 상용화된 PDP는 방전 전류를 제한하기 위해 모든 전극을 유전체로 덮어 절연시킨 AC type으로 제작되고 있다. [그림 2]는 2개의 전극이 유전체로 덮여 있을 때 방전 전류가 제한이 되는 원리를 설명하는 그림이다. 위쪽 그림에서 외부에서 인가한 200V가 공간에 걸리게 되고, 그 전압에 의해 기체 방전이 발생하여 전류가 흐르게 되는데, 전자는 전압이 높은 양극으로 이동하고 양이온은 음극으로 이동한다. 각 전극이 유전체로 덮여 있으므로 이러한 하전 입자의 이동은 각 전극의 유전체 표면을 (+)와 (-)로 대전시키는데, 그에 따라 [그림 2]의 아래 그림과 같이 유전체에 전압이 걸리게 된다. 유전체에 형성된 전압이 외부 인가 전압을 상쇄하게 되면 가스 공간의 전압이 0V가 되어 방전이 멈춘다. 이렇게 제한된 방전 전류의 크기는 유전체의 커패시턴스에 의해 조정되는데, $V = Q/C$ 에 의해 같은 외부 전압을 상쇄시키는 데에 필요한 전하량은 커패시턴스에 비례하기 때문이다. 출력되는 가시광 방전 전류의 합(Q)에 비례한다면, 1회 방전에서 얻을 수 있는 가시광의 세기는 전압과 유전체의 커패시턴스의 함수로 볼 수 있다. 또한, 1회 방전에서 얻을 수 있는 가시광의 세기가 정해져 있기 때문에, PDP에서 출력 가시광의 계조는 방전의 회수로 제어한다.

앞에서 설명한 것과 같이 PDP의 영상 구현은 각 픽셀 별로 (1) 전극 간 전압 차의 방전 개시 전압 초과 여부와 (2) 계조 표현을 위한 방전 회수 조정의 제어에 그 기본



[그림 2] AC-PDP의 전류 제한 및 벽전압

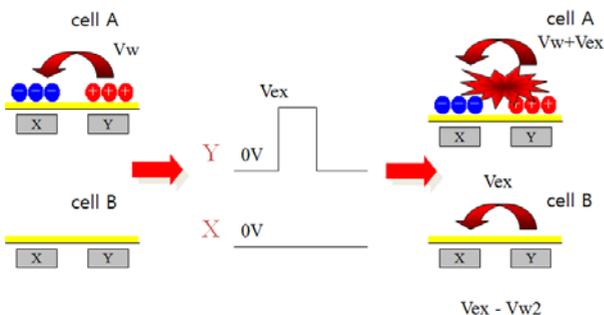
원리를 두고 있다. 이제 중요한 것은 픽셀마다 방전을 제어하기 위한 수단을 구비하는 것이다. 외부와 연결되는 전극의 수를 줄이기 위해 다른 FPD와 마찬가지로 PDP는 [그림 3]과 같은 매트릭스(matrix)의 전극 구조를 가지고 있다. 여타의 매트릭스 구동과 같이 하나의 가로 전극(scan 전극)에 대하여 영상 data를 동시에 입력하는 line scan 방식을 사용한다. TFT-LCD나 AMOLED의 경우, 디스플레이에 사용되는 구동 시간을 확보하기 위해 각 픽셀마다 data를 저장하는 소자와 이를 스위칭하기 위한 소자가 구비된 active matrix 방식을 사용한다. 이는 대형 패널에 대한 반도체 공정을 수반하는 방식으로 매우 큰 비용을 발생시킨다. PDP에서는 각 픽셀별로 data를 저장하는 소자를 필요로 하지 않으며, 대신 [그림 2]의 아래



[그림 3] 3전극 면방전형 AC-PDP의 전극 구조

그림에서 보인 유전체 표면의 대전 상태를 메모리 소자로 사용한다. 유전체 표면의 대전된 전압을 벽전압(wall voltage)라 하는데, 한 번 형성된 벽전압은 대체로 방전이 발생하기 전까지는 그 전압을 그대로 유지하고 있으며, 이를 영상 data를 각 픽셀에 저장하는 메모리 소자로 활용할 수 있다.

각 픽셀에서의 방전 발생 여부를 결정하는 동작을 어드레스라 하는데, 방전이 발생해야 하는 셀에서 어드레스 방전을 발생시켜 벽전압의 크기를 변경한다. [그림 4]의 cell A는 어드레스 방전에 의해 벽전압이 Y 전극에서 X 전극 방향으로 V_w 만큼 형성된 셀의 경우를 나타내며, cell B는 어드레스 방전이 발생하지 않은 셀의 벽전압을 보인다. 전체 scan line에 대하여 어드레스 동작이 종료한 후 모든 픽셀에 대하여 외부에서 Y 전극과 X 전극 사이에 V_{ex} 의 전압 차이를 발생시킨다. 이 때 cell A의 공간에는 벽전압과 외부 인가 전압 V_{ex} 가 더해진 전압이 걸리게 되고, cell B는 V_{ex} 만이 공간에 걸린다. 이 때 $(V_{ex} + V_w > V_F)$ 이고 $(V_{ex} < V_F)$ 이면 어드레스 방전을 한 셀에서만 방전이 발생하며, 그렇지 않은 셀의 전극 간 전압 차이가 방전 개시 전압보다 작기 때문에 방전이 발생하지 않는다. 이와 같이 켜지는 셀과 그렇지 않은 셀의 구분을 벽전압의 메모리 효과를 이용하여 각 픽셀에 저장할 수 있기 때문에 PDP의 제조 공정은 비교적 단순하고 저비용으로 구현이 가능한 매우 큰 장점이 있다. 한번 켜진 픽셀은 유지 방전(sustain discharge)을 통해 여러 번 방전을 수행할 수 있는데, 유지 펄스(sustain pulse)의 수를 조정하여 밝기 조정을 한다. 한번 가시광을 출력한 후에는 리셋(reset)이라는 동작을 통하여 벽전압을 지우

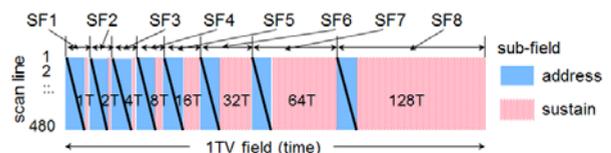


[그림 4] 벽전압의 메모리 효과를 이용한 어드레스 동작

고 초기 상태로 만드는데, PDP에서 최소의 화면 단위는 리셋-어드레스-유지 방전의 3개 구간으로 구성된다. PDP에서의 구동은 어드레스에 의한 각 픽셀의 벽전압을 정확히 on/off 상태로 구분하는 것이 매우 중요하며, 이를 위해 벽전압을 제어하기 위한 여러 구동 방법들이 제시되어 있다.

2. PDP의 영상 구현: Sub-field 구동법

PDP의 최소 단위 영상은 리셋-어드레스-유지방전의 cycle로 구성되어 있는데, 이 최소 단위 영상에서 구현할 수 있는 계조 수는 켜졌을 때의 계조 레벨과 0 레벨의 두 가지뿐이다. 왜냐하면 모든 픽셀에 동일한 수의 유지 펄스가 공급되기 때문이다. 최소 256가지의 계조 레벨을 표현하기 위해서 sub-field 구동 혹은 디지털 구동으로 불리는 방법을 사용한다. 실제 구현되어야 하는 영상의 단위를 frame이라고 하는데, frame의 시간적 길이는 통상적으로 16.67msec이며, 정지 영상인 frame들이 60Hz의 주파수를 가지고 연속적으로 보일 때 사람은 동영상을 인식하게 된다. PDP에서는 하나의 frame이 8 ~ 12개의 sub-field로 나누어진다. [그림 5]는 한 frame이 8개의 sub-field로 구성된 경우의 예를 보인다. 편의를 위하여 리셋 기간은 생략되었으나 각 sub-field는 리셋-어드레스-유지방전의 한 cycle로 구성된다. 각 sub-field는 독립된 어드레스 기간을 가지고 있으므로 독립적인 영상을 표현할 수 있으나, 해당 sub-field에서 출력할 수 있는 계조 레벨은 모든 픽셀이 동일하다. 각 sub-field의 유지 방전 기간의 유지 펄스의 수는 서로 다르게 설정하는데, [그림 5]의 예에서는 sub-field의 순서대로 밝기의 비율이 {1, 2, 4, 8, 16, 32, 64, 128}로 설정되어 있다. 이 예에서 계조 레벨 13을 출력하려면 SF1, SF3, SF4만을 켜서 밝기 비율의 합이 $1+4+8 = 13$ 이 되도록 한다. 이와 같은 방식을 사용하면 [그림 5]의 sub-field 구조를 가진 경우 0부터



[그림 5] Sub-field 구동에서의 frame 구조 예

255 계조 레벨까지 256가지의 계조를 표현할 수 있다⁶⁾.

이와 같은 밝기의 비율을 가중치라 하고 하나의 벡터로 표시할 수 있는데, n 번째 sub-field의 가중치를 W_n 으로 나타내면 가중치 벡터 W 는 다음과 같이 표시할 수 있다.

$$W = \{W_1, W_2, \dots, W_n\}$$

또한 각 sub-field의 on/off 역시 벡터로 표시할 수 있는데 이를 driving 벡터라 하자. n번째 sub-field의 on/off를 d_n 으로 표시하는데 $d_n = 1$ 이면 on, 0이면 off를 나타낸다고 하면, driving 벡터 d 는 다음과 같다.

$$d = \{d_1, d_2, \dots, d_n\}$$

출력 계조 G 를 W 와 d 를 이용하여 나타내면, G 는 두 벡터의 내적으로 나타낼 수 있다⁷⁾.

$$G = W \cdot d$$

따라서 PDP에서는 영상이 입력되면, 이를 표현하기 위해 영상 data를 driving 벡터(혹은 codeword)로 변환한다. 이러한 입력 영상의 변환은 완전한 디지털 형식으로 저장되고 구현되기 때문에 data를 기입하는 driver IC는 아날로그 신호를 출력할 필요가 없고, 각 sub-field에서의 on/off 동작에 맞는 전압 레벨 2개만 출력하면 된다. 따라서 출력 계조의 수와 동일한 종류의 전압을 출력해야 하는 TFT-LCD 혹은 AMOLED에 비하여 driver IC의 구조가 매우 단순하다. 이는 제작상의 용이함과 함께 재료비를 낮추는 데에 큰 기여를 한다.

III. 구동 방식과 영상 화질

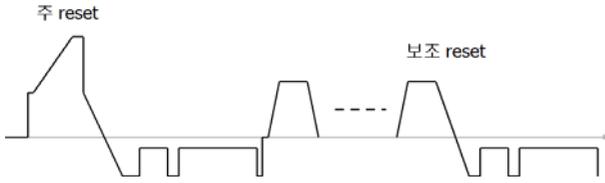
현재 FPD는 PDP와 LCD가 시중에 보급되어 있으며, AMOLED TV가 출시될 예정이다. 각 디바이스의 영상 화질은 디바이스의 구동 특성에 따라 다른 특징을 보이는데, 앞에서 살펴본 PDP의 구동 특성을 기초로 하여

PDP에서의 영상 화질에 대한 소개를 한다.

1. Contrast

명암비(Contrast)는 디바이스에서 출력할 수 있는 최대 밝기와 최소 밝기의 비율로 정의되는데, 크게 명실 명암비와 암실 명암비로 나눌 수 있다. 일반적으로 출력할 수 있는 최대 밝기는 소비 전력과 시장의 요구에 의해 결정이 되는데, 대부분의 디바이스는 시장에서 요구되는 최대 밝기를 만족하고 있다고 할 수 있다. 따라서 명암비의 향상은 black의 휘도를 낮추는 데에 있다. 명실 명암비의 향상을 위해서는 외광 반사량을 줄이고, 패널의 색을 어둡게 가져가는 노력이 중심이 되는데, 이는 적절한 광학 필터 설계와 black stripe 등의 패널 설계를 통해 이루어진다. 그에 비해 암실 명암비 향상을 위한 노력은 디스플레이에서 black을 표현하는 최소 밝기를 줄이는 데에 집중되어 있다. 각 디바이스마다 black에서 가시광이 출력되는 원인은 모두 다르다.

PDP에서 black의 휘도는 리셋 동작에서 발생한다. 리셋은 어드레스 동작을 수행하기 전에 모든 픽셀의 벽전하 상태를 동일하게 만들어주는 것을 목표로 하는데, 벽전하를 조정하기 위해서는 미약하나마 방전을 일으켜야 하기 때문이다. 초기 PDP의 경우 매우 강한 리셋 펄스를 사용하여 벽전하를 소거하는 방식을 사용했기 때문에 1cd/m^2 정도의 black 휘도가 발생하였고, 암실 명암비가 매우 낮은 수준이었다. Ramp 펄스를 이용한 약방전을 리셋에 적극 도입하면서 black의 휘도는 빠르게 감소하였고, 그에 따라 암실 명암비 역시 비약적으로 개선되고 있다^{8,9)}. 약방전은 기체 방전이 시작되는 초기의 방전 mode를 사용하는 것으로 방전 전류가 매우 미약하여 그에 따른 가시광 출력이 작다. 또한, 벽전압을 제어하는 성능이 매우 우수하기 때문에 대부분의 PDP의 리셋 동작에 사용되고 있다. 초기 ramp 리셋 파형은 모든 sub-field에 사용이 되었으며, black의 휘도는 $0.6 \sim 0.8\text{cd/m}^2$ 였다. 이 후 한 frame에 1회의 주 리셋 동작을 수행하고, 나머지 sub-field에서는 선택적 리셋을 수행하는 보조 리셋을 수행하도록 하여 $0.2 \sim 0.3\text{cd/m}^2$ 로 black의 휘도는 더욱 낮아졌다. [그림 6]에서 보인 선택적 리



[그림 6] 암실 명암비를 향상시킨 선택적 리셋 구동 파형

셋 구동 파형의 보조 리셋 파형은 이전 sub-field에서 가시광을 출력한 픽셀에서만 리셋을 수행하며, black에서는 리셋 동작을 수행하지 않는다. 따라서 frame당 1회 수행되는 주 리셋의 가시광 출력에 의해서만 black의 휘도가 결정된다. 주 리셋의 휘도는 패널의 방전 개시 전압 산포와 직접적으로 관련이 있다. Ramp 파형은 각 픽셀의 물리적 특성의 산포를 벽전압을 이용하여 보상하는데, 이 산포가 넓을수록 높은 전압의 ramp 파형을 사용해야 하고 넓은 전압 범위에서 약방전이 발생하기 때문에 가시광 출력이 증가한다. 최근에는 black의 휘도를 더욱 낮추기 위해 2 ~ 3 frame마다 1회의 주 reset을 사용하는 방법에 관한 연구가 진행되고 있다. 이러한 연구에서는 한 번 형성된 벽전압을 유지하는 성능이 개선되어야 하며, 또한 black의 휘도가 2 ~ 3 frame마다 1회 출력되기 때문에 black에서 발생할 수 있는 플리커(flicker)에 대한 대응 기술 연구가 수반되어야 한다. 이러한 연구를 통해 최소 black 수준을 0.1cd/m^2 이하로 낮출 수 있는 기술이 확보되어 있다.

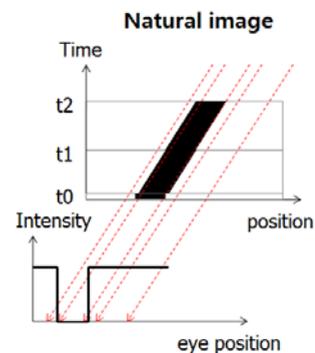
2. Motion Blur / Dynamic False Contour

실제 현실 세계에서 인간이 인지하는 가시광의 구성은 시간적, 공간적으로 연속되어 있다. 이는 시간적으로 영상 정보가 연속하여 망막으로 입력되고 있으며, 공간적으로도 연속적으로 분포한 가시광이 입력되고 있음을 의미한다. 그러나 디스플레이 디바이스는 이러한 시/공간적 연속성을 가진 가시광을 출력하는 것은 불가능하다. 왜냐하면 연속에 가까운 영상 정보를 처리할 수 있는 기술이 확보되지 못했기 때문이다. 영상 기기의 하드웨어의 속도 및 용량의 한계로 인하여 유한한 양의 영상 정보만을 획득, 전송, 처리, 저장할 수 있다. 따라서 시간축으로 영상을 구분하여 플리커를 느끼지 못하는 정도의

주파수로 정지 영상을 디스플레이 한다. 공간축으로는 영상을 픽셀로 구분하여 개별 픽셀을 느끼지 못하는 해상도 정도의 영상 데이터를 디스플레이 한다. 영상 기기의 하드웨어/소프트웨어적 발전과 디스플레이 제조 기술의 발전에 힘입어 디스플레이는 점점 더 자연스러운 영상에 가까워지려는 노력을 하고 있다. 시간축의 관점에서는 LCD에서 120/240Hz 구동을 채용하고 있으며, 공간축의 관점에서 모든 디스플레이는 해상도를 높이기 위한 노력을 하고 있다.

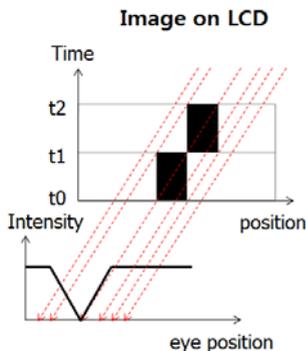
이러한 실제 자연에서의 가시광의 시/공간 분포와 디스플레이에서의 가시광의 시/공간 분포의 괴리는 각 디바이스마다 motion blur 혹은 dynamic false contour (DFC)와 같은 영상 왜곡을 유발한다. 가시광이 한 frame에 지속적으로 출력되는 LCD, AMOLED의 경우는 motion blur가 주로 관찰이 되며, sub-field 구동을 하는 PDP의 경우는 DFC가 관찰된다.

[그림 7]은 실제 자연적인 물체의 이동과 이를 망막에서 인식하는 것을 설명하는 그림이다. 밝은 배경에 검정색 물체가 이동하는 경우를 보이는데, 세로축은 시간을 나타내고 가로축은 해당 시점에서의 각 위치에 대한 가시광의 구성을 보인다. t_0 부터 t_2 의 시간까지 검정색 물체는 우측으로 이동하는데, 시간과 공간을 고려한 가시광의 분포를 [그림 7]의 위쪽 그래프로 나타낼 수 있다. 인간의 눈이 이 물체와 동일하게 이동하는 경우 각 시간 별로 사람의 눈이 바라보는 위치는 점선을 따라 이동하며, 이 점선에 대하여 가시광을 적분하면 사람이 인지하는 영상을 계산할 수 있다. 아래 그래프가 이를 나타내는

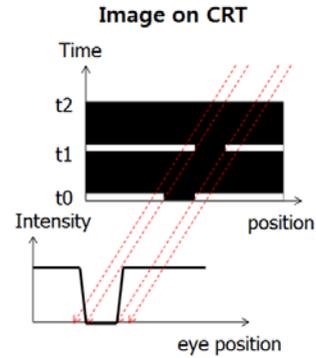


[그림 7] 자연 영상에서의 영상 인지

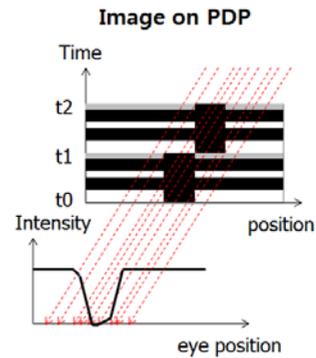
데 가로축은 망막 세포의 공간적 위치를 나타내며 세로 축은 각 위치에서 적분한 가시광의 크기를 나타낸다. 사람의 시선은 연속적으로 이동하며, 자연의 영상에서 물체 역시 연속적으로 변화하는 가시광을 출력하므로 물체가 정확하게 인지된다. [그림 8]은 hold type으로 영상을 구현하는 경우의 가시광의 시/공간 분포와 이에 대한 사람의 물체 인식을 나타낸다. Hold type 디스플레이의 경우 한 frame에 대하여 정지 영상을 위한 가시광이 지속적으로 출력된다. 그러나 사람은 이를 불연속적으로 인지하지 못하고, 시선은 연속적으로 이동하며, 그에 따른 적분 결과는 [그림 8]과 같다. [그림 8]로부터 검정색 물체의 경계(edge) 부분이 완만하게 밝기가 변하는 것을 볼 수 있는데, 이는 edge가 넓게 퍼지는 것을 의미하며 이를 motion blur라 한다. 이와 같이 디스플레이 디바이스에서 출력되는 가시광의 시/공간 분포가 실제와 달라서 생기는 영상 왜곡은 디바이스의 특성에 따라 다르게 나타난다. [그림 9]는 CRT에서의 motion blur 발생에 관한 그래프를 보인다. CRT의 경우 한 frame에서 가시광은 매우 짧은 기간 동안 강한 빛을 출력하며, 그에 따라 움직이는 물체의 edge가 퍼지는 motion blur는 발생하지 않는다. 이와 같이 가시광의 출력이 시간적으로 집중되어 있고, 가시광이 출력되지 않는 시간이 길수록 오히려 motion blur가 발생하지 않는 경향을 보이며, 이를 활용하여 hold type 디스플레이에서 black을 표시하는 기간을 frame 내에 삽입하는 방법이 활용되기도 한다. [그림 10]은 PDP에서의 움직이는 물체를 인지하는 경우를 보인다. PDP의 경우 어드레스 기간이 매우 길며 이 기간 동



[그림 8] Hold type 디스플레이에서의 영상 인지



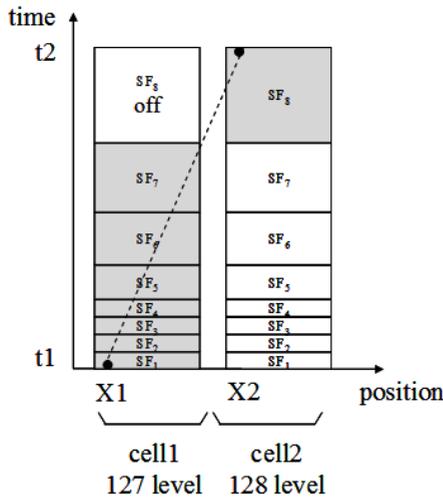
[그림 9] CRT에서의 영상 인지



[그림 10] PDP에서의 영상 인지

안 가시광이 출력되지 않는다. 또한, 유지 방전 기간 동안 매우 밝은 가시광을 출력하기 때문에 비교적 motion blur의 발생이 적다.

PDP에서는 motion blur보다는 동화 의사 윤곽(dynamic false contour, DFC)의 문제가 더 크다. [그림 11]은 DFC가 발생하는 경우를 보인다. 각 sub-field의 가중치는 [그림 5]와 같이 주어지며, 좌측의 픽셀은 128 계조를 표시하고 우측의 픽셀은 127 계조를 표시한다. 이 경우 좌측 픽셀의 driving 벡터는 {0, 0, 0, 0, 0, 0, 0, 1}이고, 우측 픽셀의 driving 벡터는 {1, 1, 1, 1, 1, 1, 1, 0}로 주어지며, [그림 11]의 점선의 방향으로 시선이 이동한 경우 사람은 0 계조 레벨을 인지하게 된다. 혹은, 그 반대 방향으로 시선이 이동하게 되는 경우 255 레벨을 인지하는 경우도 발생한다. 이러한 영상 왜곡은 contour의 형태로 보이게 된다^[10]. DFC의 발생 원인은 유사한 계조를 표현하기 위한 sub-field의 on/off 구조가 큰 차이



[그림 11] PDP에서의 dynamic false contour

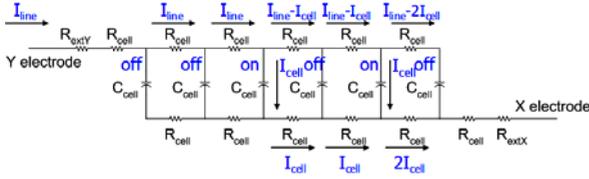
를 갖는 경우에 크게 발생한다. DFC를 개선하기 위해 움직임 추정하여 데이터 값을 변경하거나, sub-field의 데이터가 움직임을 따라 이동하는 등의 여러 방법이 고안되었으나 가장 보편적으로 사용되는 방식은 sub-field의 수를 증가시키는 것이다. sub-field의 수를 증가시키고, 각 sub-field의 가중치를 2^n 으로 하지 않고, sub-field간 밝기 차이를 이보다 더 작게 설정한다. 이렇게 되면 하나의 계조를 표현할 수 있는 driving 백터가 여러 개가 될 수 있다. 이 중에서 인접한 계조를 표현할 때 sub-field들의 on/off 구조가 유사한 codeword를 선택하여 출력하도록 하면, DFC를 줄일 수 있다. 이러한 DFC 저감 방법을 최대화하기 위해서는 한 frame에서의 sub-field의 수를 증가시켜야 한다. Sub-field의 수 증가는 화질 측면에서 매우 중요한 의미가 있는데, DFC를 개선할 수 있고 또한 계조 표현력을 향상시킬 수 있기 때문이다. 이러한 sub-field의 수 증가는 어드레스 동작 속도를 빠르게 함으로써 얻을 수 있으며, 이를 위한 고속 어드레스 기법에 관한 연구가 진행되고 있다. 한편으로는 움직임이 매우 큰 영상에서는 DFC를 크게 발생시키는 계조를 출력하지 않는 방법도 사용되는 경우가 있다. 이 때 표현하지 못하는 계조는 디더링(dithering)과 같은 방법을 이용하여 구현하는데, 움직임이 매우 큰 영상의 경우 계조의 정확성에 대한 민감도가 떨어지기 때문에 영상 화질에 큰 문제를 발생시키지 않는다.

DFC의 발생을 최소화하기 위해 매우 소수의 계조만을 표시하는 구동 방법이 제시된 바가 있는데, clear 구동으로 불리는 이 방법은 20개 미만의 계조 레벨만을 표시하며, 디더링 등의 영상 처리를 이용하여 영상을 구현한다^[11-13].

3. 영상 부하 영향

일반적으로 자발광 디스플레이가 좀 더 우수한 화질을 보이는 것으로 알려져 있으며, 자발광 디스플레이로는 CRT, PDP와 AMOLED가 있다. 이 중 PDP와 AMOLED는 매트릭스 형태의 전극 구조를 가지고 있으며, 화면의 켜진 픽셀의 개수에 따라 이 전극에 흐르는 전류가 달라지고, 이에 따라 각 픽셀의 구동 전압이 화면의 켜진 픽셀의 수 즉, 영상 부하에 따라 달라질 수 있다. AMOLED의 경우에도 전원 공급 line의 전압이 영상 부하에 의해 변화된다^[14,15]. 그러나 OLED에 흘러야 할 전류가 아날로그적으로 픽셀에 저장되어 있어 구동 전압 변화에 덜 민감하지만 PDP의 경우는 구동 전압에 따라 휘도 특성이 매우 크게 변화한다. 따라서 영상 부하에 따라 휘도가 변하게 되는데 조금은 복잡한 결과를 야기한다. 현재 AMOLED에서 시도되고 있는 디지털 구동의 경우는 PDP와 같이 구동 전압에 따라 휘도가 크게 변할 가능성은 높다고 할 수 있다.

우선 영상 부하에 의한 휘도 변화 특성을 파악하기 위해서는 패널 전극의 구조와 그에 따른 전압 강하 특성을 파악할 필요가 있다. PDP의 기본적인 패널의 전극 구조가 [그림 3]과 같다고 가정할 때의 패널의 회로 모델과 그에 대한 전압 강하를 분석한다. [그림 12]는 PDP에서의 한 scan line의 등가 회로와 이와 연결된 구동 회로 모델을 나타낸다. Y 전극과 X 전극의 구동 회로는 각각 R_{extY} 와 R_{extX} 로 나타냈으며, 각 픽셀 사이의 저항은 R_{cell} 로 모델링하였다. 각 픽셀의 내부는 전극 사이에 존재하는 기생 용량으로 모델링되는데, 방전이 발생하는 픽셀은 일정 양의 전류를 흘리는 전류원으로 모델링된다. 이 회로 모델에서 i번째 픽셀의 X-Y 전극 사이의 전압 차이는 외부에서 인가한 전압을 V_s 라 할 때 아래와 같은 식으로 나타낼 수 있다.



[그림 12] PDP에서의 scan line에 대한 회로 모델

$$V_{XY,i} = V_s - I_{total} \times R_{ext} - I_{line} \times R_{line} + I_{cell} \times R_{cell} \times LD_{i,a+1}$$

위 식에서 I_{total} 은 패널 전체에 흐르는 전류를 나타내며, R_{ext} 는 R_{extX} 와 R_{extY} 의 합을 나타낸다. I_{line} 은 scan line에 입력되는 전류이고, R_{line} 은 한 scan line의 전체 저항을 뜻한다. I_{cell} 은 한 픽셀에서 방전이 발생했을 때의 전류를 나타내며 LD항은 가로 방향으로 켜진 픽셀의 밀도를 의미하는데, 그 구체적인 내용은 이전 논문에 나타나 있다^[6]. 위 식에서 $I_{total} \times R_{ext}$ 항은 패널 전체의 영상 부하의 전압 강하에 대한 영향을 나타내며, $I_{line} \times R_{line}$ 항은 각 scan line별 영상 부하에 의한 영향을 나타낸다. 마지막 항은 가로 방향으로 켜진 픽셀들의 밀집 정도에 의한 영향을 나타낸다. 이러한 전압 변화는 휘도의 변화로 이어지는데, 따라서 한 픽셀의 영상 부하에 의한 휘도 변화는 전체 영상 부하, 한 라인에서의 영상 부하 및 가로 방향으로의 부하의 밀도에 영향을 받는다. 한 픽셀에 영향을 미치는 인자가 많기 때문에 영상 부하에 의한 휘도 변화는 매우 복잡하게 나타나는데, 같은 영상 레벨을 표시하더라도 scan line의 영상 부하에 따라 각 scan line마다 같은 영상 레벨이 다른 휘도로 출력될 수 있고, 켜진 픽셀의 수가 같더라도 인접해 있거나 혹은 떨어져 있는 경우 휘도가 달라진다.

영상 부하에 의한 휘도 변화는 크게 두 가지 형태의 영상 왜곡으로 나타나는데, 첫 번째로는 scan line별 영상 부하의 차가 클 때 인접한 line 사이에 큰 휘도 차이가 발생하는 휘도 단차와 두 번째로는 각 sub-field의 영상 부하 차이로 인한 sub-field 가중치 왜곡으로 발생하는 solarization으로 나눌 수 있다. 영상 부하에 의한 왜곡에 대처하는 방법은 크게 방전 제어 방법과 데이터 처리의 방법이 있다. PDP의 출력 휘도는 유지 펄스의 전압뿐만

아니라 펄스의 형태의 영향을 받는다. 특히, 펄스의 상승 부분 혹은 하강 부분에 영향을 받는데, 부하 조건을 영상 입력으로부터 계산한 후 해당 부하 조건에 맞는 유지 펄스의 모양을 선택하여 출력하는 방법이 사용될 수 있다. 데이터를 조정하는 방법은 영상 부하에 따라 각 scan line별로 sub-field의 가중치 변화를 예측하고, 변화된 가중치를 이용하여 driving 백터를 수정하는 방법을 사용한다^[17-19]. 한편으로는 디더링 역시 하나의 방법이 될 수 있는데, 디더링을 통하여 표현하는 계조 레벨을 분화시킴으로써 하나의 sub-field에 켜진 픽셀의 수가 집중되는 것을 분산하는 효과를 얻을 수 있다.

IV. 결론

디스플레이의 영상 화질은 일반적인 영상 처리와 다른 측면을 가지고 있는데, 디바이스의 특성에 대한 고려가 필요하다는 것이다. 디바이스의 특성에 따라 발생하는 영상 왜곡 및 문제점이 다르며, 그에 따른 대응 기술 역시 디바이스의 특성에 맞게 개발되고 있다. FPD의 시장을 개척한 PDP는 자발광 소자, 벽전압을 이용한 메모리 효과, 빠른 응답 속도 및 저비용 구조의 큰 장점을 가지고 있으며, 디바이스 특성에 기인한 암실 명암비, 동화 의사 윤곽(DFC) 및 영상 부하 영향 등 여러 화질 문제를 개선하기 위해 디바이스의 특성에 맞는 해법을 개발하며 지속적인 발전을 하고 있다. 이러한 디바이스 특성을 고려한 영상 화질 개선 연구 결과는 PDP뿐만 아니라 새롭게 개발되고 있는 여러 차세대 디스플레이의 화질 문제 예측 및 개선 방법에 매우 큰 기여를 할 수 있다고 본다.

참고문헌

- [1] A.Sobel, *IEEE Trans. Plasma Sci.*, **19**, 1032, (1991).
- [2] T.Shinoda, *SID int. Symp. Dig.*, 161, (1993).
- [3] S.Mikoshiba, *Information Display*, **10**, 21, (1994).
- [4] J.L.Deschamps, *Proc.SID*, 315, (1994).
- [5] 서정현, 서울대학교 대학원 공학박사 학위논문, (2000).
- [6] Wakitani, *U.S. Patent*, 5940142, (1999).
- [7] Chang-Su Kim, *ISCAS '04*, **3**, 941, (2004).
- [8] G.-S.Kim, *IEEE Trans. Electron Devices*, **50**, 1705,

(2003).

[9] C.-H.Park, *IEEE Trans. Electron Devices*, **49**, 1143, (2002).

[10] I.Kawahara, *IEICE Trans. ELectron*, **E81-C**, 1733, (1998).

[11] Tokunaga Tsutomu, *Proc. 6th Int. Display Workshops Symp.*, 787, (1999).

[12] K.Yoshikawa, *Proc. Japan Display '92*, 605, (1992).

[13] T.Tokunaga, *U.S. Patent*, 6414658, (2002).

[14] Kristiaan Meyts, *Journal of Applied Physics*, **100**, 114513, (2006).

[15] Myoung-Hoon Jung, *Journal of the Korean Physical Society*, **48**, s5, (2006).

[16] J.S.Kim, *IEEE Electr. Device Lett*, **28**, 896, (2007).

[17] J.S.Kim, *IEEE Trans. Circuits Syst. Video Technol.*, **18**, 827, (2008).

[18] J.S.Kim, *IEEE Trans. Circuits Syst. Video Technol.*, **19**, 561, (2009).

[19] J.S.Kim, *IEEE Trans. Consumer Electronics*, **57**, 1390, (2011).

저 자 약 력

김진성



- 1996년 : 서울대학교 전기공학부 학사
- 1998년 : 서울대학교 전기공학부 석사
- 2004년 : 삼성SDI PDP 개발팀 책임연구원
- 2009년 : 서울대학교 전기컴퓨터공학부 박사
- 2010년 : 삼성SDI PDP 개발팀 책임연구원
- 2010년 : 서울대학교 정보기술사업단 연구연구원
- 2011년~현재 : 선문대학교 전자공학과 조교수
- 관심분야 : driver system and image quality enhancement for flat panel display, video codec, pattern recognition