

PRAM 개발 현황 및 Application 전망

유제환 (삼성전자)

I. 서론

지난 40여년간 메모리 반도체는 1.0~1.5년에 2배의 집적도 증가를 만들면서 CPU 발전과 함께 IT 기술 발전의 핵심 축을 담당해왔다. 그러나 SRAM과 NOR Flash memory는 이미 shrink 한계로 단품 chip 사업이 중단되었고, 최근 main memory로 사용되는 DRAM과 storage로 사용되는 flash memory 등 현재의 charge based memory들이 scaling 기술 개발의 높은 장벽으로 shrink 기술 개발에 큰 어려움을 겪고 있으며, 향후 5년내에 scaling 한계 가능성이 높아지고 있다. 이를 근본적으로 극복하기 위한 새로운 대안으로 학계, 산업계에서는 10여년전부터 FRAM, PRAM, MRAM, RRAM 등의 resistive memory에 대한 연구를 본격적으로 진행하여 왔고, 이중 PRAM은 삼성전자가 2009년 최초로 양산 및 mobile phone 상용화에 성공하였고, 2년이상의 field test까지 완료 하였으며 여러 업체들이 개발중이다.

본 연구에서는 현재 DRAM보다 앞선 20nm 공정으로 본격적인 상용화를 추진중인 PRAM의 동작원리 및 특징, 개발 현황, 개발시 주요 문제점 및 해결 방안, Application 전망등을 소개하고자 한다.

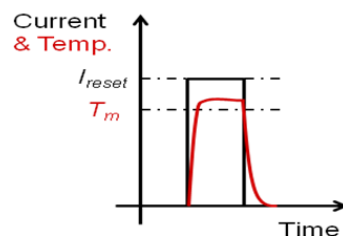
II. PRAM의 동작 원리, Cell 구조, 주요 장점

1. PRAM의 동작원리

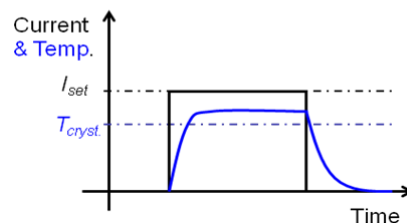
우선 PRAM의 write 동작원리를 설명하면 <그림 1>에서와 같이 chalcogenide 특성을 갖는 GeSbTe(약어로 GST)에 일정 전류를 인가하여 600°C 이상의 melting 온도(T_m) 이상으로

만든 다음 수ns의 급격한 전류 감소를 통해 식히면 amorphous 상태가 되는데 이 때의 저항값이 수십K~수M ohm으로 크며, 이 상태를 Reset or data 1이라고 표현한다. 이와 대조적으로 reset시보다 약간 낮은 전류를 인가하여 crystalline 온도(T_{cryst}) 이상으로 만든후 수십~수백ns 동안의 천천히 전류 감소를 하면 crystalline 상태가 되는데 이 때의 저항은 수K ohm 수준으로 작고 이 상태를 Set or data 0라고 표현한다. 결국 PRAM에서 write time을 결정하는 것은 Set(data 0)이며, Reset 대비 수배~수십배의 write 시간이

Reset pulse
- above T_{melt} of GST
- few ns (quench)

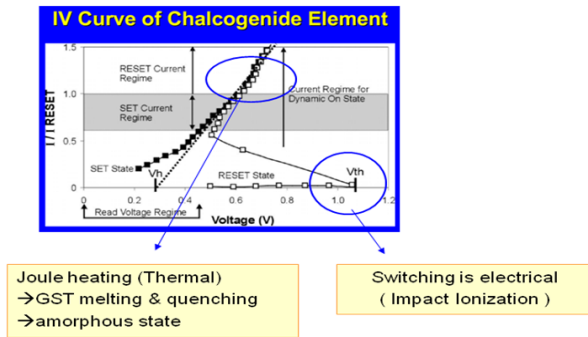


Set pulse
- above T_{cryst} of GST
- a few hundreds of ns



<그림 1> Write 동작 개념도

Read while DC current sweep



〈그림 2〉 GST Cell의 I-V 특성 Curve

더 필요하다.

이처럼 PRAM은 GST 저항치로 digital 정보를 저장하는 memory이다.

PRAM의 Read 동작 원리는 〈그림 2〉의 GST I-V 특성 Curve에서 보듯이 GST에 $> 10E15$ 횡수에도 destructive 상태가 되지 않을 정도의 작은 전압(약 0.3V)이 걸리도록 current를 인가후 저항값에 의해 발생하는 GST에 걸리는 voltage 차이를 이용하여 data 0,1을 sensing한다. 이런 제한 때문에 Reset Read시 사용할 수 있는 current max 값이 $< 5\mu A$ 로 작고, PRAM cell의 sensing margin을 충분히 확보하는데 고난이도의 설계 기술이 필요하다.

2. PRAM Cell 구조

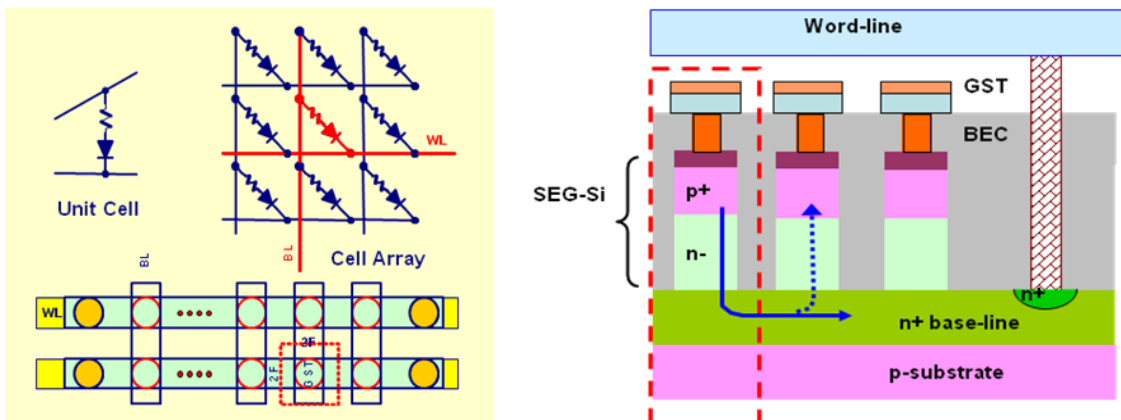
PRAM Cell은 〈그림 3〉에서와 같이 chalcogenide 재료 (GST), switching device인 P-N junction diode, GST와 diode를 연결하는 하부 전극, GST와 BL을 연결하는 상부전극으로 구성되며 flash memory와 같은 4F2 cell size를 갖는다. 여기서 Diode는 Si위에 SEG 방식으로 형성하며, Diode 끝단에는 n+ active 영역을 거쳐 WL이 연결된다. Chacogenide 재료로는 현재 모든 업체가 GST를 사용하고, 각각의 조정비

를 최적화하고 있으며, 향후 PRAM의 Write speed를 수십ns 정도로 향상하기 위한 새로운 재료 개발을 연구중이다.

Sub 30nm cell에서는 PRAM Cell 구조가 Diode, BEC, GST, TEC를 small hole에 모두 형성하는 fully isolated cell로 변경이 불가피하고, 이 hole size에 따라 cell 전류 특성이 달라지기 때문에 이 uniformity를 최소화하고, BEC 계면저항 산포를 최소화 하는 것이 양산성 확보의 관건이 된다.^[3]

3. PRAM의 주요 장점

- 1) Non volatile & Random access 가능 memory : DRAM + Flash의 장점을 모두 구비하여 New system architecture 구현 가능
- 2) Cell size는 DRAM보다 $\sim 0.6X$, 공정 Step은 DRAM $\sim 0.85X$ 로 DRAM 대비 Bit cost를 $\sim 1/2$ 로 구현 가능
- 3) Performance : read는 DRAM과 유사, write는 현재 DRAM보다 1/100이나 shrink하면서 lpgm 감소로 parallel bit수가 증가하여 계속 개선 가능하며, flash보다 10배 우위, DRAM 대비 refresh가 필요 없어 stanby current는 DRAM의 $\sim 1/5$ 로 작음
- 4) 신뢰성 : Endurance가 1M ~ 1Gcycle로 Flash 대비 2~5 order 우수하여 coarse한 wear leveling만 적용하면 되기 때문에 성능향상 및 ECC penalty를 크게 relax가능하다. Retention 특성은 75°C 10yr 수준이 보장가능하여 flash 대비 20°C이상 고온환경에서 견딜 수 있어서 thermal 특성이 중요한 smart phone, Tab에서 사용시 잇점이 있음
- 5) Scalability : 〈표 1〉은 2011에 발표한 논문 2편 요약 자료인데 PRAM Cell의 GST가 $< 3nm$ 까지Scaling 가능성이 있는 것으로 발표되었다. 이는 20nm에서조차 shrink가 어려운 DRAM, Flash 대비 매우 큰 장점이다.



〈그림 3〉 PRAM Cell 구조

〈표 1〉 2011 발표된 PRAM Scaling 가능 수준 논문 자료

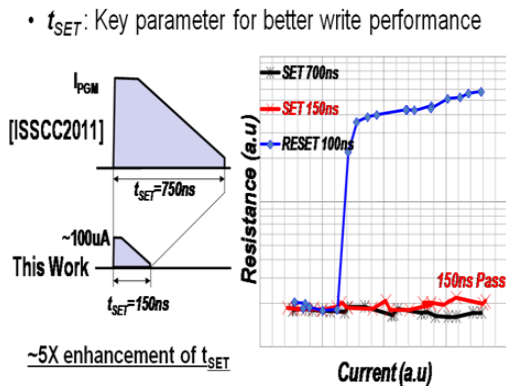
	Science	VLSI symp.
Affiliation	UIUC	Stanford Univ
PCM	GST	GST
Cell Size	2.7nm	1.2nm
Cell 구조	Lateral	X-point & Lateral
Ireset	5.0uA	1.4uA
Iset	0.5uA	0.5uA
Rreset/Rset	~ x25	~ x9
tRESET	50ns	50ns
tSET	150ns	50ns
Write Endurance	> 200 cycle	> 1500 cycle

Ⅲ. PRAM 개발 현황

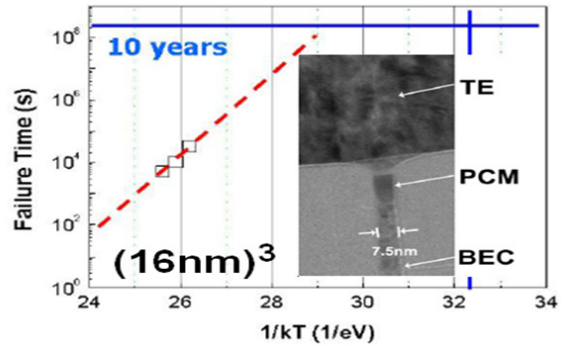
1. 삼성전자

2009년 NOR interface를 갖는 512Mb PRAM의 양산 개발에 성공하였고, mobile phone에 탑재하여 2년이상의 field test까지 문제없음을 검증 완료함으로써 PRAM 상용화의 길을 열었다. 작년에 ISSCC에 발표한 58nm 1Gb PRAM은 국제 표준화 사양인 mobile DRAM과 동일한 interface를 갖는 LPDDR2-NVM을 적용함으로써 low cost multi chip package가 가능해졌고 400Mbps bandwidth와 6.4MB/S의 write performance로 NOR flash보다 4배의 우수한 성능을 구현하였다.^[1] 이 제품은 작년에 sampling하였고, 금년 하반기에 양산 예정이다.

올해초 ISSCC에 발표한 20nm 8Gb PRAM은 DRAM보다 앞선 공정을 적용하여 8Gb density까지 구현하였고, write performance를 40~133MB/S로 크게 개선하여 main memory



〈그림 4〉 Write performance 개선 기술



〈그림 5〉 20nm PRAM Cell 구조 (fully isolated cell)

로 사용 가능한 수준에 근접하게 되었다.^[2] 이를 위해 사용한 기술은 〈그림 4〉와 같이 공정적으로 Set pulse width를 1/5로 줄이고, lpgm이 cell shrink 효과로 1/4로 감소하여 parallel write를 4배 증가한 기술이다.

아직 연구개발 단계이지만 2013~2014년에 20nm PRAM이 양산개발 성공시 DRAM대비 약50% bit cost로 8Gb PRAM이 상용화가 되는 것이어서 PRAM의 본격적인 사업화가 가능해지고, memory & storage architecture에 큰 변화를 가져다 줄 것이다. 20nm PRAM에서 적용한 Cell은 〈그림 5〉와 같은 point type cell이며, 이는 < 10nm까지 사용 가능한 구조이다.^[3]

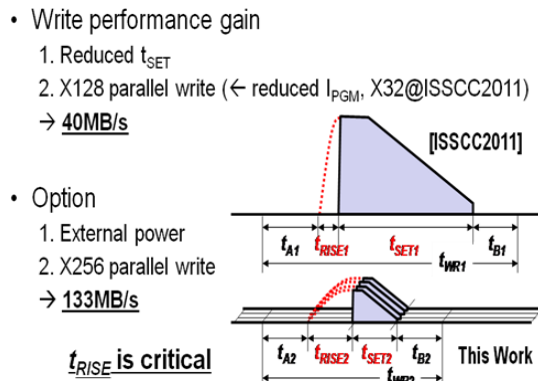
한편 storage향 multi bit cell에 대한 연구도 병행하여 진행중이다.^[5]

2. Micron

작년에 Micron사에 인수된 Numonyx사는 현재 LPDDR2-NVM interface를 갖는 1Gb PRAM을 양산 개발중이다.

3. IBM

SCM(Storage Class Memory)향으로 multi bit PRAM 기술



을 중점적으로 개발하고 있다.^[4]

4. Hynix

다양한 application을 target으로 40nm급 SLC,MLC PRAM을 연구중이다.

IV. PRAM 개발시 주요 문제점 및 해결 방안

1. Cell 저항 산포 안정화

모든 memory의 양산성은 cell 특성 산포의 pass율에 달려 있다. PRAM도 적은 cell에 대해서는 cell 저항비가 1 order이상으로 양호하나 Giga bit 이상의 많은 cell에서는 cell 저항 산포 때문에 저항비가 20이하가 되어 양산성 확보의 가장 큰 걸림돌이 되고 있다. 이를 개선하기 위해서 설계적으로는 write current의 PVT variation 및 cell 위치별 차이를 최소화 해야 하며, sensing 회로의 PVT variation 및 cell 위치별 parasitic 저항 차이를 최소화하는 것이 필요하다^[2]. 공정적으로는 GST와 하부 전극사이의 계면 저항 산포를 최소화하는 것이 가장 중요한데 이를 위해 contact CD 산포를 안정화하기 위한 공정 scheme 개발과 계면 etch 공정 기술이 필요하다.

2. Diode Vth 산포 최소화

Read시 sensing margin에 가장 영향을 많이 주는 parameter가 diode Vth이다. 특히 P-N junction diode 계면에서의 계면 저항이 diode Vth의 산포를 유발하는 주요인인므로 이를 안정화시키는 것이 매우 중요하다. 설계적으로는 diode Vth variation을 상쇄할 수 있는 cell tracking concept 등의 기술 개발이 필요하다.^[6]

3. R-drift & tWTR (Write to Read time for same cell) 문제 대응책

PRAM의 data 1(Reset) 상태는 cell이 melting & quenching에 의해 이루어지기 때문에 data 1 high 저항값이 write 직후에는 작은 값을 가지다가 시간이 지나면서 증가하는 현상을 갖는데 이를 R(Resistance)-drift라고 하며, tWTR 특성 parameter로 표현한다. 이 현상은 PRAM Cell의 고유한 특성으로 저항비가 write 직후에는 작다가 tWTR이 길어지면 저항

비가 커지게 되며, 결국 system에서 tWTR을 짧게 사용하는 경우 sensing margin이 취약해져 양산 수율을 크게 저하시키는 어려운 문제가 있다. 이 문제를 해결하는 방법은 chip내에 동일한 cell의 short tWTR 조건시 cell에서 read하는 것이 아니라 internal buffer에서 나오도록 internal buffer를 구비하거나 system에서 short tWTR 조건이 없도록 control하게 하는 방안이 있고, 공정적으로 tWTR에 둔감한 기술을 개발하는 필요하다.

4. Write disturbance

PRAM Cell 동작이 고온의 melting 동작으로 이루어지기 때문에 이웃하는 cell에 disturbance failure를 유발할 수 있다. 이 문제는 scaling시 limit 요인으로 작용할 가능성이 큰데 sub 20nm이하에서는 fully isolated cell structure를 채택하고, write current의 scale down이 반드시 필요하다.

5. Write performance 향상

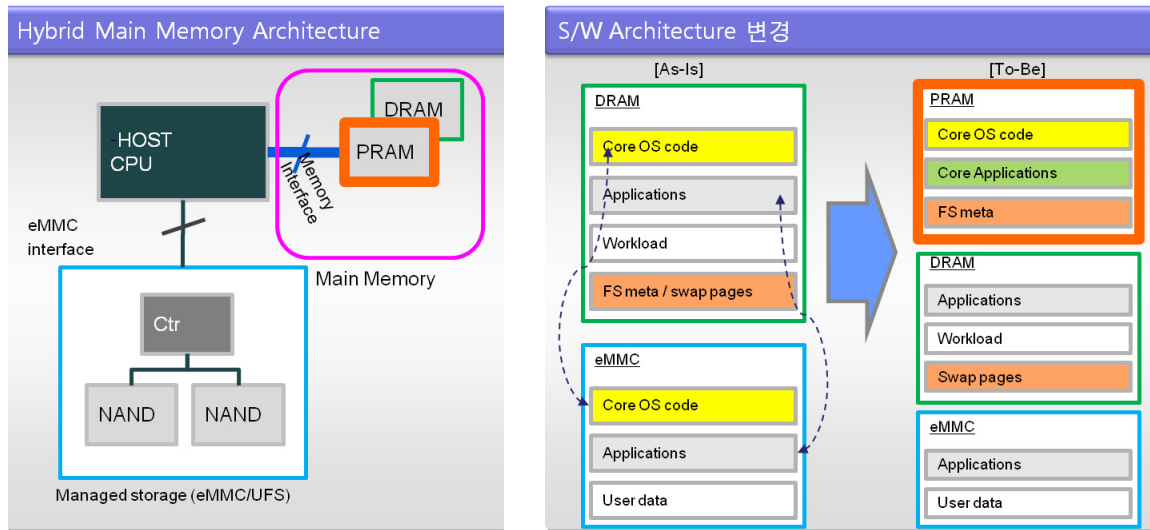
2012 ISSCC에서 발표한 삼성전자 논문의 경우 최대 133MB/S의 매우 높은 write performance를 달성하였지만 main memory로 사용되려면 추가 개선이 필요하다. 이를 위해서는 cell write current를 최소화하여 parallel write 수를 증가시키거나 cell write pulswidth를 줄이는 공정기술 개발이 중요하다^[2].

V. PRAM Application 전망

<표 2>에서 보듯이 지난 3년간은 PRAM이 처음으로 양산성을 검증하고, shrink 한계에 봉착하여 high density 대응이 불가능하였던 NOR flash memory 대체용으로 사용되었다. 금년부터 약3년간은 PRAM의 byte accessible 특성을 잘 활용한 flash storage cache용과 shrink 효과가 없어진 low density SLC NAND flash 용도로 사용될 예정이고, '15년 이후에는 DRAM scaling이 한계에서 도달하고, 20nm이하급 high density PRAM이 성공적으로 양산될 경우 현재 IT system에서의 memory,storage 구조인 DRAM + SSD or HDD 구조가 PRAM의 low cost 및 nonvolatile 특성, low standby power장점을 활용한 hybrid working memory + hybrid storage로 변화될 가능성이 크다. <그림 6>은 mobile에 hybrid memory를 적용한 예이다. 이 구조로 변경시 booting 및 hot app. Program을 PRAM에 저장하여 booting speed 및 hot app load속도를 획기적으로 빠르게 할 수 있

〈표 2〉 PRAM Application 전망

단계	Application Projection	Advantages
1단계 ('09~'11)	Low end mobile phone에서의 storage - NOR 대체	Low Cost , High density
2단계 ('12~'14)	• Mobile phone에서의 low density storage • Flash based storage에서의 cache	Performance, Reliability
3단계 ('15~)	• Hybrid working memory • Storage cache • Storage class memory (SCM)	Cost, Performance Reliability



〈그림 6〉 Mobile system에서의 Hybrid memory 구조 및 S/W 구조 변경예

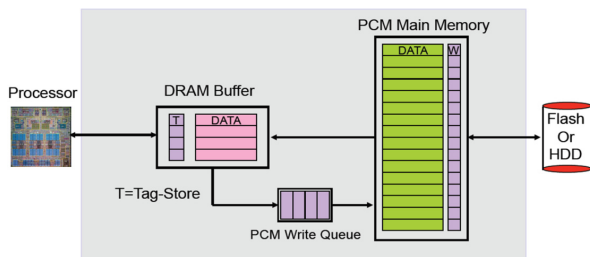
다. 〈그림 7〉은 bit cost가 높은 DRAM은 작은 용량의 Cache 용으로 사용하고 가격이 싼 PRAM을 main memory로 사용하는 hybrid memory의 예이다. 특히 RAM 용량을 매우 크게 필요로 하는 internet server에서는 현재 DRAM이 갖고 있는 standby power 문제가 없을 뿐 아니라 low cost의 RAM solution을 PRAM이 제공할 수 있어 잇점이 클 것으로 보인다. storage cache용으로 유리한 이유는 byte write/access가 가능하며 meta data 처리가 유리하고, endurance가 우수하기 때문이다. 이러한 nonvolatile RAM을 활용한 New

system architecture 연구가 국내외 학계와 MS, IBM, Oracle, HP, Intel등 big system 업체에서 활발히 이루어지고 있다.^[7,8]

VI. 향후 연구 방향 및 결론

이상의 내용에서 PRAM 개발 현황 및 개발시 생기는 문제점, 해결방안, 사업화 전망에 대해 논의하였다. 현재의 charge based memory인 DRAM, Flash memory는 scaling 한계에 봉착할 가능성이 크고 이를 대체할 new memory는 resistive memory이다. PRAM이 resistive new memory중 처음으로 기본적인 양산 가능성 및 사업화 가능성을 증명한 단계이고, 본격적인 사업화가 이루어질 20nm이하 공정은 작년년부터 연구개발이 이루어지고 있는 상황이다. Sub 20nm node에서 8Gb이상 high density로 특성 및 양산성을 확보하기 위해 극복해야 할 문제로는 cell 특성 산포, write performance 향상, endurance 신뢰성 특성 향상, chip efficiency향상등이 있으며 이를 잘 해결하고 PRAM의 우수한 scalability, non volatile RAM이면서 low cost인 장점을 잘 이용할 경우 hybrid working memory or storage cache

Hybrid Memory System



- Hybrid Memory System:
1. DRAM as cache to tolerate PCM Rd/Wr latency and Wr bandwidth
 2. PCM as main-memory to provide large capacity at good cost/power

〈그림 7〉 DRAM buffer + PRAM main memory 형태의 hybrid memory 응용예

용으로 volume 사업화가 가능할 것으로 예상된다. 이와 더불어 현재 tWTR 특성의 Cell별 산포문제 및 저항비 증가에 대한 기술적 난이도로 개발 우선 순위가 미루어진 multi-bit cell 기술도 중장적으로는 확보될 것으로 보이며, 이것이 가능할 경우 PRAM이 main storage용으로도 사용 가능할 것이다. 또한 장기적으로는 3차원 stack cell 구조도 연구 대상이다.

참고문헌

- [1] H.Chung, A 58nm 1.8V 1Gb PRAM with 6.4GB/S Program bandwidth, ISSCC 2011.
- [2] Y. Choi, A 20nm 1.8V 8Gb PRAM with 40MB/S Program bandwidth, ISSCC 2012.
- [3] S.J Ahn , Reliability prospective for high density PRAM Manufacturing IEDM 2011.
- [4] G.F Close, A 512Mb PCM for 90nm CMOS achieving 2b/cell, VLSI Technology, 2011.
- [5] Y.N Hwang, MLC PRAM with SCL write speed and robust read scheme, VLSI Technology, 2010.
- [6] Corrado Villa, A 45nm 1Gb 1.8V PCM, ISSCC, 2007.
- [7] Benjamin C. Lee, Architecturing PCM as a scalable DRAM alternative, ISCA, 2009.
- [8] Kangnyeon Kim, In Page logging with PCRAM, VLDB, 2011.



유 제 환

1985년 2월 연세대학교 전자공학과 학사.
1987년 2월 연세대학교 전자공학과 석사.
1987년 삼성전자 DRAM 개발 참여.
2004년 삼성전자 DRAM 개발담당.
2008년 삼성전자 선행기술 개발담당.
2009년 삼성전자 PRAM 개발담당.
현재 삼성전자 공과대학교 주임교수.
<관심분야> Memory 기술, 반도체 설계기술, 반도체 소자기술