

체내이식 무선기기용 디지털 모뎀의 설계 및 구현

Design and Implementation of Digital Modem for Medical Implant Communication System

이상재**, 김태민**

Sangjae Lee**, Tae Min Kim**

Abstract

In this paper, a digital modem for the medical implant communication system will operate in 402~405 Mhz wide-band in international standardization frequency was designed and implemented. The $\pi/4$ -D8PSSK modem, which is not only power effective with a good low-powered characteristics but also band-width effective, can overcome the shortcoming of PSK. The proposed digital modem was verified through the wave comparison based on the result of Matlab simulation and the wave from the measured one using Chipscope, and implemented with FPGA.

요약

본 논문에서는 체내 이식 무선기기용 디지털 모뎀을 국제표준화에 맞는 주파수 402~405Mhz 대역에서 작동하는 저출력 무선 시스템으로 설계하고 구현하였다. 저전력 모뎀 $\pi/4$ -D8PSSK는 전력 효율적인 변복조 방식으로 저전력 특성이 우수할 뿐만 아니라, 대역 효율적인 변복조 방식으로 PSK의 단점을 극복할 수 있다. 설계된 디지털 모뎀은 Matlab 시뮬레이션 파형과 Chipscope를 이용하여 측정된 파형 비교를 통하여 검증하고 FPGA로 구현하였다.

Key words : $\pi/4$ D8PSSK, PSSK, PSK, MICS

1. 서론

체내 이식 무선기기(MICS : Medical Implant Communication System)는 402~405Mhz 대역에서 작동하는 초 저출력 무선 시스템으로, 심장 박동기(PaceMaker), 이식형 심장 충격기(ICD - Implantable Cardiac Defibrillator)와 같이 인체에 이식되거나 삽입

된 기기와 통신을 하여 병원에서 뿐만 아니라 재택, 야외에서도 생체 계측과 상시 모니터링, 그리고 이에 따른 효율적 진단 및 응급조치를 가능하게 하는 의료 기기이다[1][2].

체내 이식 무선기기를 이용하여 인체 내의 변화를 측정하고 이를 외부로 전송하고, 외부로부터 제어 신호 등을 수신하기 위해서는 디지털 모뎀과 RF블록 등으로 구성된 송수신기 모듈이 필요하다[3].

국내에서도 최근 심장질환이 급증함에 따라 첨단 의료기기인 체내 이식형 무선기기들의 수요가 증가하고 있어 이에 대한 연구개발이 가속화되고 있다.

국제전기통신연합(ITU-R)에서는 MICS용 무선설비 기술기준을 마련하여 국제기구 권고안으로 각국에 권고하고 있으며, 미국, 유럽, 일본 등 세계 각국은 ITU-R 권고안에 따라 거의 유사하거나 동일한 주파수 대역과 기술기준을 마련하고 있다.

* 金鳥工科大學校 電子工學部 教授

(School of Electronic Engineering, Kumoh National Institute of Technology)

** ChipWork 대표

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment) : 본 논문은 2010년도
금오공과대학교 학술연구비의 지원에 의한 연구결과임.

接受日:2012年 01月 27日, 修正完了日:2012年 03月 12日

掲載確定日:2012年 03月 13日

II. 송신기 구조

1. $\pi/4$ -D8PSSK 송수신기

VHDL을 이용한 저전력 고속 $\pi/4$ -D8PSSK 송수신기를 FPGA로 구현한다. PSSK(Phase-Silence Shift Keying)은 전력 효율적인 변복조 방식으로 저전력 특성이 우수하고, 대역 효율적인 변복조 방식으로 PSK(Phase Shift Keying)의 단점을 극복할 수 있다. 전력 효율과 대역 효율 관점에서 서로 절충함으로써 PSK의 대역 효율적 측면과 OOK(On-Off Keying)의 전력 효율적인 측면을 결합하였다.

그림 1은 $\pi/4$ -D8PSSK 송수신기의 기호이다.

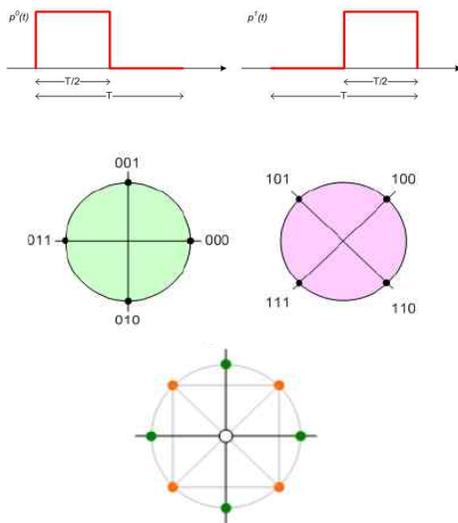


Fig. 1. $\pi/4$ -D8PSSK symbol constellations
그림 1. $\pi/4$ -D8PSSK 기호

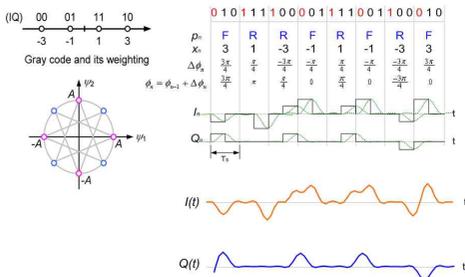


Fig. 2. Modulation of $\pi/4$ -D8PSSK
그림 2. $\pi/4$ -D8PSSK 송수신기의 변조

그림 2는 $\pi/4$ -D8PSSK 송수신기의 변조를 나타낸 것으로 직렬-병렬 변환기로부터 전송받은 MSB, I, Q

채널의 3채널 신호를 $-1-j, 1-j, -1+j, 1+j$ 등 4가지 경우의 수로 맵핑한 후, T_s 주기 전의 신호와 복소수 계산으로 위상차를 적용한다. 최대 위상차는 135° 이다.

그림 3은 PSSK 방식과 PSK 방식의 전력효율을 비교한 것으로 PSSK 방식이 PSK 방식에 비하여 5~6dB 정도 전력 효율이 우수하다.

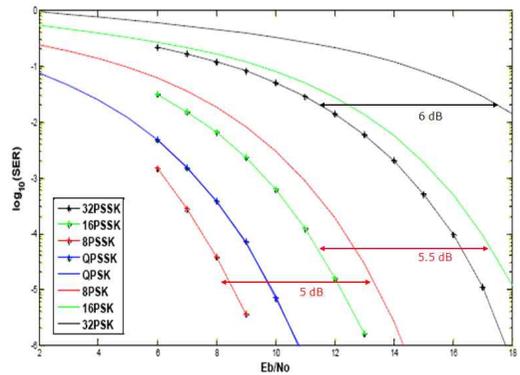


Fig. 3. Power efficiency comparison of PSSK and PSK
그림 3. PSSK와 PSK의 전력효율 비교

2. 모뎀 제어 블록

그림 4는 송신 프레임의 포맷으로 클럭에 맞추어 데이터 포맷의 변조 방식을 결정한다.

Octets : 48	2	2	4094	2
Preamble	PHR	MHR	PSDU	FCS
SHR	PHR		PHY payload	

Fig. 4. Transmission Frame Format
그림 4. 송신 프레임 포맷

SHR(Synchronization Header)는 $192T_s$ ($T_s = 1/15.36M$) 동안 QPSK로 변조된 프리앰블을 전송하고, Bit Rate는 20.72Mbps, 16 CAZAC sequence이다.

PHR(Physical Header)에서는 16Ts 동안 Physical Header, Mac Header를 $\pi/4$ -DQPSK로 변조/전송하고, Bit Rate 30.72 Mbps이다. Payload에서는 1092Ts 동안 Payload, FCS를 $\pi/4$ -D8PSSK로 변조하여 전송하며, Bit rate는 23.04 Mbps이다.

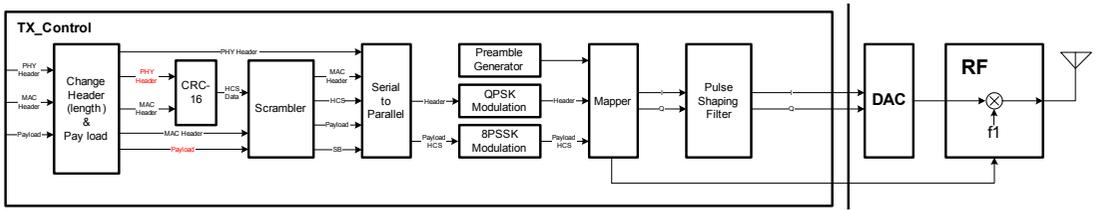


Fig. 5. Block-diagram of in-body transmitter
 그림 5. 인-바디 시스템의 송신부의 블록선도

프리앰블 코드 타입은 16 symbol의 CAZAC sequence를 사용한다.

- $C0 = 1+j; C1 = C0; C2 = C0; C3 = C0$
 - $C4 = -1+j; C5 = -1-j; C6 = 1-j; C7 = 1+j$
 - $C8 = -1-j; C9 = 1+j; C10 = -1-j; C11 = 1+j$
 - $C12 = 1-j; C13 = -1-j; C14 = -1+j; C15 = 1+j$
- 프리앰블의 전체 길이는 192 symbol의 CAZAC sequence이다.
- $P = [C0 C1 C2 C3 C4 C5 C6 C7 C8 C9 C10 C11 C12 C13 C14 C15]/\sqrt{2}$
 - Preamble = [P P P P P P P P P P P P P P P P]

그림 5는 인-바디 시스템 송신부의 블록선도로 송신 모델을 구성하는 블록의 주요기능은 다음과 같다.

- ① CRC-16 블록 : Payload에 오류가 있는지를 확인하기 위한 체크 값을 결정한다. 4094바이트의 payload에 따라 CCITT CRC-16 다항식과 연산하여 payload 마지막에 2바이트의 FCS데이터를 붙여 전송한다.
- ② Scrambler 블록 : Payload를 보호하기 위해서 특정 패턴을 사용하여 Payload를 변경한다. 4094바이트의 Payload를 시드 값에 따라 특정 초기 값과 생성다항식으로 연산하여 Payload를 변경한다.
- ③ Header Generation 블록 : Payload의 정보를 담은 4바이트의 헤더를 생성한다. 카메라로부터 들어오는 프레임을 저장하는 역할을 한다.
- ④ 직렬-병렬 변환기 블록 : 프레임 포맷에 따라 직렬 데이터를 2채널 혹은 3채널의 병렬 데이터로 변경한다.

3. 파형 성형 필터 블록

그림 6은 파형 성형 필터(Pulse Shaping Filter) 블록선도로서, roll-off 계수가 1인 SRRC(Square Root Raised Cosine) 필터를 사용하는데, 인접 심볼 왜곡으로 인한 ISI(Inter-symbol Interference) 방지를 위해

- 사각 펄스를 채널전송에 적절한 신호로 바꾸어 준다. SRRC 필터의 동작과정은 다음과 같다.
- Ts 동안 입력되는 신호를 4배 오버샘플링
 - 오버샘플링된 입력신호를 SRRC 필터의 계수 H(n)과 곱셈
 - 곱셈을 거쳐 나오는 15개의 신호를 덧셈
 - DAC 블록의 입력신호와 비트 수를 맞춤(8bit)

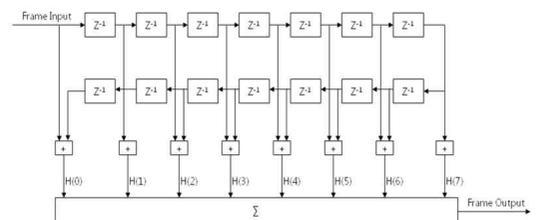


Fig. 6. Block-diagram of SRRC filter
 그림 6. SRRC 필터 블록도

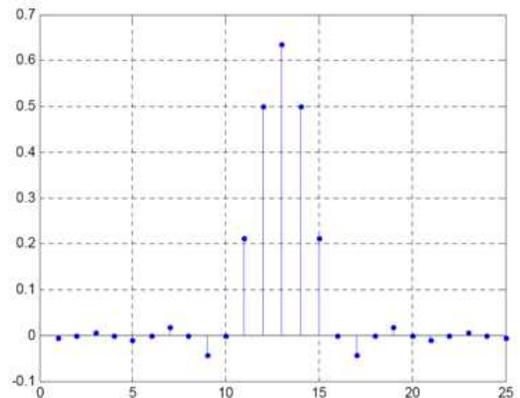


Fig. 7. 25 Tap SRRC pulse
 그림 7. 25 Tap SRRC 펄스

표 1에는 SRRC 필터의 계수들, 그림 7에는 25 tap의 SRRC 펄스를 보였다.

Table 1. Coefficients of SRRC Filter

표 1. SRRC 필터 계수

H(0)	H(1)	H(2)	H(3)	H(4)	H(5)	H(6)	H(7)
0	0.018	0	-0.042	0	0.2122	0.5	0.6366

III. 수신기 구조

그림 8은 수신 모델의 블록 구성을 나타낸다. ADC 블록에서는 RF으로부터 전송된 신호에서 캐리어 신호가 제거된 2채널(I 및 Q 채널)의 아날로그 신호를 디지털신호로 변환한다.

수신부의 SRRC 필터 블록에서는 수신 신호의 신호 대 잡음비(SNR)를 최대로 하기 위해서 송신 모델의 SRRC 필터와 같은 필터를 사용한다.

프리앰블 동기화 블록에서는 수신 신호의 동기를 맞추기 위해서 프레임의 첫 단의 프리앰블의 동기를 찾는다.

- 평균값과 Threshold (3.9811, SNR = 9dB point)을 곱한 값을 Noise Variance 값으로 정의
- (3) Signal Variance 값이 Noise Variance 값 보다 큰 심볼이 프리앰블 신호의 시작 위치
- (4) 동일한 동작을 세 번 반복해서 같은 위치에서 동기가 잡힐 경우 동작 종료
- (5) 수신부 모델의 동기부의 프리앰블 경계 동기화 블록에서는 프리앰블 동기화 블록에서 잡은 동기에 맞추어 프레임 포맷의 프리앰블 필드를 지나 헤더 필드의 시작 지점을 찾는다.
- (6) 수신 신호를 오버샘플 rate로 CAZAC sequence 복소수와 복소 연산
- (7) 복소 연산 결과 16개의 평균값을 구함
- (8) I, Q 채널에서 각각 Correlation 값을 구함
 - $I \text{ Corr} = I(t) * I(t - T_0)$, $Q \text{ Corr} = Q(t) * Q(t - T_0)$: $T_0 =$ 오버샘플 주기
- (9) I Corr, Q Corr 중의 MAX 값이 0 보다 작으면 프레임 경계 동기화 완료한다.

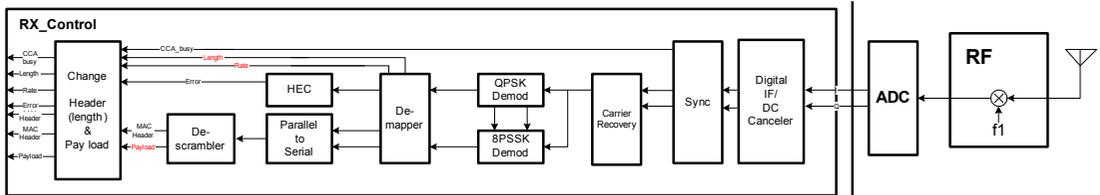


Fig. 8. Block-diagram of receiving modem

그림 8. 수신 모델의 블록도

1. 수신부 모델의 동기부

그림 9는 프리앰블 동기화 블록의 구성도이다 [4][5][6]. 수신 신호의 동기를 위해 프레임 첫 단의 프리앰블의 동기를 찾는다. 동작과정은 다음과 같다.

- (1) Signal Variance
 - 수신 신호를 오버샘플 rate로 CAZAC sequence 복소수와 복소(complex) 연산
 - 복소 연산 결과 16개의 평균값을 구함(signal correlation)
 - 평균값의 I 채널의 자승과 Q 채널의 자승을 더함
 - $T_s/4$ 주기 전의 결과와 크기를 비교
 - Max 값을 Signal Variance 로 정의
- (2) Noise Variance
 - 수신 신호 16개를 평균값을 구함(noise correlation)
 - 64 symbols의 I 채널 자승과 Q 채널 자승을 더한 평균값을 구함

2. $\pi/4$ -DQPSK 복조

프리앰블 경계 동기화 블록에서 찾은 헤더의 시작 지점부터 심볼 rate에 64 symbol을 복조하여 32bit의 헤더신호를 결정한다.

- (1) 프리앰블 경계 동기화 블록에서 찾은 헤더의 시작지점부터 64 symbol을 복조
- (2) 64 symbol을 프리앰블 동기 블록에서 찾은 동기 신호에 위치에 맞춰 심볼 rate(15.3 6Mhz)로 다운 샘플링하여 16 symbol 추출
- (3) t 시간에 수신된 신호와 $t - T_s$ 에서 수신된 신호를 복소수 연산

$$(I_n + Q_n j) \times (I_{n-1} - Q_{n-1} j) = I_{header} + Q_{header} j \quad (1)$$

$$s(t) = I_n + Q_n j \quad s(t - T_s) = I_{n-1} + Q_{n-1} j \quad (2)$$

- (4) $I_{header} > 0$, $Q_{header} > 0$ 이면 출력 신호는 $[[I_{header} \ Q_{header}]$

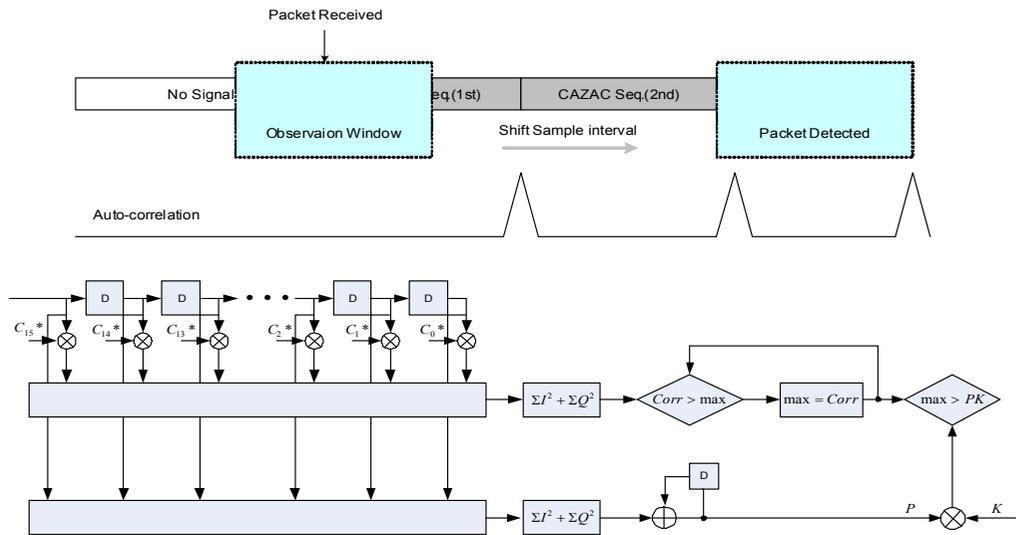
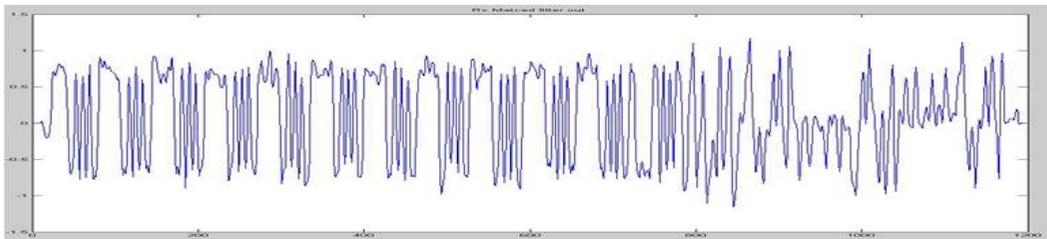
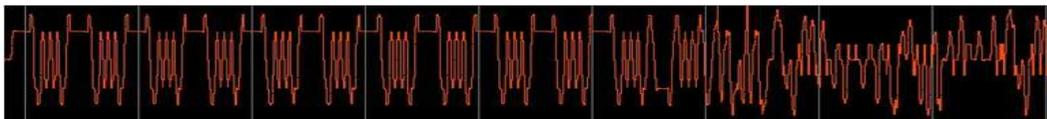


Fig. 9. Schematic diagram of Preamble synchronizing block
 그림 9. 프리앰블 동기화 블록 구성도



(a)



(b)

Fig. 10. Wave form comparison of Matlab simulation wave and the measured wave using Chipscope (Rx SRRC Q channel)

그림 10. Matlab 시뮬레이션 파형과 Chipscope로 측정한 파형 비교 (Rx SRRC Q channel)
 (a) Matlab (b) Chipscope

3. $\pi/4$ -D8PSSK 복조

수신 신호에서 Payload, FCS 신호를 복조한다.
 (1) 프리앰블 경계 동기화 블록에서 찾은 헤더를 복조 한 이후의 신호를 복조

- (2) 64 symbol을 프리앰블 동기 블록에서 찾은 동기 신호에 위치에 맞춰 심볼 rate(15.3 6Mhz)로 다운 샘플링
- (3) MSB 신호 결정
 - 심볼 클럭 동안의 신호의 세기를 측정

- 첫 번째 심볼 클럭의 신호가 크다면 MSB 신호는 ‘0’
 - 두 번째 심볼 클럭의 신호가 크다면 MSB 신호는 ‘1’
- (4) I, Q 채널의 신호 결정
- t 시간에 수신된 신호와 t-T_s 에서 수신된 신호를 복소수 연산

$$(I_q + Q_q j) \times (I_{q-1} - Q_{q-1} j) = I_{pay} + Q_{pay} j \quad (3)$$

$$s(t) = I_q + Q_q j \quad s(t - T_s) = I_{q-1} + Q_{q-1} j \quad (4)$$

(5) I_{pay} > 0, Q_{pay} > 0이면 출력 신호는 [MSB I_{pay} Q_{pay}]

그림 10은 SRRC 필터를 통과하여 Q채널의 수신단에 입력되는 신호의 파형을 Matlab을 이용하여 시뮬레이션한 파형과 Chipscope을 이용하여 실측한 파형을 비교한 그림으로 전반부의 규칙적인 부분은 프리엠블의 QPSK 복조 파형이고, 후반부는 헤더의 π/4-DQPSK 복조 파형으로 두 파형이 거의 일치함을 보인다.

IV. 결론

본 논문에서는 국제 표준화에 적합하고 저전력으로 동작 가능한 체내 이식형 무선기기용 무선 모뎀의 20Mbps π/4-D8PSSK 송수신기를 VHDL을 이용하여 FPGA로 구현하였다. 본 논문에서 설계한 무선 모뎀은 전력 효율적인 변복조 방식으로 저전력 특성이 우수하고, 대역 효율적인 변복조 방식으로 PSK의 단점을 극복할 수 있는 PSSK 방식을 사용하여 전력효율과 대역효율 관점에서 서로 절충함으로써 PSK의 대역효율 측면과 OOK의 전력 효율적인 측면을 결합하였다.

개발된 체내 이식형 무선기기용 디지털 무선 모뎀은 OFDM, Multi carrier 등과 같은 다중 변조방식과 채널부호화 기법을 접목하는 방안을 연구 중에 있다.

참고문헌

[1] <http://www.nanet.go.kr/> (국회도서관)
 [2] <http://www.riss4u.net/index.jsp>(KERIS 학술연구정보서비스)
 [3] http://www.kipris.or.kr/new_kipris/index.jsp(특허청)
 [4] O. Nam, "A study on the design and implementation of synchronization algorithms for BWLL base station modem", a doctoral

dissertation, Changwon Nat'l, Univ. 2001

[5] F. M. Gardner, "A BPSK/QPSK Timing-Error Detector for Sampled Receivers", IEEE Trans. on Commun., vol. COM-34, pp.423-429, May 1986
 [6] Z. Y. Choi and Y. H. Lee, "Frame synchronization in the presence of frequency offset," IEEE Trans. Commun., Vol. 50, pp. 1062-1065, July 2002

저자 소개

이 상 재 (정회원)



1980년 : 연세대학교 전기공학과 졸업 (공학사)
 1982년 : 연세대학교 대학원 전기공학과 (공학석사)
 1990년 : 연세대학교 대학원 전기공학과 (공학박사)
 1983년 ~ 현재 : 금오공과대학교 전자공학부 교수

<주관심분야> 자동화 시스템 구현 및 센서회로 설계

김 태 민 (정회원)



1994년 : 금오공과대학교 전자공학과 졸업 (공학사)
 1998년 : 금오공과대학교 대학원 전자공학과 (공학석사)
 2002년 : 금오공과대학교 대학원 전자공학과 (공학박사)
 2002년~현재 : ChipWork 대표

<주관심분야> 반도체 회로설계, FPGA 설계, 통신프로토콜 구현