

설계 초기 단계에서 전력/클록 네트워크를 고려한 라우팅 밀집도 예측 방법론

Power/Clock Network-Aware Routing Congestion Estimation Methodology at Early Design Stage

안 병 규** , 정 정 화*
 Byung-Gyu Ahn** , Jong-Wha Chong*

Abstract

This paper proposes the methodology to estimate the routing congestion of modern IC quickly and accurately at the early stage of the design flow. The occurrence of over-congestion in the routing process causes routing failure which then takes unnecessary time to re-design the physical design from the beginning. The precise estimation of routing congestion at the early design stage leads to a successful physical design that minimizes over-congestion which in turn reduces the total design time cost. The proposed estimation method at the block-level floorplan stage measures accurate routing congestion by using the analyzed virtual interconnections of inter/intra blocks, synthesized virtual power/ground and clock networks.

요 약

본 논문은 설계 흐름의 초기 단계에서 SoC의 라우팅 밀집도를 빠르고 정확하게 예측하는 방법론을 제안한다. 라우팅 과정에서 발생하는 과도한 밀집 현상은 라우팅 실패를 야기하고, 물리 설계를 처음부터 다시하게 되는 불필요한 시간을 소모하게 한다. 설계 초기단계에서 라우팅 밀집도를 정확하게 예측하는 것은 성공적인 물리 설계를 이끌어 내며, 전체 설계 시간에 소모되는 비용을 최소화시킨다. 제안된 방법은 블록 수준 플로어플랜 단계에서 블록 간 / 블록 내부 인터커넥트, 가상으로 합성된 파워/클록 네트워크를 사용해서 정교한 라우팅 밀집도를 예측한다.

Key words : Routing congestion, Design methodology, Floorplan, EDA

1. 서론

일반적으로 SoC(System-on-a-Chip)를 설계할 때, 설계 주기(design cycle)의 초기 단계에서 각 블록(block)들의 형태와 위치가 결정된다. 그리고 이 결과는 최종 설계된 칩의 전체 성능(performance) 및 전력 소모(power consumption)에 가장 큰 영향을 미치게 된다. 특히, 극미세공정(deep submicron technology)을 사용하는 최신의 시스템들은 매우 복잡한 인터커넥트(interconnect) 구조를 가지고 있으며,

* 한양대학교 전자컴퓨터통신공학과
 (Dept. of Electronics and Computer Engineering,
 Hanyang University)

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)
 본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터 육성지원사업의 연구결과로 수행되었음
 (NIPA-2012-C1090-1200-0010)

接受日:2012年 01月 18日, 修正完了日: 2012年 03月 04日
 掲載確定日: 2012年 03月 05日

극도로 높은 설계 밀도(design density)를 요구한다. 결과적으로 전체적인 라우팅 수요(routing demand)가 높아지며, 과도한 밀집(over-congestion) 현상이 발생하게 되고, 이로 인해서 시스템의 전체 성능을 저하시키거나 심지어 적절한 라우팅을 수행하지 못하게 되는 경우도 있다. 이러한 경우는 플로어플랜(floorplan) 혹은 배치(placement)같은 물리적인 설계(physical design) 초기 단계부터 다시 설계를 시작해야 하므로, 많은 초기 개발 비용(non-recurring engineering, NRE)을 소모하게 된다. 따라서 최근에는 설계 초기 단계에서 라우팅이 가능한지 예측하고, 최적화(optimization)하는 것이 매우 중요한 요소로 인식되고 있다.

현재까지의 대부분의 EDA(electronic design automation) 도구에서는 라우팅 밀집 정보는 글로벌 혹은 디테일 라우팅 단계 후에 알 수 있으며, 최근에는 게이트 수준(gate-level) 배치 단계에서 빠르게 라우팅 밀집을 예측하는 방법론들[1, 2, 3]이 발표되고 있다. 하지만 최근의 SoC 설계에서는 배치 단계까지 진행하는 것도 매우 많은 시간을 필요로 하며, 전체적인 설계 방향을 바꾸기에는 비용이 매우 많이 든다. 따라서 블록 수준(block-level) 플로어플랜 같은 더 빠른 단계에서 정확하게 예측할 수 있는 방법론이 필요하다.

특히, 기존의 방법론들[1, 2, 3]은 배치 단계에서 신호 넷(signal net)에 대해서만 라우팅 예측을 수행하고, 이를 이용하여 배치 결과를 향상하는데 목표가 있다. 하지만, 실제 와이어(wire)는 크게 파워 공급 망(power supply network), 클록 망(clock network or tree)과 신호 넷으로 구분된다. 당연히 모든 와이어는 동일한 라우팅 리소스를 공유하며, 기존 대부분의 설계 흐름(design flow)에서 파워 공급 망과 클록 망은 시그널 넷에 우선해서 합성되고 라우팅 이루어진다. 배선에 요구되는 전체 크기는 SoC의 전체에서 사용 가능한 라우팅 리소스, 에 제한되므로 다음 수식으로 나타낼 수 있다 [4].

$$A_{Signal} + A_{Clock} + A_{Power} \leq A_{SoC} \quad (1)$$

여기서 A_{Signal} , A_{Clock} , A_{Power} 는 각각 신호, 클록 망, 파워 공급 망의 크기를 나타낸다. 참조 문헌 [4]에 따르면, 고성능 SoC 칩에서 파워 공급 망은 전체 칩 영역의 32%에 달하며, 클록 망은 1%, 신호 넷 22%를 차지한다. 특히, 최신의 SoC에서는 클록 속도가 점점 더 고속화되고 있어, 신호 간섭을 배제하기 위해서 클록 망의 라우팅 크기가 2-3배로 급격히 증가하고

있다. 따라서 파워 공급 망과 클록 망의 라우팅 결과에 의해서, 신호 선의 라우팅 결과가 달라질 수 있음을 쉽게 예측할 수 있다. 따라서 설계 초기 단계에서 파워 공급 망과 클록 망을 고려한 라우팅 밀집 예측 방법론이 반드시 필요하며, 본 논문에서는 플로어플랜 단계에서 파워 공급 망과 클록 망의 프로토타입(prototype)을 가상으로 합성해서 라우팅 밀집을 예측하는 새로운 방법론을 제시한다.

II. 문제 정의

본 논문에서 주어진 회로는 넷의 모음(collection)에 의해서 연결된 블록들의 집합으로서, Hypergraph $G(V, E)$ 로 표현될 수 있다. 여기서 V 는 블록의 집합이고, E 은 블록 사이를 연결하는 넷의 집합이다. 각 블록은 다른 블록들의 핀과 연결될 핀(pin)의 집합을 가지고 있으며, 각 넷은 전기적으로(electrically) 동일한 핀들의 모음으로 정의한다. 이 때, 각 소프트 매크로 블록과 하드 매크로 블록은 각 핀들은 플로어플랜 과정에서 레이아웃 표면의 기하학적인 위치(geometric location)에 실제로 할당(assignment)되어야 한다.

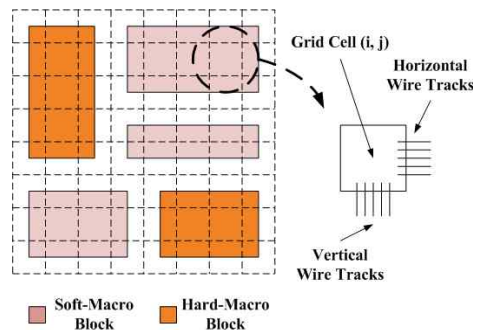


Fig. 1. Floorplan example
그림 1. 플로어플랜 예제

그림 1은 몇 개의 블록으로 구성된 예제 플로어플랜을 개념적으로 보여주고 있으며, 여기서 해당 레이아웃은 그리드 셀(grid cell, GCell)이라고 부르는 격자(lattice) 모양으로 나누어진다. 이 때, 각 GCell의 바운더리(boundary)를 거쳐서 지나갈 수 있는 와이어 트랙(wire track)의 최대 개수와 실제 지나가는 와이어 개수로, 라우팅 공급(routing supply)과 라우팅 수요(routing demand)를 정의한다.

각 와이어 트랙의 패턴(pattern)은 각 급속 층에 정의된 최소 폭(minimum width), 최소 라우팅 그리드

피치(minimum routing grid pitch) 같은 설계 규칙 (design rule)에 의해서 결정되어진다.

III. 제안하는 라우팅 밀집도 예측 방법론

본 논문에서 제안하는 방법론을 요약하면 그림 2와 같다.

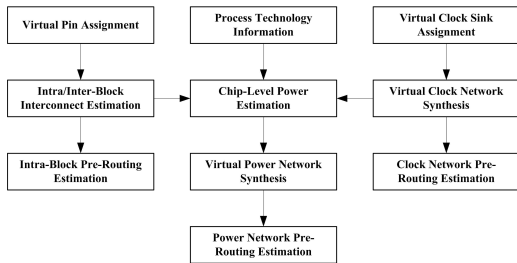


Fig. 2. Proposed flow chart for routing congestion estimation

그림 2. 라우팅 밀집도 예측을 위해 제안된 플로 차트

많은 연구에서 로직 블록(logic block)의 와이어 길이 분포(wire-length distribution) 모델을 만들 때, Rent's rule에 기반하고 있다. Rent's rule은 식 (2)과 같이 정의되며, 입력/출력 터미널 신호의 개수 T와 총 게이트 수 N의 연관 관계를 간단한 자승(power law) 수식으로 표현하고 있다.

$$T = kN^p \quad (2)$$

여기서 k와 p는 실험적인 상수(empirical constant)이다. 우리는 각 소프트 매크로 블록의 Rent의 지수(exponent)와 계수(coefficiency)는 이미 알고 있다고 가정했으며, 논문 [5]에서 제안된 모델을 이용해서 각 블록 내부의 총 와이어 길이를 예측하였다.

소프트매크로 블록들은 각 포트(port)들에 실제 핀이 존재하지 않는다. 그림 3(b)와 같이 논리적인 연결은 블록 중심을 기준으로 표시할 수 있지만, 그림 3(c)처럼 핀과 핀 사이에 존재하는 연결을 위해서는 실제 핀을 만들어주는 핀 할당(pin assignment) 과정이 반드시 필요하다.

기존에 많은 핀 할당 방법론[6, 7, 8]들이 소개되었지만, 본 논문에서는 그림 3(a)에 도식화된 것처럼, 논문 [6]과 유사한 플라이라인(fly-line)에 기반을 둔 알고리즘을 사용한다. 제안하는 알고리즘은 그림 4와 같다.

플로어플랜이 완료된 후에는 각 소프트매크로 블록 내부에 있는 래치, 플립플롭 같은 클록 싱크(sink)들

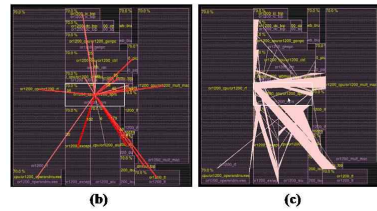
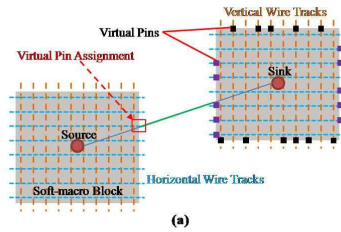


Fig. 3. (a) Virtual pin assignment methodology (b) Fly-line connectivity before pin-assignment (c) Connectivity after pin-assignment

그림 3. (a) 가상 핀 할당 방법론 (b) 핀 할당 전 플라이라인 연결도 (c) 핀 할당 후 연결도

```

pin-assignment()
for (each soft-macro)
  build segments of boundary which have
  available aligned pin points
  for (each port)
    build RSMT for connected net
    find intersection point
    snap to proper pin point
    while (pin point not available)
      move to next pin point (clock-wise)
    end_while
    assign pin at the available pin point
  end_for
end_for
  
```

Fig. 4. Fly-line based pin assignment algorithm
그림 4. 플라이라인에 기반한 핀 할당 알고리즘

의 실제 위치는 알 수 없다. 하지만 클록 도메인과 각 클록 도메인에 소속된 클록 싱크의 개수는 정확히 알 수 있으므로, 각 블록 내부에 동일한 간격으로 클록 싱크들이 배치되어 있다고 가정한다. 그리고 각 클록 도메인에 대해서 논문 [9]의 BST (bounded-skew routing tree) 알고리즘을 이용하여 가상 클록 망을 합성한다.

실제 설계에서는 파워 공급 망을 합성할 때, 전원 패드(power/ground pad)의 개수 및 위치가 동시에 최적화되어야 한다. 하지만, 본 논문에서는 전원 패드의 개수가 충분히 제공되며 위치도 미리 정해졌다고 가

정하고, 논문 [10]에서 제안된 분석 모델(analytical model)을 이용하였다. 식(4)은 페리페럴 와이어 본드 시스템(peripheral wire-bond system)에서 주어진 전압 강하를 만족하기 위한 메시 세그먼트(mesh segment) 크기와 메탈 커버리지(metal coverage)를 표현한다.

$$\%Cov = \frac{2m_p - 1}{m_p^2}, \quad m_p = \frac{16\delta V_{DD}^2 H}{P_{tot}\rho_w} \quad (4)$$

여기서 m_p 은 각 메시 세그먼트에서 스퀘어(square)의 개수를 나타내며, δ 는 정규화 전압 강하 값(normalized IR-drop), H 는 메탈 두께(metal thickness), ρ_w 는 메탈 저항성(metal resistivity)을 나타낸다. 따라서 계산된 메탈 커버리지를 통해서 소모된 라우팅 리소스를 예측할 수는 있으나, 실제 토폴로지(topology)는 파악이 힘들다. 그래서 본 논문에서는 실제로 각 파워 도메인을 위한 파워 공급 망을 자동으로 합성하는 틀을 개발하였다. 자동 합성은 폴리곤 연산(polygon operation)을 통해서, 각 파워 도메인의 바운더리를 추출한 다음, mp로부터 계산된 메탈 피치(metal pitch), 메탈 폭(metal width)을 이용해서 수행한다.

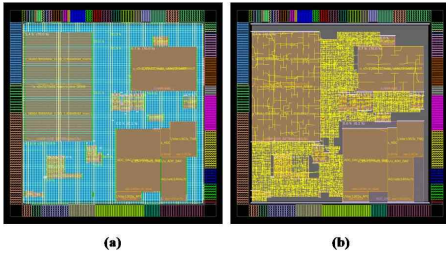


Fig. 5 (a) Synthesized P/G network example (b) Synthesized clock network example
그림 5. (a) 합성된 P/G 네트워크 예제 (b) 합성된 클럭 네트워크 예제

우리는 소프트 매크로 블록 내부 인터커넥트, 파워 공급 망과 가상 클럭 망을 포함한 전체 라우팅 밀집도를 예측하기 위해서, 현재까지 발표된 것 중에서 가장 정교하다고 알려진 논문 [1]의 3-step approach를 다음과 같이 확장하였다.

- Pre-Routing Estimation
- Preliminary Estimation
- Detailed Estimation
- Congestion Redistribution

먼저 추가된 pre-routing estimation 단계에서 파워

공급 망, 가상 클럭 망과 블록 내부 인터커넥트에 대한 라우팅 수요를 최우선 적으로 계산한다. 그리고 나머지 단계에서는 해당 GCell에서 파워 공급 망, 클럭 망 그리고 블록 내부 인터커넥트에 의한 라우팅 수요를 라우팅 공급에서 빼고 시그널 넷의 라우팅 확률(probability)을 계산한다. 즉, 나머지 식은 기존 알고리즘과 전부 동일하나, detailed estimation 단계의 가중 확률(weighted probability) 식이 다음과 같이 바뀌게 된다.

$$W(x, y) = \begin{cases} 1 & : P(x, y) < (c_{max}^{total} - d_p^{total}(x, y)) \\ \frac{c_{max}^{total} - d_p^{total}(x, y)}{P(x, y)} & : otherwise. \end{cases} \quad (5)$$

여기서 $P(x, y)$ 는 preliminary estimation 단계에서 구해진 GCell(x, y)에서의 시그널 넷의 라우팅 확률이다. 그리고 c_{max}^{total} 은 GCell의 수평과 수직을 더한 최대 라우팅 공급양이며, d_p^{total} 은 pre-routing estimation 단계에서 예측된 GCell(x, y)에서의 라우팅 수요양이다.

IV. 실험 결과

제안한 방법론을 검증하기 위해서 우리는 실제 산업체에서 SoC 설계에 사용하는 틀에 해당 기능을 구현하였다. 그리고 표 1과 같은 실제 SoC 설계 예제들을 이용해서 제안한 방법론의 실험을 수행하였다.

Table 1. Information of the test cases

표 1. 테스트 케이스의 정보

Test Case	No. of Soft-Macro Blocks	No. of Hard-Macro Blocks	No. of Tiles
industrial1	51	30	256 x 256
industrial2	35	12	256 x 256
industrial3	17	22	256 x 256

그림 6은 industrial1 테스트 케이스에 대해서 실험한 결과를 온도 맵(thermal-map)을 통해서 보여준 것이다. 먼저 그림 6(a)는 RTL 플로어플랜 단계에서 제안한 방법론을 통해서 라우팅 밀집도를 예측한 결과이다. 그리고 그림 6(b)는 해당 디자인을 합성한 후에, 주어진 플로어플랜을 이용해서 게이트 수준 셀 배치(cell placement)를 하고, 논문 [1]에서 제안한 방법론을 사용해서 라우팅 밀집도를 예측한 결과이다. 그림 6을 보면, 게이트 수준에서의 라우팅 밀집도와, 제안한 방법론을 통해서 플로어플랜 수준에서 예측한

라우팅 밀집도가 매우 유사함을 알 수 있으며, 특히 온도가 높은 지점은 눈으로 확인될 정도로 유사함을 알 수 있다.

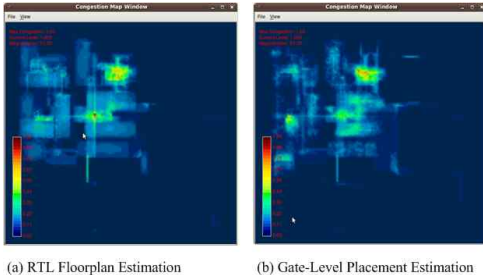


Fig. 6 (a) Routing congestion estimation result at RTL floorplan (b) Routing congestion estimation result at gate-level placement

그림 6. (a) RTL 플로어플랜 단계에서 라우팅 밀집도 예측 결과 (b) Gate-level 배치 단계에서 라우팅 밀집도 예측 결과

그림 7은 예측한 라우팅 밀집도의 유사성을 알아보기 위해서, 전체 라우팅 그리드 셀(GCell)에 대해서 밀집도 수준별로 개수를 세어서 그래프로 보여주고 있다. 그림 7을 통해서, 부분적으로는 라우팅 밀집도 수준별로 차이가 발생하기는 하지만, 전체적으로 매우 유사한 형태의 패턴을 가지는 것을 알 수 있다.

라우팅 밀집도의 예측 정확도를 수치적으로 비교하기 위해 밀집도 정도를 industrial1에 대해서 테이블 2와 같이 구분하여 각 밀집도에 해당하는 GCell의 숫자를 표기하였다. 게이트 수준 셀 배치 후에 측정된 라우팅 밀집도의 결과를 1로 보고 제안하는 방법의 결과를 그에 대한 비율로 나타냈을 때 에러 비율은 약 13-38% 정도로 계산된다. 특히, 라우팅 실패에 해당하는 100% 이상의 밀집도 결과의 경우 제안하는 방법의 에러비율은 18%로 매우 작은 것을 알 수 있다.

전체 실험 결과를 볼 때, 플로어플랜에서의 예측 결과가 셀 배치 후의 측정 결과와 완전히 동일한 예측 결과를 보여주지는 못하지만, 높은 밀집도를 가지는 부분들에 대해서는 매우 유사한 패턴을 보여주는 것을 알 수 있으며, 설계 시간의 단축 측면에서 비교한다면 제안하는 방법은 매우 효과적임을 알 수 있다. 즉, 플로어플랜 상에서 라우팅 밀집도를 예측해서 실제 문제가 발생할 가능성이 있는 부분을 미리 알아 낼 수 있을 뿐만 아니라, 그 부분을 해결하기 위해 플로어플랜을 수정한다면, 셀 배치 후에 다시 플로어플랜 단계로 돌아와 다시 셀 배치를 해야 하는 추가적인 설계 시간을 방지할 수 있다

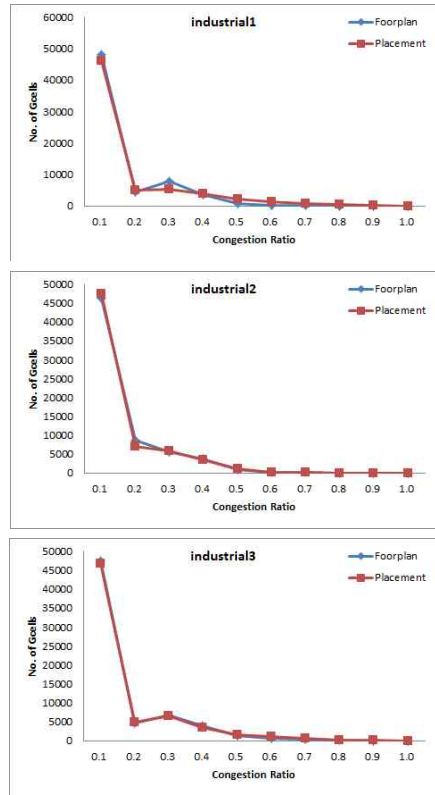


Fig. 7. Floorplan vs. Placement level routing congestion ratio

그림 7. 플로어플랜 대 배치 수준 라우팅 밀집도 비율

Table 2. Error rate for each routing congestion level
표 2. 각 라우팅 밀집도 수준에서 에러 비율

Routing Congestion	At Post-Placement	At Floorplan	Error Rate
100% ≤	1	0.82	18%
90 - 100%	1	1.24	24%
80 - 90%	1	0.69	31%
70 - 80%	1	0.87	13%
≤ 70%	1	1.38	38%

V. 결론

본 논문에서는 물리 설계 초기 단계인 플로어플랜 단계에서 파워/클록 공급 망을 고려하여 시그널 넷의 라우팅 밀집도를 예측하는 새로운 방법론을 제시하였다. 제안하는 라우팅 밀집도 측정 알고리즘은 플로어플랜 툴과 쉽게 연동되어 설계 초기에 과도한 라우팅 밀집의 발생을 확인할 수 있도록 해주며, 그에 따라

추가적인 설계 시간의 발생을 방지한다. 본 논문의 다음 연구 주제는 과도한 라우팅 밀집 부분을 자동으로 제거하는 알고리즘의 개발과 구현이다.

참고문헌

- [1] Chiu-Wing Sham, Evangeline F. Y. Young and Jingwei Lu, "Congestion Prediction in Early Stages of Physical Design", ACM Transaction on Design Automation of Electronic Systems, Vol. 14, No. 1, Article 12, Jan. 2009.
- [2] Xiaojian Yang, Ryan Kastner, "Congestion Estimation During Top-Down Placement", International Symposium on Physical Design, Sonoma, CA, Apr. 2001.
- [3] M. Wang, X. Yang and M. Sarrafzadeh, "Congestion minimization during placement," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 19, pp. 1140-1148, Oct. 2000.
- [4] Jeffery A. Davis, James D. Meindl, Interconnect Technology and Design for Gigascale Integration, Kluwer Academic Publishers, 2003.
- [5] J. A. Davis, V. K. De, and J. D. Meindl, "A stochastic wire-length distribution for gigascale integration (GSI)-Part I: Derivation and validation," IEEE Trans. Electron Devices, Vol. 45, pp. 580 - 589, Mar. 1998.
- [6] Tianpei Zhang and Sachin S. Sapatnekar, "Optimized Pin Assignment for Lower Routing Congestion After Floorplanning Phase", SLIP'02, Apr. 6-7, 2002.
- [7] Jurjen Westra, Patrick Groeneveld, "Towards Integration of Quadratic Placement and Pin Assignment", Proceedings of the IEEE Computer Society Annual Symposium on VLSI New Frontiers in VLSI Design, 2005.
- [8] Bella Dubrov, Haggai Eran, Ari Freund, Edward F. Mark, Shyam Ramji, and Timothy A. Schell, "Pin Assignment Using Stochastic Local Search Constraint Programming", LNCS 5732, pp. 35 - 49, 2009.
- [9] J. Cong, A. B. Kahng, C.-K. Koh and C.-W. A. Tsao, "Bounded-Skew Clock and Steiner Routing", ACM Trans. on Design Automation of Electronic Systems, Vol. 4, No. 1, Jan. 1999.
- [10] A. P. Chandrakasan and R. W. Broderson, Low

Power Digital CMOS Design. Norwood, MA: Kluwer, 1995.

저 자 소 개

안 병 규 (학생회원)



2003년: 한양대학교 전자전기공학부 학사 졸업
 2005년: 한양대학교 정보통신대학원 정보통신공학과 석사 졸업
 2005년 3월~현재: 한양대학교 전자컴퓨터통신공학과 박사 과정
 <주관심분야: CAD, 반도체, 3D IC>

정 정 화 (정회원)



1975년: 한양대학교 전자공학과 학사 졸업
 1977년: 한양대학교 전자공학과 석사 졸업
 1981년: 와세다대학교 전자통신공학과 박사 졸업
 <주관심분야: CAD, 반도체, 통신 영상처리>