

# AC-PDP를 위한 SPIDER(Sustainer with Primary sided Integration of DC/DC converter and Energy Recovery circuit)의 구현 및 PDS 구동법

신용생<sup>1</sup>, 박재성<sup>1</sup>, 홍성수<sup>1</sup>, 한상규<sup>1</sup>, 노정욱<sup>†</sup>

The PDS(Power Transfer Display Separation) method and implementation of SPIDER (Sustainer with Primary sided Integration of DC/DC converter and Energy Recovery circuit) for AC-PDP

Yong-Saeng Shin<sup>1</sup>, Jae-Sung Park<sup>1</sup>, Sung-Soo Hong<sup>1</sup>, Sang-Kyoo Han<sup>1</sup>, and Chung-Wook Roh<sup>†</sup>

**Abstract** - This paper proposes a PDS(Power Transfer Display separation) method for AC-PDP. The proposed PDS method can transfer power and perform an energy recovery by a power conversion circuit operates differently depending on the time. As a result, it uses less of components than conventional PDP power supply and sustain circuit use. Moreover, the manufacturing process can be streamlined. Therefore, the proposed method is suitable for low cost PDP module. To confirm the operation, validity and features of the proposed PDS method, experimental results from a prototype for 42-in diagonal PDP are presented.

**Keywords** : PDP(Plasma display panel), PDS(Power Transfer Display separation), ADS(Address Display separation), ERC(Energy Recovery Circuit)

## 1. 서 론

21세기 고화질 디지털 방송 시대를 맞이하여 중저가를 겨냥한 고화질의 차세대 벽걸이 디지털 디스플레이 소자로서 PDP(Plasma Display Panel)가 주목받고 있다. PDP는 플라즈마 가스 방전을 이용하는 자체 발광소자로서 CRT에 필적하는 고화질과 대형화의 용이성, 박형 및 광시야각 등의 장점을 고루 가지고 있어 대화면 디스플레이 소자로서 가장 기대되는 평판 표시패널(Flat Panel Display : FPD) 소자이다<sup>[1]</sup>.

PDP는 1964년 미국 일리노이대학에서 발명한 AC형 PDP를 시작으로, 최근 수년간에는 연평균 약 1400~1600만대의 시장이 형성되어 있으며, Panasonic, 삼성 SDI, LG전자 등의 업체가 기술개발 및 사업우위확보를 위한 경쟁을 벌이고 있다. 하지만, 최근 평판형 디스플레이 시장은 LCD TV의 대형화가 급속히 진행되고, LED BLU(Back Light Unit)를 사용한 LCD TV시장의

급성장 및 차세대 디스플레이 소자로 주목받고 있는 OLED 시장이 본격적으로 형성됨에 따라 PDP TV의 입지가 심각하게 위협되는 수준에 이르고 있다. 따라서 관련업계에서는 이를 극복하기 위한 많은 연구를 수행하고 있으며, 특히 원가저감을 통해 시장경쟁력을 확보하려는 노력을 많이 하고 있다<sup>[2],[3]</sup>. 본 논문도 이러한 노력의 일환으로 새로운 PDP 저가격화 기술에 대하여 소개한다.

그림 1은 기존 PDP 전원회로부의 DC/DC 컨버터 부분과 구동회로부를 나타내고 있다. 전원회로부의 경우, 고조파 규제를 위한 역률 개선 제어단(PFC)과 유지전원( $V_s$ ) 및 기입전원( $V_a$ )를 생성하기 위한 DC/DC 컨버터로 구성된다. 이때 DC/DC 컨버터는 고전압-저전류 출력사양에서 입출력 변환효율 및 동특성이 우수한 LLC 컨버터<sup>[4]</sup>가 많이 사용되며, 이를 그림에서 나타내고 있다. PDP 패널은 용량성 부하 특징을 나타내기 위하여 캐패시터( $C_p$ )로 나타내었으며, 서스테인 스위칭시 패널 캐패시터에 저장된 무효전력을 회수하기 위한 회로로서 Weber & Wood ERC 회로<sup>[5]</sup>를 도시하였다. Weber & Wood ERC 회로는 각각의 유지전극(X/Y전극)에 별도의 인덕터( $L_1$ ,  $L_2$ )와 에너지 회수 캐패시터( $C_{yerc}$ ,  $C_{xerc}$ )를 이용하고 있으며, 인덕터( $L_1$ ,  $L_2$ )와 패널 캐패시터( $C_p$ )의 공진을 통한 에너지 투입 및 회수 동작을 하는 회로이다. 이러한 구조적 특징을 통해 알 수 있듯이, PDP는 회로구성이 복잡하여 시스템의 부피가 큰 단점을 갖는

Paper number : TKPE-2012-17-2-3

ISSN : 1229-2214

<sup>†</sup> Corresponding Author : drno@kookmin.ac.kr, Department of Electrical Engineering, Kookmin University  
Tel : +82-2-910-4947 Fax : +82-2-910-4449

<sup>1</sup> Department of Electrical Engineering, Kookmin University  
Manuscript received Oct. 7, 2010; accepted Dec. 26, 2011

— 본 논문은 2010년 전력전자학술대회 외부장학금 수혜논문임

다. 따라서, 본 논문에서는 앞에서 설명한 전원회로부의 DC/DC 컨버터부와 구동회로부의 에너지 회수 회로부를 간략화 할 수 있는 방안을 제안한다. 제안된 방식은 하나의 전력변환회로를 사용하여 기존 DC/DC 컨버터의 역할과 에너지 회수 회로의 역할을 동시에 수행할 수 있는 특징이 있으며, PDP 시스템의 회로구성을 간략화할 수 있는 장점이 있다.

## 2. 제안된 PDS 구동법

### 2.1 SPIDER

그림 2는 기제안된 SPIDER(Sustainer with Primary sided Integration of DC/DC converter and Energy Recovery circuit) 회로를 나타내고 있다<sup>[6],[7]</sup>. SPIDER회로는 하나의 전력변환회로만으로 기존 전원회로부의 DC/DC 컨버터와 구동회로부의 무효전력회수회로의 역할을 수행할 수 있는 장점을 갖는다. SPIDER의 주요 동작과형은 그림 3과 같으며, 패널 발광을 위한 서스테인 구간동안 전원공급기능과 무효전력회수기능을 수행한다. 그림에서와 같이 구동시비율 D는 Y<sub>g</sub>, X<sub>s</sub> 스위치의 턴 오프 시점에서부터 R 스위치가 턴 오프되기까지의 시간(또는 Y<sub>s</sub>, X<sub>g</sub> 스위치의 턴 오프 시점에서부터 F 스위치가 턴 오프되기까지의 시간)으로 정의한다.

SPIDER의 무효전력회수기능은 변압기의 누설 인덕턴스와 패널 캐패시터의 공진을 이용하며, 1차측 전류의 공진 초기값(I<sub>0</sub>)을 크게하여 무효전력회수시간을 빠르게 하는 방식을 사용한다. 이때 구동시비율 D를 조정하게 되면 1차측 전류의 offset이 변하며, 이를 통해 Area I/II의 차이를 통해 출력전압을 제어할 수 있다. 구간 [t<sub>0</sub>~t<sub>1</sub>], [t<sub>1</sub>~t<sub>2</sub>]에서의 누설인덕터 전류 (i<sub>Lk</sub>)와 패널 캐패시터 전압(V<sub>Cp</sub>)은 아래와 같은 수식으로 나타낼 수 있다.

여기서 변수 A는  $\sqrt{\frac{n^2 C_r + n^2 C_p C_r + C_p}{L_k C_r C_p}}$  이다.

구간 [t<sub>0</sub>~t<sub>1</sub>];

$$V_{Cp}(t) = \frac{n}{L_k C_p} (V_{PFC} + n V_S - V_{Cr}(t_0))(1 + \cos At) + \frac{n}{A C_p} \sin At - V_S \quad (1)$$

$$i_{Lk}(t) = \frac{1}{A L_k} (-V_{PFC} + V_{Cr}(t_0) - n V_S) \sin At - i_{Lk}(t_0) \cos At \quad (2)$$

구간 [t<sub>1</sub>~t<sub>2</sub>];

$$V_{Cp}(t) = \frac{n}{L_k C_p} (n V_p(t_1) - V_{Cr}(t_1))(1 + \cos At) + \frac{n}{A C_p} \sin At - V_p(t_1) \quad (3)$$

$$i_{Lk}(t) = \frac{1}{A L_k} (-n V_p(t_1) + V_{Cr}(t_1)) \sin At - i_{Lk}(t_1) \cos At \quad (4)$$

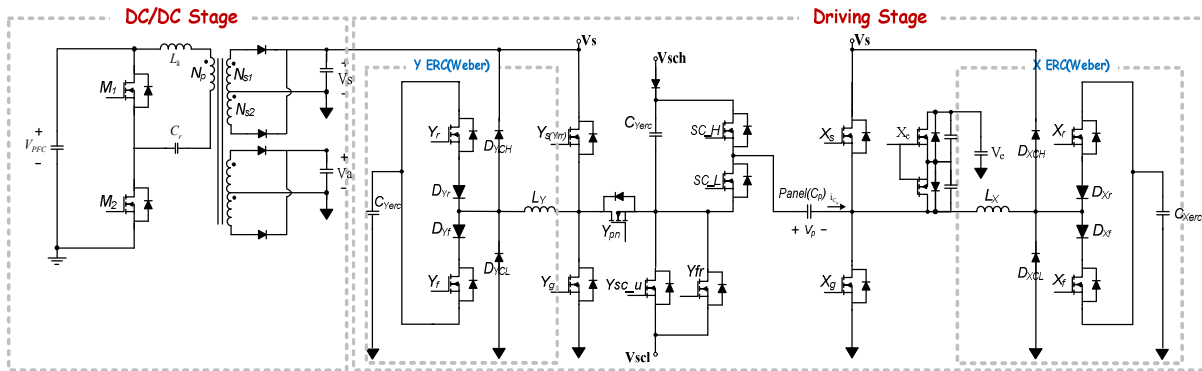


Fig. 1 The conventional power supply and driving circuit (Weber & Wood ERC) of PDP

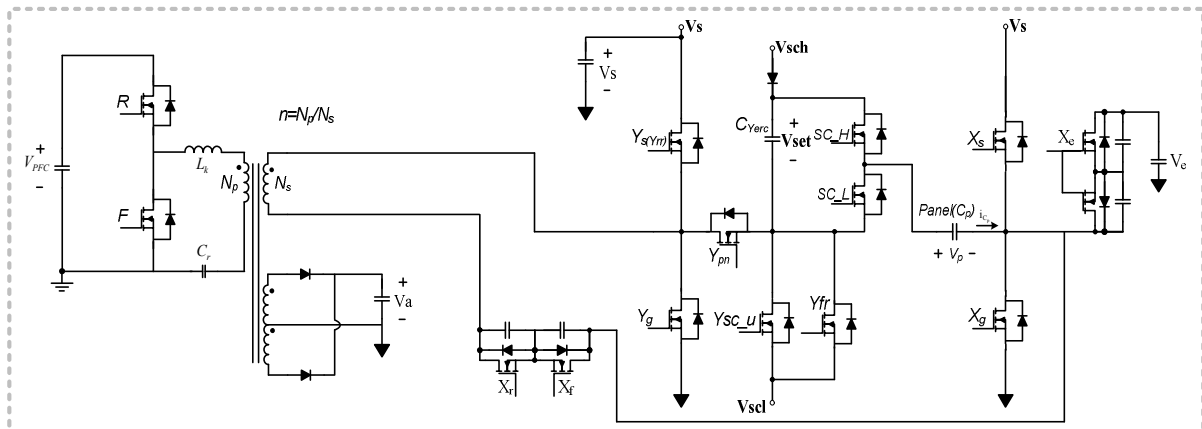


Fig. 2 SPIDER (Sustainer with Primary sided Integration of DC/DC converter and Energy Recovery circuit)

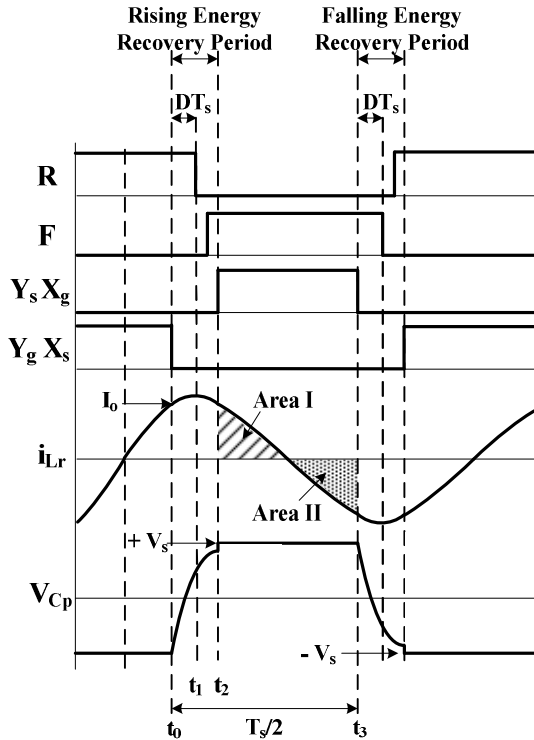


Fig. 3 Key Waveforms of SPIDER

하지만 일반적으로 PDP 모듈은 명암비를 높이고 소비전력을 최소화 하기 위하여 APC(Automatic Power Control ; 화면조건에 따라 서스테인 펄스의 개수를 조절)기능을 사용하기 때문에, 서스테인 펄스의 개수가 매우 적은 화면 조건에서는 출력전압제어성능이 좋지 않은 단점을 갖는다. 이는 서스테인 펄스의 개수가 작으면 작을수록, 출력전압제어를 위해 Area I/II의 차이를 키우기 위해 1차측 전류의 크기가 매우 커지는 단점을 가지기 때문이다. 따라서 기 제안된 SPIDER를 실제 PDP 시스템에 적용하기 위해서는 화면 조건의 영향을 받지 않는 독립적인 출력전압제어방법이 필요하며, 본 논문에서는 이를 위하여 PDS 구동방식을 제안한다.

### 2.2 PDS(Power transfer display Separation)

PDP의 구동법은 ADS(Address Display Separation)와 AWD(Address While Display)이 주류이며 특히 ADS 방식은 AWD 방식에 비해 회로 구조가 간단하여 많이 사용되는 방식이다. 그림 4는 256 계조 표현을 위한 ADS 방식을 표현하고 있다<sup>[8]~[10]</sup>. 기본적으로 CRT(Cathode Ray Tube)에서 1개의 화면에 해당하는 1TV-field를 8~12개의 서브필드(Subfield)로 분리하며, 1개의 서브필드는 패널을 모두 초기화하기 위한 리셋(Reset), 각 셀에 화상정보를 담기 위한 어드레스(Address), 그리고 패널의 전면발광을 위한 서스테인(Sustain)으로 구성된다. 각 서브필드는 모두 다른 양의 광량정보를 가지고 있으며, 예를 들어 256계조(Gary level)를 표현하기 위해서는 1, 2, 4, 8, 16, 32, 64, 128의

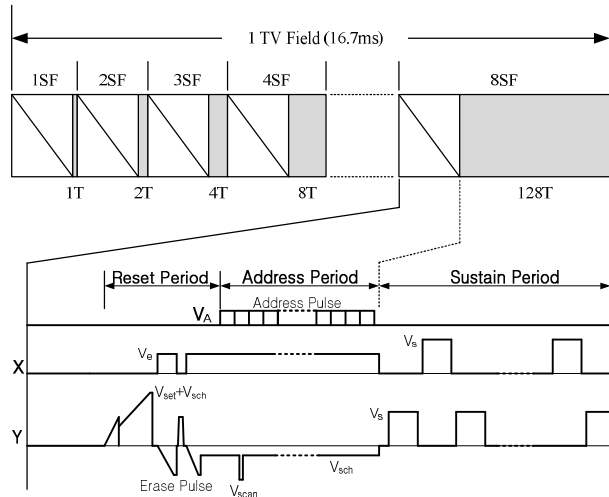


Fig. 4 ADS Subfield method

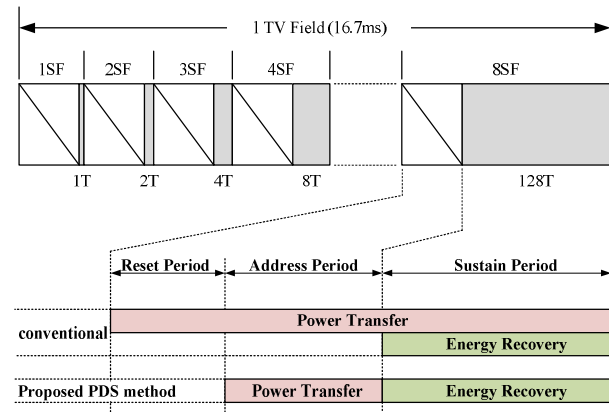


Fig. 5 Proposed PDS subfield method

광량을 가지는 8개의 서브필드가 필요하다. ADS 방식은 셀의 선택과 발광구간이 시간적으로 완전히 분리되어 있으며, 전 패널에서 유지 방전이 동시에 일어나는 것이 특징이다. 이는 벽전하의 메모리 효과를 이용한 것으로, 벽전하는 최소 수 ms 이상 유지될 수 있기 때문에 모든 셀에 데이터를 기입한 후 동시 발광이 가능하

다. 상기의 ADS 구동방식의 경우에는 기존 PDP 전원회로와 구동회로에 적합한 구동방식으로서, 본 논문에서는 기 제안된 SPIDER 적합한 새로운 PDS(Power transfer Display Separation) 구동방식을 제안한다. 그림 5에 제안된 PDS 구동방식을 설명하기 위하여 구간별 주요 동작에 대해 나타내고 있다. 기존 ADS 구동방식을 전원공급기능과 무효전력회수기능 측면에서 살펴보면, 전원공급기능의 경우 전원회로부에 의해 전 구간동안 수행되며, 무효전력회수기능의 경우 구동회로부에 의해 서스테인 구간동안 이루어지고 있다. 반면 제안된 PDS(Power transfer Display Separation) 구동방식은 SPIDER회로 하나만을 사용하여 어드레스 구간동안 전원공급기능을 수행하고, 서스테인 구간동안 무효전력회

수기능을 수행하는 방식을 말한다. 즉, 기존방식의 경우 전원공급기능과 무효전력회수기능을 위한 회로가 따로 따로 존재하는데 반해 제안된 방식의 경우 SPIDER 회로 하나만을 사용하여 전원공급기능과 무효전력회수기능을 수행할 수 있으므로 간단한 구조의 회로 구성이 가능해진다.

### 2.2.1 리셋 구간 동작

패널을 초기화시키기 위한 리셋 구간동안 제안회로는 Y 전극에 Rising Ramp 와 Falling Ramp 파형을 형성한다. 그림 6(a)는 Rising Ramp 파형생성을 위한 등가 회로를 나타내고 있다. 스위치  $Y_{pm}$  과 SC\_H가 턴 온되며, 스위치  $Y_s$ 는 낮은 게이트 구동전압을 인가하여 Saturation 영역에서 동작시킨다. 따라서 스위치  $Y_s$ 는 전류원으로 동작하게 되며, 이때 드레인 전류는 다음과 같다.

$$I_{D,Ys} = K_n (V_{GS} - V_{TN})^2 \quad (5)$$

즉, 상기 전류값에 의해 패널캐패시터의 전압이 선형적으로 상승하게 되어 Rising Ramp 파형을 Y전극에 인가하게 된다. 이때 위 전류가 변압기로 흐르는 것을 방지하기 위하여  $X_r$ ,  $X_f$  스위치를 턴오프 하며, X 전극의 경우 스위치  $X_g$  가 턴온되어 0V가 인가된다. 반대로, Falling Ramp 구간에서의 등가회로는 그림 6(b)와 같다. 스위치 SC\_L이 턴온되며, 스위치  $Y_{fr}$ 의 Saturation 영역 동작을 이용하여 falling ramp파형을 Y 전극에 인가한다. 이때 X 전극은 스위치  $X_e$ 를 턴온하여  $V_e$  전압을 인가하게 된다.

### 2.2.2 어드레스 구간 동작

각각의 셀에 화상정보를 담기위한 어드레스 구간 동안 제안회로의 등가회로는 그림 6(c), (d)와 같다. 제안회로는 변압기의 누설인덕터와 자화인덕터, 직렬 공진 캐패시터를 이용한 LLC 하프 브리지 공진형 컨버터<sup>[8]</sup>로 동작하여 전원공급기능을 수행하며, 이 구간동안에는 스위치  $Y_{pm}$ 이 턴오프되어 PDP 패널 캐패시터가 공진탱크

에 영향을 미치지 않는다. 2차측은 스위치  $Y_s$ ,  $Y_g$ 와  $V_e$  전압을 이용한 배전압 정류 회로로 동작하며, 이를 위하여 스위치  $X_r/X_f$  및  $X_e$ 는 턴온상태를 유지한다. 기존 PDP 시스템의  $V_e$  전압은 약  $V_s/2$ 의 크기를 갖기 때문에, 이를 이용한 정류회로의 구성은 기존 DC/DC 컨버터가 사용하는 풀 브리지 정류기를 사용하지 않을 수 있는 장점이 있다. 제안회로의 출력 전압 제어는 부하조건에 따라서 스위치 R/F의 동작 주파수를 조절하는 주파수 변조(PFM; Pulse Frequency Modulation)기능을 통하여 구현할 수 있다. 이때 어드레스 구간은 전체 시간의 약 30% 이상을 차지하기 때문에, 서스테인 펄스의 개수가 매우 작은 화면 조건에서도 우수한 출력 전압 제어 성능을 보장할 수 있다.

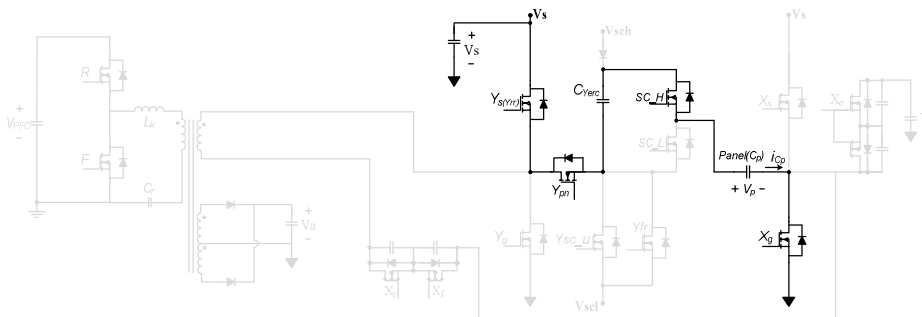
### 2.2.3 서스테인 구간 동작

화면의 전면발광을 위한 서스테인 구간동안의 등가회로는 그림 6(e)와 같다. 주요 동작 원리 및 동작 파형은 2.1장에서 설명한 SPIDER와 동일하다. 서스테인 구간동안의 출력전압제어는 부하조건에 따라서 스위치 R/F의 시비율을 조절하는 펄스폭 변조(PWM; Pulse Width Modulation) 기능을 통하여 구현할 수 있다. 이는 서로 다른 크기의 방전전류가 발생하더라도 출력전압을 일정하게 유지하는 기능을 수행한다.

## 3. 실험결과

제안된 PDS 구동방식을 적용한 SPIDER회로의 타당성을 검증하기 위하여 42인치 HD PDP를 대상으로 실험을 수행하였다. 기존 회로와 제안회로의 주요 설계 사양 및 각 부 파라미터를 표 1에 나타내었으며, 제안된 회로의 경우 소자수가 현저히 감소 할 수 있음을 알 수 있다.

그림 7은 제안회로의 주요 동작 파형을 나타내고 있으며, 그림에서 알 수 있듯이 1TV-field는 총 11개의 서브필드로 이루어져 있다. 그림 7(b)는 리셋 구간의 주요 동작 파형을 나타내고 있다. 앞에서 설명한 기존 ADS 방식(그림 4)의 리셋 파형과 동일하게 나타나는 Rising



(a) Rising Ramp of Reset Period

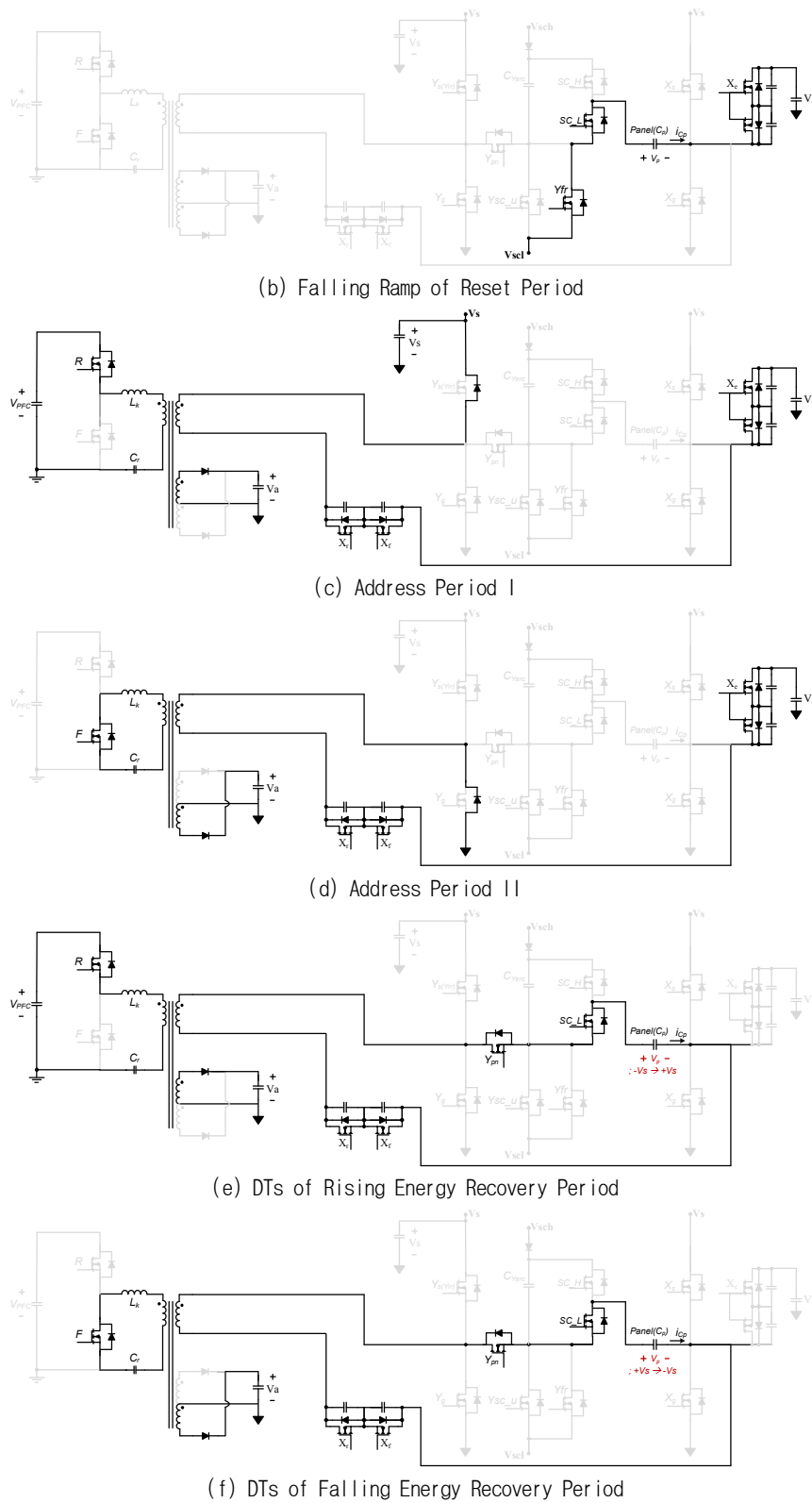


Fig. 6 Equivalent circuit

Ramp 및 Falling Ramp 파형을 확인할 수 있다. 그림 7(c)는 어드레스 구간의 주요 동작 파형을 나타내고 있다. 기존 ADS 방식과 동일하게 X노드는  $V_e$  (91V) 전압, Y노드는  $V_{sch}$  (-36V) 전압을 나타내고 있으며, 이

때  $V_e$  전압을 이용한 LLC 컨버터 동작을 통하여 유지 전원단[Vs] 출력전압을 207V로 제어하고 있다. 그림 7(d)는 서스테인 구간의 주요 동작 파형을 나타내고 있다. 기존 Weber & Wood ERC 회로<sup>[5]</sup>의 경우 별도의

Table 1 Design Spec. and Parameters for conventional and proposed circuit

Conventional circuit		Proposed circuit		
Input Voltage $V_{in}$	220Vac/60Hz	Input Voltage $V_{in}$	220Vac/60Hz	
Test Set	42" HD PDP Panel	Test Set	42" HD PDP Panel	
Display Pattern	Full White Pattern (Measured $P_{in}=207W$ )	Display Pattern	Full White Pattern (Measured $P_{in}=205W$ )	
Power Supply Circuit (LLC Resonant Converter)	Transformer turn ratio	47:50	Transformer turn ratio	18:12
	Magnetizing Inductance [ $L_m$ ]	520 $\mu H$	Magnetizing Inductance [ $L_m$ ]	160 $\mu H$
	Leakage Inductance [ $L_k$ ]	210 $\mu H$	Leakage Inductance [ $L_k$ ]	20 $\mu H$
	Resonant Capacitor [ $C_r$ ]	33nF (1EA)	Resonant Capacitor [ $C_r$ ]	12 nF (1EA)
	Primary Switch	FQA13N50 (2EA)	R/F Switch	FDPN16N50 (2EA)
	Secondary Rectifier Diode	FCU10CU30 (2EA)	$Y_s/Y_g/X_s/X_g$ Switch	RJH30E2DPP (4EA)
	Control IC	MC33067 (1EA)	Control IC	TL494 (1EA)
Driver Circuit (Energy Recovery Circuit)	$Y_s/Y_g/X_s/X_g$ Switch	RJH30A3DPK (4EA)	-	-
	$Y_r/X_r$ Switch	FGPF50N33BT (2EA)	$X_r/X_f$ Switch	FGA70N33ATD (2EA)
	$Y_f$ Switch	GT45F122_E (2EA)	-	-
	$D_{YCH}/D_{YCL}/D_{XCH}/D_{XCL}$	FSU05A40 (4EA)	-	-
	$D_{Yr}/D_{Yf}, D_{Xr}/D_{Xf}$	20DFLC30 (4EA)	-	-
	$L_Y/L_X$	0.26 $\mu H$ (2EA)	-	-
$V_s$	207 [V]	$V_s$	207 [V]	
$V_a$	55 [V]	$V_a$	55 [V]	
$V_e$	91 [V]	$V_e$	91 [V]	
$V_{set}$	150 [V]	$V_{set}$	150 [V]	
$V_{scl}$	-190 [V]	$V_{scl}$	-190 [V]	
$V_{sch}$	-36 [V]	$V_{sch}$	-36 [V]	

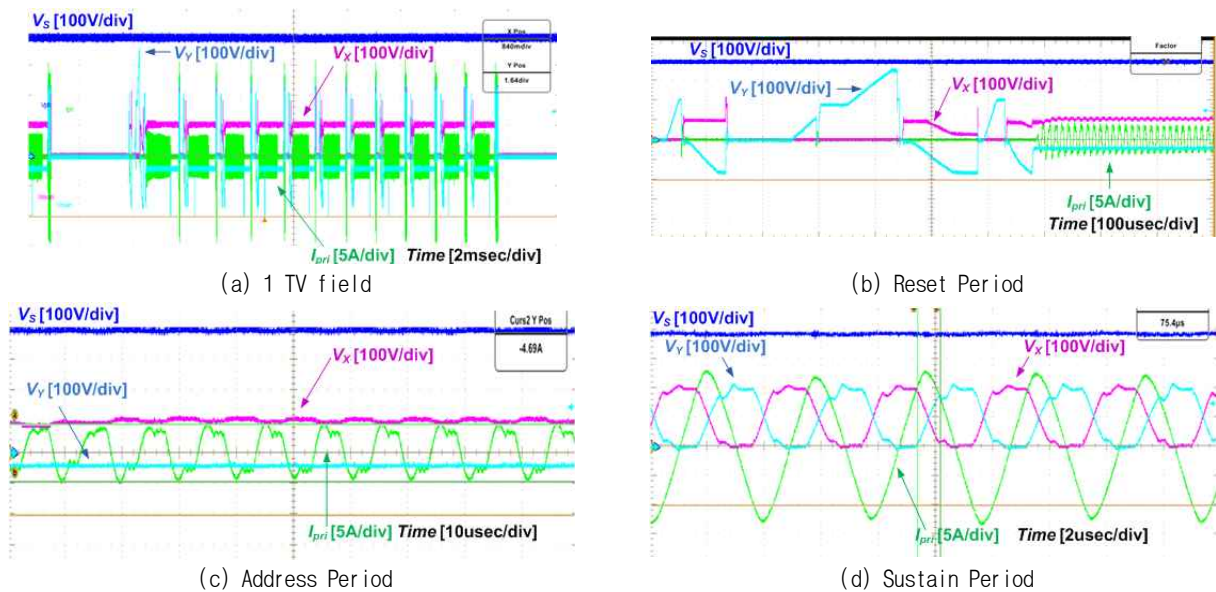


Fig. 7 Measured waveforms

인덕터와 패널 캐패시터( $C_p$ )의 공진을 이용하여 무효전력회수기능을 수행하는데 반해, 제안회로는 변압기의 누설인덕터와 패널 캐패시터의 공진을 이용하게 된다. 이

를 통하여 각 서스테인 스위치( $Y_s, Y_g, X_s, X_g$ )의 영전압 스위칭 동작이 이루어지며, 패널 캐패시터의 충전/방전 시 발생하는 스위칭 손실을 최소화 할 수 있다.

#### 4. 결 론

본 논문에서는 저가의 PDP를 구현하기 위하여, 새로운 PDS 구동방식을 제안하였다. 제안된 PDS 구동방식은 기 연구된 SPIDER 회로를 사용하여 어드레스 구간에는 전원공급기능을 수행하고, 서스테인 구간에는 무효 전력회수기능을 수행하는 방식을 말한다. 제안방식을 이용한 SPIDER 회로를 PDP 시스템에 적용할 경우, 기존 전원회로부의 정류다이오드 및 구동회로부의 X-Y 전력회수부를 제거할 수 있으므로 간단한 구조의 PDP 시스템을 구현할 수 있다. 제안방식의 타당성을 검증하기 위하여 42인치 HD PDP를 위한 시작품을 제작하여 실험을 진행하였으며, 실험결과 제안된 방식이 저가형 PDP에 매우 적합함을 확인하였다.

본 연구는 2011년도 국민대학교 교원연구년제와 지식경제부 및 정보통신 연구진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음 (NIPA-2012-C1090-1221-0005)

#### 참 고 문 헌

- [1] Chung-Wook Roh, "Novel plasma display driver with low voltage/current device stresses", *IEEE trans. Consumer Electronics*, Vol. 49, Issue. 4, pp. 1360-1366, 2003, Jan.
- [2] C. W. Roh, J. P. Park and M. J. Youn, "Pulsed voltage-fed sustain circuit for AC plasma display drive", *IEE Proceedings Electric Power Applications*, Vol. 149, Issue. 2, pp. 129-136, 2002, Aug.
- [3] C. W. Roh, H. J. Kim, S. H. Lee and M. J. Youn, "Multilevel voltage wave-shaping display driver for AC plasma display panel application", *IEEE Journal of Solid-State Circuits*, Vol. 38, Issue. 6, pp. 935-947, 2003
- [4] Bo Yang, Fred C. Lee, Alpha J. Zhang and Guisong Huang, "LLC resonant for front end DC/DC conversion", *IEEE, APEC*, Vol. 2, pp. 1108-1112, 2002.
- [5] L. F. Weber and M. B. Wood, "Energy Recovery Sustain Circuit for the AC Plasma Display", *SID Int. Symposium, New Orleans*, pp. 92-95, 1987.
- [6] J. S. Park, Y. S. Shin, S. S. Hong, S. K. Han, and C. W. Roh, "Sustainer with Primary sided Integration of DC/DC converter and Energy Recovery circuit for AC PDP", *KIPE, 2011 Power Electronics Annual conference*, pp. 164-165, 2010, July.
- [7] J. S. Park, Y. S. Shin, S. S. Hong, S. K. Han, and C. W. Roh, "A new sustainer with primary sided integrated of DC/DC converter and energy recovery circuit for AC-PDP", in *Proc. Power Electronics and ECCE Asia (ICPE & ECCE), 2011 IEEE 8th*

*International Conference*, pp. 788-794, 2011, May.

- [8] T. Shinoda, K. Awamoto, "Plasma display technologies for large area screen and cost reduction", *IEEE trans. Plasma Science*, Vol. 34, pp. 279-286, 2006, April.
- [9] T. Shinoda, "Method and a circuit for gradationally driving a flat display device," U. S. Patent 5 541 618, 1990.
- [10] T. Shinoda, H. Uchiike and S. Andoh, "Low-voltage operated AC plasma-display panels", *IEEE trans. Electron Devices*, Vol. 26, pp. 1163-1167, 1979, Aug.



#### 신용생(慎龍生)

1982년 8월 31일생. 2007년 국민대 공과대학 전자공학부 졸업. 2009년 동 대학원 전자공학과 졸업(석사). 2009년~현재 동 대학원 전자공학과 박사과정.



#### 박재성(朴載成)

1982년 9월 13일생. 2009년 국민대 전자정보통신대학 전자공학부 졸업. 2011년 동 대학원 전자공학과 졸업(석사). 2011년~현재 동 대학원 전자공학과 박사과정.



#### 홍성수(洪成洙)

1961년 1월 25일생. 1984년 서울대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1992년 동 대학원 전기 및 전자공학과 졸업(공학박). 1984년~1999년 현대전자(주) 정보통신연구소 책임연구원. 1999년~현재 국민대 전자정보통신

공학부 교수.



#### 한상규(韓翔圭)

1973년 12월 13일생. 1999년 2월 부산대 전기공학과 졸업. 2001년 2월 한국과학기술원 전자전산학과 졸업(석사). 2005년 2월 동 대학원 전자전산학과 졸업(공학박). 2005년 3월~2005년 8월 한국과학기술원 정보전자연구소 박사후연구원. 2005년 9월~현재 국민대 전자정보통신

공학부 부교수.



#### 노정욱(盧政煜)

1971년 9월 10일생. 1993년 한국과학기술원 전기 및 전자공학과 졸업. 1995년 동 대학원 전기 및 전자공학과 졸업(석사). 2000년 동 대학원 전기 및 전자공학과 졸업(공학박). 2000년~2004년 삼성전자(주) 영상 디스플레이 사업부 책임연구원. 2004년~현재 국민대 전자정보통신공학부 부교수.

공학부 부교수.