

고승압비를 갖는 전압 클램프 탭인덕터 부스트 컨버터

강정민¹, 이상현², 홍성수³, 한상규[†]

Voltage Clamped Tapped-Inductor Boost Converter with High Voltage Conversion Ratio

Jung-Min Kang¹, Sang-Hyun Lee², Sung-Soo Hong³, and Sang-Kyoo Han[†]

Abstract - In this paper, voltage clamped tapped-inductor boost converter with high voltage conversion ratio is proposed. The conventional tapped-inductor boost converter has a serious drawback such as high voltage stresses across all power semiconductors due to the high resonant voltage caused by the leakage inductor of tapped inductor. Therefore, the dissipative snubber is essential for absorbing this resonant voltage, which could degrade the overall power conversion efficiency. To overcome these drawbacks, the proposed converter employs a voltage clamping capacitor instead of the dissipative snubber. Therefore, the voltage stresses of all power semiconductors are not only clamped as the output voltage but the power conversion efficiency can also be considerably improved. Moreover, since the energy stored in the clamp capacitor is transferred to the output side together with the input energy, the proposed converter can achieve the higher voltage conversion ratio than the conventional tapped-inductor boost converter. Therefore, the proposed converter is expected to be well suited to various applications demanding the high efficiency and high voltage conversion ratio. To confirm the validity of the proposed circuit, the theoretical analysis and experimental results of the proposed converter are presented.

Keywords : Tapped-Inductor Boost Converter, High voltage conversion ratio, LED Backlight

1. 서 론

최근 LCD 평판 디스플레이의 백라이트가 CCFL에서 LED로 급속히 전환되고 있다. 따라서 LED 백라이트 구동에 필요한 전원장치의 고용량, 고효율, 소형화 추세가 이루어지고 있는 실정이다^[1]. 실제로 LED 백라이트 전원의 고효율화를 위해서는 LED 구동 전류가 작아야 하며, 이를 위해서는 출력단의 LED Array의 병렬 개수를 줄이는 대신에 직렬 개수를 늘려야 한다. 직렬 개수를 늘리게 되면, 각 LED Array의 채널 당 흐르는 구동 전류는 줄어들게 되어 도통손실 및 스위칭 손실을 저감하게 되는 효과가 있다. 따라서, LED 구동 전류를 줄이기

위해서는 구동 전압이 높아져야 하며, 이에 적합한 토폴로지로 대표적인 승압형 컨버터인 부스트 컨버터가 있다^[2].

일반적으로 기생 성분을 고려하지 않았을 경우의 부스트 컨버터의 입출력 변환비는 $1/(1-D)$ 로 표현되어 시비율 D 값이 커질수록 상승하는 곡선을 그리게 된다. 하지만 그림 1에서 보는 바와 같이 PCB의 패턴, 인덕터 등의 기생 저항을 고려하였을 경우 입출력 전압 변환비는 기생 저항의 영향을 받게 되며, 그림 2에 나타났듯이 시비율 D 가 커져도 지속적으로 상승하지 못하고 일정 수준에서 하강하는 형태를 띠게 된다. 이처럼 부스트 컨버터 내의 기생 저항 성분과 입출력 변환비의 관계에 대해 다음 식을 통해 알아보기로 한다.

부스트 컨버터의 인덕터에 전압-시간 평형조건을 적용하면, 다음과 같은 식을 얻을 수 있다.

$$(V_{in} - R_l i_{in})DT_s = -(V_{in} - R_l i_{in} - V_o)(1-D)T_s \quad (1)$$

$$\therefore V_{in} = R_l i_{in} + (1-D)V_o \quad (2)$$

Paper number : TKPE-2012-17-1-6

[†] Corresponding Author : djhan@kookmin.ac.kr, Dept. of Elec. Eng., Kookmin University

¹ Dept. of Elec. Eng., Kookmin University

² Dept. of LCD, Samsung Electronics Co., Ltd.

³ Dept. of Elec. Eng., Kookmin University

Manuscript received Sep. 19, 2011; accepted Oct. 28, 2011

— 본 논문은 2011년 전력전자학술대회 우수추천논문임

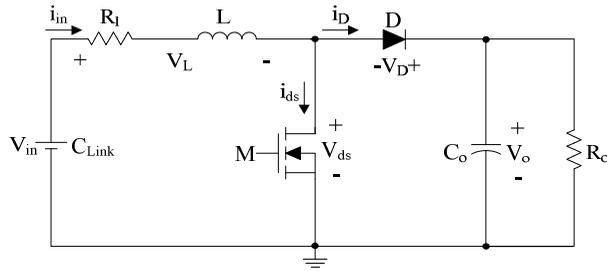


그림 1 기생저항을 고려한 부스트 컨버터
Fig. 1 Boost converter considering parasitic resistor

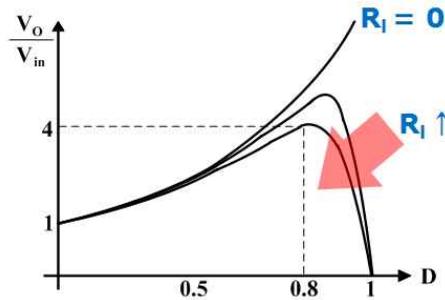


그림 2 시비율에 따른 입출력 변환비
Fig. 2 Relationship of duty-voltage conversion ratio

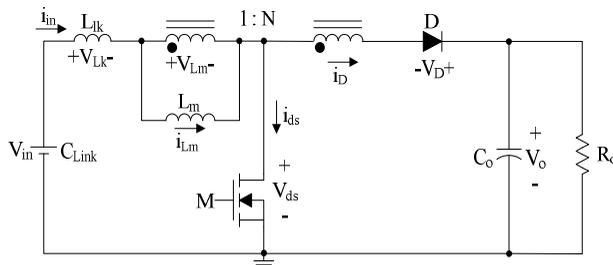


그림 3 기존 탭인덕터 부스트 컨버터 회로
Fig. 3 Conventional Tapped-Inductor Boost Converter

마찬가지로, 부스트 컨버터의 출력 캐패시터에 전류-시간 평형조건을 적용하면, 다음과 같은 식을 얻을 수 있다.

$$\frac{V_o}{R_o}DT_s = (i_{in} - \frac{V_o}{R_o})(1-D)T_s \quad (3)$$

$$i_{in} = \frac{V_o}{(1-D)R_o} \quad (4)$$

$$\therefore \frac{V_o}{V_{in}} = \frac{1}{(1-D)} \frac{1}{(1 + \frac{R_l}{R_o(1-D)^2})} \quad (5)$$

식 (2)와 (4)를 조합하면, 기생저항 성분을 고려하였을 경우의 부스트 컨버터의 입출력 변환비를 식 (5)와 같이 얻을 수 있으며, 식 (5)를 통해 기생저항 성분이 커질수록

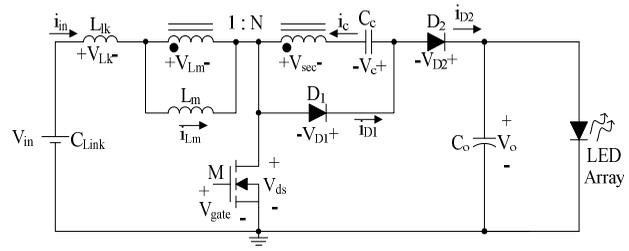
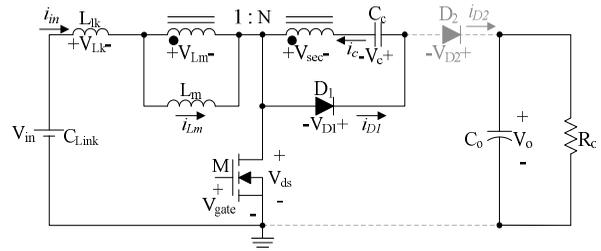
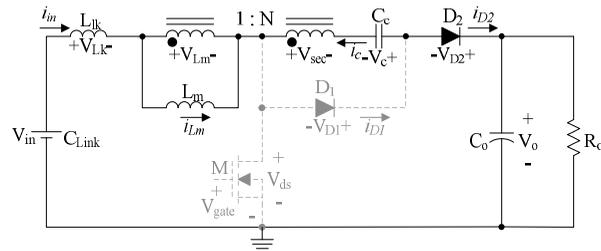


그림 4 제안 탭인덕터 부스트 컨버터 회로도
Fig. 4 Proposed Tapped-Inductor Boost Converter



(a) 스위치 온 구간에서의 등가 회로



(b) 스위치 오프 구간에서의 등가 회로

그림 5 각 동작모드에 따른 제안 회로의 등가회로
Fig. 5 Equivalent circuit of proposed converter at each operating mode

부스트 컨버터의 입출력 변환비는 저하됨을 알 수 있다^[3]. 상기한 바와 같이 일반적인 부스트 컨버터의 경우 보통 승압비 3 이상을 얻기가 쉽지 않으므로 좀 더 높은 승압비를 얻기 위해 기존에는 부스트 컨버터의 입력 인덕터를 트랜스포머 형태로 대체한 탭인덕터 부스트 컨버터를 많이 사용해 오고 있으며, 다음 절에서 기존 탭인덕터 부스트 컨버터의 특징에 대해 자세히 고찰해보도록 한다.

2. 기존 탭인덕터 부스트 컨버터

그림 3은 기존 탭인덕터를 사용한 부스트 컨버터를 나타낸 회로이며, 이 컨버터는 높은 입출력 변환비를 얻기 위해 부스트 컨버터의 인덕터를 탭인덕터로 대체한 구조이다. 탭인덕터 컨버터의 주요 동작은 부스트 컨버터와 동일하며, 1차측에 전압-시간 평형조건을 적용하여 기존 탭인덕터 부스트 컨버터의 입출력 변환비를 구하면 식 (6)과 같다.

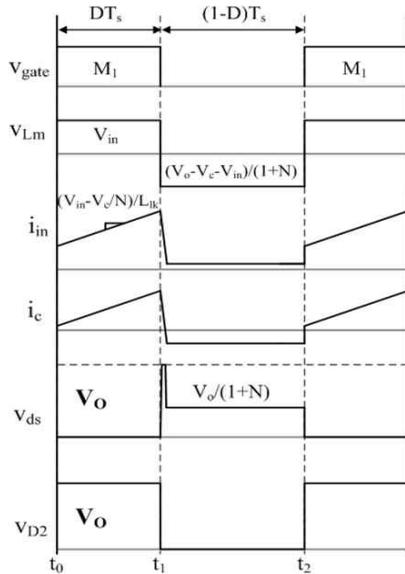


그림 6 제안 회로의 주요 동작파형

Fig. 6 Key waveforms of proposed circuit

$$\frac{V_o}{V_{in}} = 1 + \frac{(1+N)D}{(1-D)} = \frac{1+ND}{(1-D)} \quad (6)$$

식 (6)에서 보는 바와 같이, 기존 탭인덕터 부스트 컨버터는 일반 부스트 컨버터 승압비인 $1/(1-D)$ 에 탭인덕터의 권선비 관련 성분이 더해지므로, 부스트 컨버터에 비해 높은 입출력 변환비를 갖는다^[4].

스위치가 온-오프하는 과도구간에서의 Ringing 성분을 무시할 경우, 스위치 오프 시 주 스위치에 걸리는 전압 스트레스는 이 되어, 부스트 컨버터에 비해 낮은 스위치

$$V_o - \frac{N}{(1+N)}(V_o - V_{in}) \quad (7)$$

전압 스트레스를 갖는 장점이 있다. 그러나 스위치 온 시 출력 다이오드에는 $V_o + NV_{in}$ 만큼의 전압이 인가되므로, 일반 부스트 컨버터에 비해 높은 내압의 반도체 소자가 사용되어야 한다. 또한, 스위치 온-오프 시, 탭인덕터의 누설 인덕턴스와 기생 캐패시턴스의 공진이 발생하게 되어 손실스너버의 사용이 필수적이므로 효율이 저하되는 단점이 있다^{[5]-[6]}.

3. 제안된 탭인덕터 부스트 컨버터

상기한 바와 같이, 기존의 탭인덕터 부스트 컨버터는 부스트 컨버터에 비해 높은 다이오드 전압 스트레스를 가지며, 누설 인덕턴스와 기생 캐패시터의 공진으로 손실스너버 사용이 필수적이며 효율이 저하된다는 문제점이 있었다^[7]. 따라서 본 논문에서는 이러한 기존 회로의 문

제점을 해결하는 새로운 방식의 탭인덕터 컨버터를 제안하고, 이를 이론 및 실험적으로 검증한다.

그림 4는 제안된 전압클램프 탭인덕터 부스트 컨버터를 보이고 있다. 제안된 회로는 기존 컨버터에 전압 클램핑용 캐패시터와 이를 충전하기 위한 전류 경로를 생성해 주는 다이오드를 추가한 구조이다.

동작모드 해석과 입출력 전압 변환비 관계 유도에 앞서, 해석의 편의를 위해 다음을 가정한다.

- L_{lk} 는 L_m 보다 매우 작다.
- 모든 동작은 정상 상태이며, V_c 와 V_o 는 일정하다.
- 스위치 온-오프 시 과도구간은 고려하지 않는다.

3.1 동작모드해석

모드 1 [$t_0 \sim t_1$]: 스위치 M이 턴-온 되는 구간이며, 자화 인덕터 L_m 에는 입력 전압인 V_{in} 이 인가되므로 자화 인덕터 전류는 증가하고, 누설인덕터 L_{lk} 에는 $V_{in} - V_c/N$ 이 인가되어 입력전류 i_{in} 은 $(V_{in} - V_c)/L_{lk}$ 의 기울기로 상승하게 된다. 이 때, i_{in} 과 i_{Lm} 의 차이만큼 탭인덕터를 통해 2차측으로 전달되며, D_1 을 통해 전류 경로를 형성해 캐패시터 C_c 를 충전한다. 이 때, 출력 다이오드는 V_o 의 레벨로 클램핑 되어, 손실스너버 없이 DC 전압 레벨로 유지됨을 확인할 수 있다.

모드 2 [$t_1 \sim t_2$]: 스위치 M이 턴-오프 되는 구간으로 이 구간이 시작하는 순간 누설인덕터 L_{lk} 의 전류가 순간적으로 D_1 을 통해 출력측으로 흐르게 된다. 이로 인해 주 스위치 전압이 V_o 만큼 클램핑 되는 과도구간이 존재하므로 손실스너버를 사용하지 않고도 스위치의 전압 스트레스는 V_o 임을 알 수 있다. 탭인덕터 1차측은 턴 비에 의해 $(V_o - V_{in} - V_c)/(1+N)$ 만큼의 역전압이 인가되어 자화 인덕터 전류는 감소하게 되며, 탭인덕터 1차와 2차는 서로 직렬 패스를 형성하므로 입력전류 i_{in} 과 2차측 전류 i_{D2} 는 서로 동일한 전류가 흘러 키르히호프 전류 법칙에 의해 입력전류 i_{in} 은 $i_{Lm}/(1+N)$ 과 동일하다.

3.2 클램프 캐패시터 전압 및 입출력전압 변환비

클램프 캐패시터의 전압과 입출력전압 변환비는 전압-시간 평형조건 식을 통해 구할 수 있다. 탭인덕터 1차측에는 L_{lk} 가 L_m 보다 매우 작다는 가정 하에 스위치 M이 턴-온 되는 DT_s 동안 V_{in} 전압이 인가되고, 스위치 M이 턴-오프 되는 $(1-D)T_s$ 동안 $(V_o - V_{in} - V_c)/(1+N)$ 전압이 인가되므로 다음과 같은 식이 성립한다.

$$DT_s V_{in} = (1-D)T_s \frac{1}{1+N} (V_o - V_{in} - V_c) \quad (8)$$

탭인덕터 2차측은 L_{lk} 는 L_m 보다 매우 작다는 가정하에 스위치 M이 턴-온 되는 DT_s 동안 V_c 전압이 인가되고, 스위치 M이 턴-오프 되는 $(1-D)T_s$ 동안

$(V_o - V_{in} - V_c)N / (1 + N)$ 전압이 인가되므로 다음과 같은 식이 성립한다.

$$DT_s V_c = (1 - D) T_s \frac{N}{1 + N} (V_o - V_{in} - V_c) \quad (9)$$

식 (8)과 (9)로부터 클램프 캐패시터 전압인 V_c 를 유추하면 다음과 같다.

$$V_c = N V_{in} \quad (10)$$

한편, 식 (8)과 (9)로부터 V_c 를 소거하면 입출력전압 변환비를 구할 수 있다.

$$\frac{V_o}{V_{in}} = \frac{N + 1}{1 - D} \quad (11)$$

식 (11)에 나타낸 것과 같이 제안된 회로의 입출력 변환비는 시비율 D 와 턴 비인 N 에 의존하여 시비율과 턴 비에 따라 높은 전압 변환비를 얻는 장점을 갖는다. 또한 기존 탭인덕터 부스트 컨버터와 제안된 전압 클램프 탭인덕터 부스트 컨버터의 입출력 변환비를 비교해 보면, 시비율 D 는 항상 1보다 작으므로 제안회로의 입출력 변환비가 더 높다는 것을 알 수 있다. 따라서 모든 조건에서 제안된 전압클램프 탭인덕터 부스트 컨버터의 입출력 변환비가 기존 회로의 입출력 변환비에 비해 더 높은 것을 확인하였다.

3.3 제안 탭인덕터 부스트 컨버터의 특징

상기한 바와 같이 제안된 전압클램프 탭인덕터 부스트 컨버터는 전압 클램핑 역할을 하는 캐패시터 C_c 와 캐패시터 전압 충전을 위한 다이오드 D_1 을 추가한 구조이다. 스위치 온 시, 다이오드 D_1 으로 인해 출력 다이오드 전압이 출력 전압으로 클램핑 되며, 스위치 오프 시 주 스위치 전압 스트레스 또한 출력 전압으로 클램핑

표 1 시뮬레이션의 주요 파라미터
Table 1 Circuit parameters for simulation

입력 전압	24[V _{DC}]
출력 전압	120[V]
출력 부하전류	560[mA]
스위칭 주파수	100[kHz]
변압기 턴 비	1 : 2
자화 인덕턴스	90[uH]
기생 인덕턴스	2[uH]
계산된 시비율	0.4

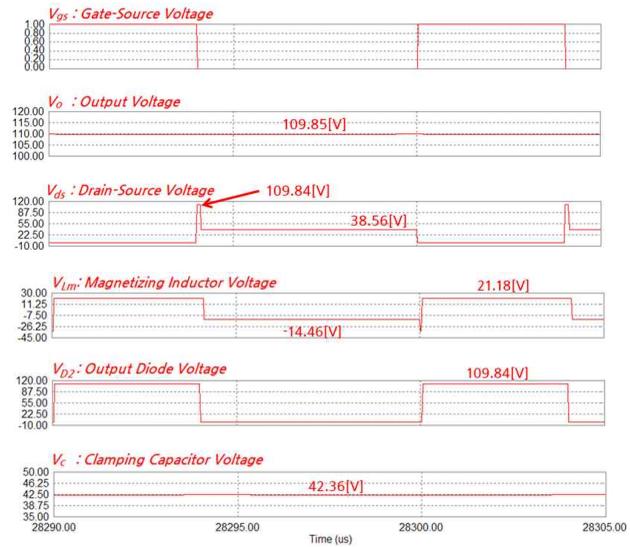


그림 7 PSIM 모의실험 결과
Fig. 7 Simulated waveforms

표 2 제안회로의 주요 파라미터
Table 2 Parameters of proposed circuit

탭인덕터 코어	EPC3028
주 스위치 M_1	FDD2572
클램핑 다이오드 D_1	MURHD560
출력 다이오드 D_2	MURHD560
스위칭 주파수	105[kHz]
클램핑 캐패시터 C_c	2[uF]/250[V] * 2개
출력 캐패시터 C_o	53[uF] / 450[V]

되어 전압 스트레스가 낮다는 장점이 있다. 이것은 실제 구현 시 손실스너버를 사용하지 않게 됨에 따른 효율 개선 효과를 가진다. 또한 반도체 소자 선정 시, 낮은 내압의 소자 사용이 가능하다.

또한, 앞서 3.2절에서 제안된 전압클램프 탭인덕터 부스트 컨버터는 기존 탭인덕터 부스트 컨버터에 비해 더 높은 입출력 승압비를 갖는 것을 확인하였다. 이는 24V 입력으로 120V 이상의 LED 백라이트를 구동해야 하는 경우와 같이, 3배 이상의 높은 승압비가 요구되는 응용에 매우 적합할 것으로 사료된다.

4. 모의실험 및 실험결과

4.1 모의실험

그림 7은 본 논문에서 제안된 전압클램프 탭인덕터 부스트 컨버터의 모의실험을 나타내고 있다. 모의실험은 PSIM tool을 사용하였으며, 주요 파라미터 값은 표 1과 같다. 해석과 수식의 확인을 위해 개방-루프로 구현하였다.

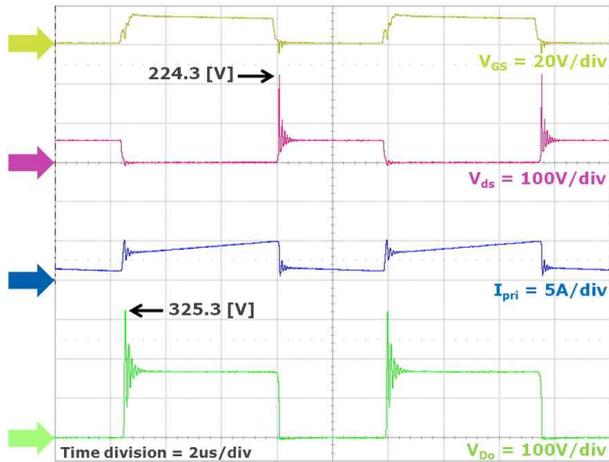


그림 8 기존 회로의 주요 동작파형
Fig. 8 Key waveforms of conventional circuit

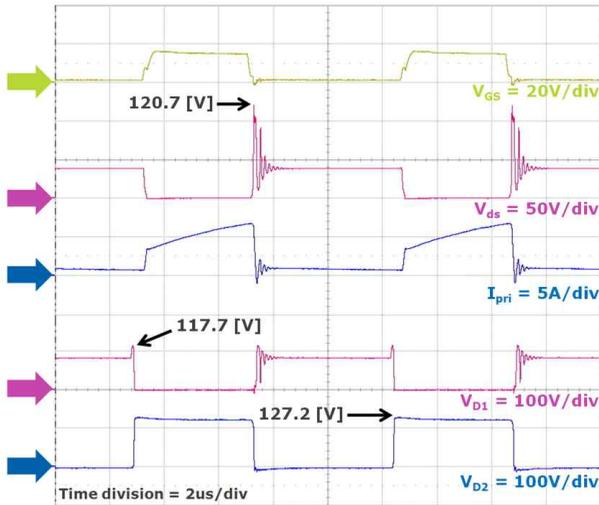


그림 9 제안 회로의 주요 동작파형
Fig. 9 Key waveforms of proposed circuit

표 3 기존 회로와 제안 회로의 효율
Table 3 Efficiency of conventional and proposed circuit

측정 장비: YOKOGAWA WT16000

	Test Condition	Efficiency
Conventional Circuit	$V_{in} = 24V_{DC}$, $V_o = 120V_{DC}$, $I_o = 560mA$ (Full-load)	86.22%
Proposed Circuit	$L_m = 95\mu H$ (EPC3028), $L_{lk} = 1.7\mu H$	92.06%

모의시험 결과 V_o 는 설계 사양인 120[V]에 못 미치는 109.85[V]의 레벨로 유지되고 있으며 수식에 의해 계산된 값과 모의실험 결과 간에 근소한 오차가 발생하였다. 이는 스위치 온-오프 시 과도구간을 생략한 것과, 특히 누설 인덕터 L_{lk} 가 자화인덕터 L_m 에 비해 무시할 만큼 작다는 가정 하에 식 (11)과 같은 입출력관계식을 도출하였음에 기인된 결과이다. 따라서 실제의 경우 식 (11)보다 다소 큰 동작 시비율로 동작할 것이다.

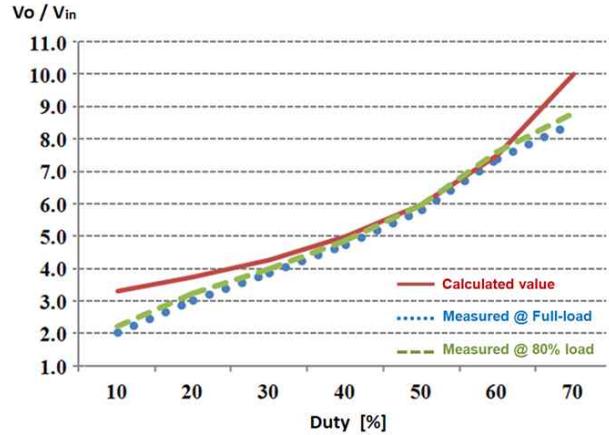


그림 10 제안된 회로의 시비율에 따른 입출력 변환비
Fig. 10 Duty-to-voltage conversion ratio of proposed circuit

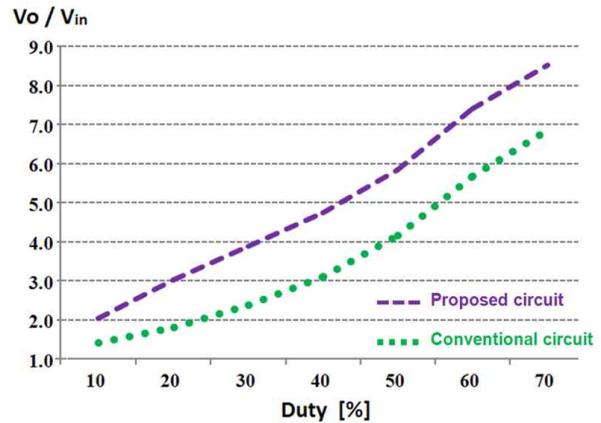


그림 11 기존 회로와 제안된 회로의 시비율에 따른 입출력 변환비 비교
Fig. 11 Duty-to-voltage conversion ratio of conventional and proposed circuit

한편 스위치의 전압 스트레스와 출력 다이오드 D_2 의 전압 스트레스의 경우 V_o 와 동일한 값인 109.85[V]로 클램핑 됨을 볼 수 있다. 이는 기존에 비해 전압 스트레스가 낮을 뿐만 아니라 별도의 스너버를 사용하지 않고도 일정 전압 레벨로 클램프 되므로, 손실스너버 미사용에 따른 효율 증가를 기대할 수 있다.

4.2 실험결과

다음은 본 논문에서 제안된 LED TV용 고승압비 탭 인덕터 부스트 컨버터의 타당성을 검증하기 위한 시제품 제작 및 실험 결과이다. 제작품 주요 사양은 입력전압 24[V_{DC}], 출력전압 120[V_{DC}], 출력전류 560[mA]이며, 변압기 턴 비는 15:30, 자화 인덕턴스는 95.1[μH], 누설 인덕턴스는 1.7[μH]이다. 실험에 사용된 주요 소자는 표 2에 명시하였다. 그림 8은 스너버를 적용하지 않은 경우 기존 회로의 주요 동작파형을 나타내고 있다. 기존 회로는 105[kHz]로 동작하며, 정상상태에서 약 57[%]의 시비

율을 가진다. 두 번째 파형은 주 스위치의 양단 전압을 나타내며, 스위치의 전압 스트레스는 224.3[V]이다. 네 번째 파형은 출력 다이오드의 양단 전압을 나타내며, 전압 스트레스는 325.3[V]로 주요 반도체 소자가 비교적 높은 전압 스트레스를 가짐을 알 수 있다. 이것은 누설 인덕턴스와 기생 캐패시터 간의 공진으로 손실스너버의 사용이 요구되며, 스너버를 사용함에 따른 효율 저하가 예상된다.

그림 9는 제안 회로의 주요 동작파형을 나타내고 있다. 기존 회로와 마찬가지로 105[kHz]로 동작하며, 시비율은 약 40[%]이다. 두 번째 파형은 주 스위치 양단전압이며, 스위치 오프 시 출력전압 레벨인 약 120[V]로 클램핑 됨을 알 수 있다. 네 번째 파형과 다섯 번째 파형은 각각 클램핑 다이오드와 출력 다이오드의 양단 전압이며, 스위치 온-오프 시 출력전압인 약 120[V]로 클램핑 되어, 손실스너버 없이도 전압 클램프가 가능함을 확인하였다.

손실 스너버를 사용한 기존 전압클램프 탭인덕터 회로와 제안된 탭인덕터 회로의 효율을 비교한 데이터는 표 3에 나타내었으며, 측정 장비는 YOKOGAWA WT16000을 사용하였다. 입력전압과 출력전압, 인덕터 등 모두 동일한 조건을 적용하였을 때, 기존 탭인덕터 회로는 86[%] 수준의 효율을 나타내었고 제안된 회로는 92[%] 수준으로, 제안된 회로에서 손실스너버 미사용으로 효율 개선이 가능함을 확인할 수 있다.

그림 10은 제안된 회로의 입출력 변환비를 이론적 수치와 측정된 결과를 통해 비교한 그래프이다.

최대 부하의 경우와 80[%]의 부하에서 측정한 데이터는 비슷한 결과를 나타내며, 이는 시비율이 30-60[%] 내 범위에서는 이론적 수치와 거의 유사함을 알 수 있다. 하지만 20[%] 이하, 혹은 60[%] 이상 시비율의 경우는 약간의 오차가 발생하였다. 이는 동작모드 해석과 수식 등에서 생략한 누설 인덕턴스의 영향과 서론에서 고찰된 바와 같이 동작 시비율이 증가할수록 회로 내 존재하는 기생저항의 영향으로 인한 결과에 따른 것으로 사료된다.

한편, 제안된 회로의 경우 이론적으로 고찰된 바와 같이 실제 실험을 통해 측정된 결과에서도 그림 11과 같이 기존 회로의 입출력 변환비에 비해 제안된 회로의 입출력 변환비가 항상 높으며, 이는 제안된 회로가 LED 백라이트 등 높은 승압비를 요구하는 응용례에 적합함을 알 수 있다.

5. 결 론

본 논문에서는 LED 백라이트용 전원장치와 같이 높은 승압비를 요구하는 응용례에 적합한 높은 승압비를 갖는 전압클램프 탭인덕터 부스트 컨버터를 제안하였다.

기존 탭인덕터 부스트 컨버터의 경우 높은 입출력 변

환비를 얻기 위해 부스트 컨버터의 인덕터를 탭인덕터로 대체한 형태이며, 스위치 온-오프 시, 주요 반도체 소자에 과도한 전압 스트레스가 발생하여 손실 스너버의 사용이 필수적이며, 이로 인해 발열 및 효율 저하의 단점을 가진다. 반면 제안된 컨버터의 경우 손실스너버 없이도 각 반도체 소자의 전압을 출력 전압으로 클램프할 수 있어 모든 전역 반도체 소자의 전압 스트레스를 저감시킬 수 있을 뿐만 아니라 손실스너버를 사용하지 않으므로 입출력 전력변환 효율을 5[%]이상 대폭 상승시킬 수 있는 장점이 있다. 또한 클램프 캐패시터에 저장된 에너지가 powering 시 입력에너지와 함께 출력 측으로 전달되므로 기존대비 약 125[%] 정도로 높은 입출력 전압비를 갖는 장점이 있다.

따라서 본 논문에서 제안된 회로는 LED 백라이트와 같은 디스플레이 장치 뿐만 아니라, 고 승압비가 필요한 다양한 응용분야에 매우 적합하게 적용될 수 있을 것으로 사료된다.

본 연구는 삼성전기(주)의 연구비 지원과 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음.
(NIPA-2011-C1090-1121-0005)

참 고 문 헌

- [1] 손호인, 김창선, 김대년, "슬림형 LCD TV의 LED 백라이트 구동용 평판형 트랜스포머를 적용한 LLC 공진컨버터에 관한 연구", *전력전자학회 논문지*, 제15권, 제4호, pp. 319-326, 2010, Aug.
- [2] T.J. Liang, KC Tseng, "Analysis of Integrated Boost-Flyback Step-up Converter", *IEEE Proc. Electr. Power Applications*, Vol. 152, No. 2, pp. 217-225, 2005, March.
- [3] Rong-Jong Wai, Member, IEEE, Rou-Yong Duan, "High Step-up Converter With Coupled-Inductor", *IEEE Trans. Power Electron.*, Vol. 20, No. 5, pp. 1025-1035, 2005, September.
- [4] Josef P. Fohringer, Felix A. Himmelstoss, "Analysis of a boost converter with tapped inductor and reduced voltage stress across the buffer capacitor", *IEEE Ind. technology*, pp. 126-131, 2006, Dec.
- [5] M. M. Jovanovic and Y. Jang, "A new soft-switched boost converter with isolated active snubber," *IEEE Trans. Power Electron.*, Vol. 17, No. 1, pp. 1-7, 2002, Jan.
- [6] N. Vazquez, L. Estrada, C. Hernandez and E. Rodriguez, "The Tapped-Inductor Boost Converter", *IEEE Ind. Electronics*, pp. 538-543, 2007, June.
- [7] K.C. Tseng and T.J. Liang, "Novel high-efficiency step-up converter", *IEEE Proc.-Electr. Power Appl.*, Vol. 151, No. 2, pp. 182-190, 2004, March.



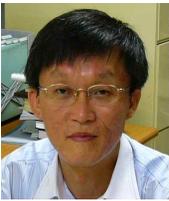
강정민(姜廷旻)

1986년 9월 19일생. 2010년 국민대 전자공학부 졸업. 2010년~현재 동 대학원 전자공학과 석사과정.



이상현(李相賢)

1982년 6월 17일생. 2008년 국민대 공과대학 전자공학부 졸업. 2010년 동 대학원 전자공학과 졸업(석사). 2010년~현재 삼성전자 LCD사업부 연구원.



홍성수(洪成洙)

1961년 1월 25일생. 1984년 서울대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1992년 동 대학원 전기 및 전자공학과 졸업(공박). 1984년~1999년 현대전자(주) 정보통신 연구소 책임연구원. 1999년~현재 국민대 전자공학부 교수.



한상규(韓翔圭)

1973년 12월 13일생. 1999년 부산대 전기공학과 졸업. 2001년 한국과학기술원 전자전산학과 졸업(석사). 2005년 동 대학원 전자전산학과 졸업(공박). 2005년 3월~8월 한국과학기술원 정보전자연구소 박사후연구원. 2005년 9월~현재 국민대 전자공학부 조교수.