

BIST 기법을 이용한 RF 집적회로의 테스트용이화 설계

김용*, 이재민**

요약

본 논문에서는 RF 송수신 시스템 칩 내부의 저잡음증폭기(LNA)와 전체 송수신기 시스템 테스트에 효과적인 새로운 루프백(Loopback) BIST 구조를 제안한다. 제안하는 테스트기법은 외부 테스트장비(Automatic Test Equipment)를 사용하는 기존의 테스트기법과 달리 테스트 모드에서 칩에 내장된 베이스밴드 프로세서를 테스터로 사용하므로써 테스트인가와 테스트평가등을 효율적으로 수행할 수 있는 장점을 갖는다. 높은 주파수의 테스트 출력신호는 낮은 주파수로 변환하여 베이스밴드 프로세서에서 평가하게 됨으로써 테스트용이도가 향상될 수 있다. 제안하는 테스트기법은 ATE와 같은 외부테스트장비의 필요를 최소화하고 테스트 시간과 비용을 줄여 결과적으로 칩 제조비용의 절감을 가능하게 해준다.

키워드 : RF 송수신기, RF 테스트, 내장자체테스트, LNA, 궤환테스트

Testable Design of RF-ICs using BIST Technique

Yong Kim*, Jae-Min Lee**

Abstract

In this paper, a new loopback BIST structure which is effective to test RF transceiver chip and LNA(Low Noise Amplifier) in the chip is presented. Because the presented BIST structure uses a baseband processor in the chip as a tester while the system is under testing mode, the developed test technique has an advantage of performing test application and test evaluation in effectiveness. The presented BIST structure can change high frequency test output signals to a low frequency signals which can make the CUT(circuits under test) tested easily. By using this technique, the necessity of RF test equipment can be mostly reduced. The test time and test cost of RF circuits can be cut down by using proposed BIST structure, and finally the total chip manufacturing costs can be reduced.

Keywords : RF transceiver, RF test, BIST, LNA, ATE, Loopback Test

1. 서론

RF CMOS 기술이 급속도로 발전하면서 수 GHz로부터 수십 GHz 까지 넓은 대역의 통신 시스템 구현이 가능해 졌으며 고주파 기술의 발전함과 함께 다양한 분야에서 RF 집적회로의 수요가 크게 증가하고 있다[1-2]. 그런데 RF 칩의

집적도가 늘어남에 따라서 테스트의 난이도 또한 크게 증가하는 문제가 발생하게 된다. RF 칩의 핀 개수는 일정한 수로 제한되어 있고 시스템 온 칩(SOC)의 경우 회로가 수십 개에서 수백 개의 IP 코어로 구성되어 있어 이를 테스트하기 위해서는 많은 시간이 필요하다. 지금 제조과정에서 사용하고 있는 테스트 방법은 대부분 외부 테스트장치 (ATE)를 사용하는 것으로서 비용이 비싸고 테스트 시간도 많이 필요로 한다.

RF 집적회로를 효율적으로 테스트하기 위해서는 DFT (Design for Testability)방식의 접근이 필수적이며 외부 테스트 장치를 사용하지 않거나 간단하고 적은 비용을 필요로 하는 외부 테스트 장비를 사용하는 기술의 개발을 통하여 테스트 시간을 줄이고 테스트 효율을 증가시켜

※ 교신저자(Corresponding Author): Jae-Min Lee
접수일:2012년 10월 10일, 수정일:2012년 11월 08일
완료일:2012년 12월 14일
* 관동대학교 전자공학과 졸업
** 관동대학교 전자공학과
Tel: +82-33-649-7552, Fax: +82-33-647-7550
email: leejm@kd.ac.kr

결국 전체 테스트 비용을 줄일 수 있는 방법이 요구된다.

RF 집적회로에 사용되는 테스트 기술은 설계 사양 테스트 (specification testing)과 고장모형을 고려한 테스트 (fault model-oriented testing) 방식이 있다. 설계사양 테스트 방식은 테스트하고자 하는 회로의 모든 설계사양들 (이득, 잡음, 선형성 등)을 측정하고 그 값이 허용된 범위 내에 있는지를 판단하여 설계사양의 고장 유,무를 판단한다. 이 방식은 설계자가 제시한 설계사양들을 직접 테스트하므로 테스트 평가가 용이하고 회로내의 고장모형을 고려하지 않으므로 별도의 테스트 입력신호가 요구되지 않는다. 그러나 모든 설계사양들이 주파수 영역에서 측정되므로 고가의 전용 테스트장비를 사용하여야 하며 긴 테스트 시간이 요구되므로 비경제적이다. 이런 문제점들을 고려하여 기존 연구들에서는 loopback 테스트기법[3-6]을 제안하고 있다.

최근 RF 분야에서는 많은 경우 디지털 기술과 아날로그 기술이 접목된 혼합회로로 활용되고 있다. 이러한 디지털 RF와 아날로그 RF의 통합으로 인해 테스트는 고도로 복잡한 환경에 직면하게 되었으며 이에 대한 새로운 고품위 RF 테스트기법이 요구되고 있다. 그러나 이러한 과제의 중요성에 비해 지금까지 국내외에 보고된 연구 결과들은[4-10] 아직 개선해야 할 부분들 가지고 있으며 그 내용에 있어서도 실제 생산과정에 적용하기 위해서는 보다 일반화해야 할 부분들을 많이 가지고 있다.

본 논문에서는 테스트가 어려운 RF 송수신 시스템 내 아날로그부분의 중요한 소자들에 대한 효율적인 테스트를 위해 위의 조건들을 만족하는 새로운 구조의 BIST 회로를 설계하고 이를 이용하여 RF 송수신기중의 LNA, PA, 신호혼합기 등을 Agilent사 RF 전용 시뮬레이션 툴인 ADS2009를 이용해 실험하므로써 제안한 BIST 회로의 유효성을 검증할 것이다.

2. 관련 연구

지금까지 저주파 회로에 대한 테스트에 관해서는 꾸준한 연구를 통해 효율적인 테스트 기법들이 개발되어 실제 생산에서도 활용되고 있다. 그러나 이런 방법들은 최근 사용되고 있는 RF

회로에는 직접적으로 활용할 수가 없고 변형하여 사용하더라도 특정 회로에만 사용할 수 있을 뿐만 아니라 효율적이지 못하다.

2.1 RF Tx/Rx 루프백 테스트 기법

RF Tx/Rx loopback 테스트 기법은 이미 오래전부터 제안되어 오던 기법이다. 이 테스트 기법은 테스트에 소요되는 시간을 감소시키는 데에는 효과가 크지 않지만 테스트회로의 오버헤드면적을 감소시키는 데에는 매우 효과적이다. 또한 loopback 테스트 기법을 사용함으로써 외부의 테스트장비를 사용할 필요가 거의 없게 되며 최종적으로 테스트 비용을 감소시킬 수 있다고 보고되어 있다[3].

Loopback 테스트 기법에 관해 많은 연구들이 진행되어 왔다[4-5]. 일반적으로 SoC (System-on-a-Chip) 혹은 SiP (System-in-a Package)는 loopback 테스트 기법을 사용하여 테스트하기에 아주 적합하다[3]. 앞으로 칩의 집적화기술이 발전하면 할수록 loopback 테스트 기법이나 BIST 테스트 기법의 장점이 커질 것으로 예측된다.

기존 연구 중에 Jerzy 등은 감쇠기와 off-set 믹서를 사용하는 트랜스미터 시스템 테스트 기법을 제안하였다[4]. 이 테스트 기법은 BIST 기반의 loopback 테스트 기법 가운데 하나로서 피 테스트회로의 BER (Bit Error Rate), EVM (Error Vector Magnitude), loop gain, baseband 스펙트럼 등을 측정하여 트랜스미터 시스템의 고장유무를 판단한다. 이 테스트의 장점은 실제로 테스트회로가 CUT (Circuit Under Test)에 주는 영향이 거의 없으며 테스트회로의 오버헤드 면적도 아주 작다. 이 테스트기법은 embedded RF 감지기로 사용할 때 그 관측 용이도가 향상되는 특징을 가지고 있다.

Doris Lupea 등은 RF Front-ends 테스트를 위한 loopback 스펙트럼 Signature 분석 방법을 제안하였다[5]. 이 분석방법은 두 부분으로 구성되어 있는데 한 부분은 테스트입력신호의 생성이고 다른 한 부분은 테스트출력신호의 평가이다. 이 방법은 RF Front-ends의 BIST 뿐만 아니라 BISC (Built-in Self Correction) 으로도 사용할 수 있다.

Loopback 테스트 기법은 오버헤드면적의 감소에서는 획기적이지만 테스트시간의 절감에서

는 다른 테스트기법보다 우수하지 못하다. 또한 테스트 과정에서 트랜스시버시스템 전체를 테스트 대상으로 할 때에는 test coverage가 낮은 것으로 보고되었다[3].

2.2 RF BIST 테스트 기법

테스트과정에서 테스트회로의 오버헤드면적뿐만 아니라 테스트를 완성하기 위한 시간을 감소시키는 것 또한 중요한 과제이다. Loopback 테스트 기법은 오버헤드면적의 감소에는 효과가 있지만 테스트시간의 감소에는 효과적이지 못하다. 그래서 제안된 것이 RF BIST (Built-in Self Test) 기법이다. 엄격히 말하면 BIST도 Loopback 테스트 기법의 한 종류지만 loopback 테스트 기법과는 달리 RF 송수신기시스템은 개개의 소자에 대한 테스트를 진행할 수 있는 장점을 가지고 있다[6-8].

기존연구에서는 0.18 μ m SiGe 기술을 사용하는 5.25GHz 저잡음증폭기의 매개 변수들을 측정하기 위해 BIST 방식의 회로를 설계하였다[6]. 이 BIST 회로는 하나의 테스트 증폭기와 두 개의 피크 검출기를 가지고 있다. 피크 검출기는 RF 신호를 직류 신호로 변환하는데 사용한다. 측정된 직류신호는 연산을 통하여 테스트 출력 평가를 진행한다. 이 BIST 회로를 사용하여 테스트를 진행할 때 하나의 DC미터와 RF 전압 신호 발생기를 필요로 한다. 기존연구에서 제안하고 있는 BIST 회로는 고주파의 RF 신호를 직류신호로 변환하여 테스트를 진행함으로써 테스트용 이도를 향상시킬 수 있다고 주장하고 있다[6].

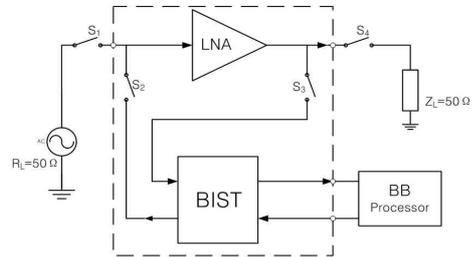
Hsieh-Hung Hsieh 등은 두개의 BIPS (Built-in Power Sensor) 와 on-chip 스위치로 RF 증폭기의 이득에 관한 테스트를 진행하는 BIST 구조를 제안하였다[7]. 이 BIST 구조는 멀티 GHz 주파수에서 전력 이득과 이득 압축 등 변수를 측정할 수 있다. 실제로 BIPS를 CMOS 0.18 μ m 기술을 사용하여 제작하였고 제작한 BIPS와 새로 제안한 BICS (Built-in Current Sensor), on-chip 스위치 제어기를 이용하여 저잡음증폭기를 테스트 할 수 있는 새로운 구조의 BIST 회로를 제시하였다[8]. 이들이 제안한 BIST 회로는 교정모드가 존재하여 테스트의 정확도를 높일 수 있는 특징을 가지고 있다.

3. 새로운 BIST 구조

3.1 LNA 테스트를 위한 BIST 구조

LNA는 안테나에 의해 수신된 미약한 RF 신호를 Down Converter나 그 밖의 수신기 회로에 처리하기 적당한 레벨의 신호로 증폭하여 준다. LNA는 RF 시스템의 front-end에서 가장 먼저 동작하는 소자이고 아주 낮은 전력의 신호를 처리하게 된다. 그러므로 LNA의 스펙은 전체 시스템에서 큰 영향을 미칠 것이기 때문에 LNA는 가장 중요하고 정확하게 측정되어야 하는 소자이다. (Figure 1)은 제안하는 BIST회로를 포함한 RF칩 구조를 나타낸 것이며 실제 테스트를 위한 환경이다.

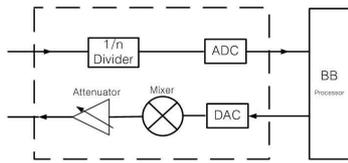
(그림 1) BIST회로를 포함한 RF칩 구조



(Figure 1) RF Chip Structure with BIST

제안하는 BIST회로는 (Figure 2)에 나타냈듯이 하나의 신호혼합기와 주파수 분주기, 감쇠기, DAC와 ADC로 구성되며 테스트 과정에서 베이스밴드 프로세서는 테스트로 사용된다. DAC는 베이스밴드 프로세서에서 생성된 디지털 신호를 아날로그신호로 변환해 주고 신호혼합기는 저주파의 아날로그신호를 고주파의 테스트 신호로 변환한다. 신호혼합기는 칩에 내장되어 있는 전압조정발진기를 사용하여 신호의 주파수를 변환한다. 감쇠기는 테스트신호의 전력레벨을 LNA가 실제 처리하는 신호의 전력레벨로 변환해 주며 주파수 분주기는 테스트 입력신호가 LNA를 통과한 후의 출력신호를 상대적으로 낮은 주파수로 변환한다. ADC는 주파수분주기의 출력신호를 디지털신호로 변환하여 최종적으로 베이스밴드에서 테스트 출력평가를 한다.

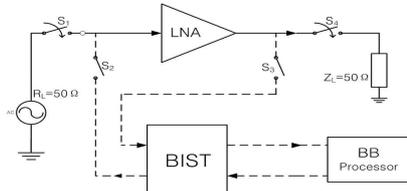
(그림 2) 제안하는 LNA BIST 구조



(Figure 2) Proposed LNA BIST Structure

제안하는 BIST회로와 4개의 스위치는 피 테스트소자와 동일한 칩에 내장된다. (Figure 3)은 정상 동작 모드를 보여준다. 정상 동작 모드에서는 스위치 S1, S4를 on 하고 S2, S3를 off하여 피 테스트소자인 LNA와 테스트회로사이의 연결을 차단함으로써 테스트회로가 피 테스트소자의 정상적인 동작에 주는 영향을 최소화하였다.

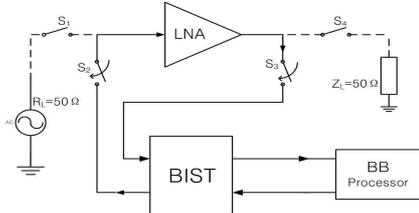
(그림 3) 정상 동작 모드



(Figure 3) Normal Operation Mode

(Figure 4)는 테스트 모드를 보여준다. 테스트 모드에서는 스위치 S1, S4를 off 하고 S2, S3를 on하여 칩 내부에서 새로운 회로를 구성한다. 베이스밴드 프로세서에서 생성된 디지털신호는 BIST회로를 지나 아날로그 테스트입력신호로 변환되고 이 테스트입력신호는 LNA에 인가하게 된다. LNA의 출력신호는 다시 BIST회로를 지나 베이스밴드 프로세서에서 최종 평가된다.

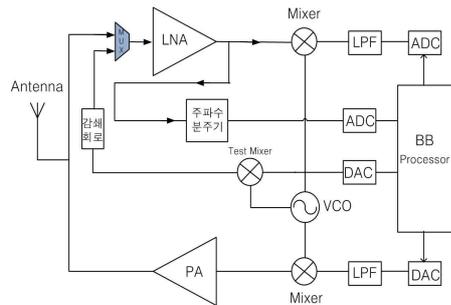
(그림 4) 테스트 모드 동작



(Figure 4) Test Operation Mode

이 BIST회로 외부테스트장비의 사용이 필요 없고 테스트입력신호의 생성과정이 간단한 장점이 있다. (Figure 5)는 실제로 RF Front-end 시스템 내부에 BIST회로를 적용한 예를 나타낸 것이다.

(그림 5) RF Front-end 시스템에 적용한 BIST회로의 예

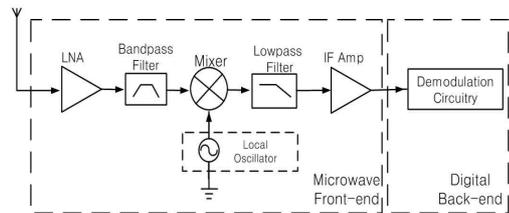


(Figure 5) An Example of BIST applied to RF Front-end System

3.2 LNA RF Front-end 시스템의 BIST 구조

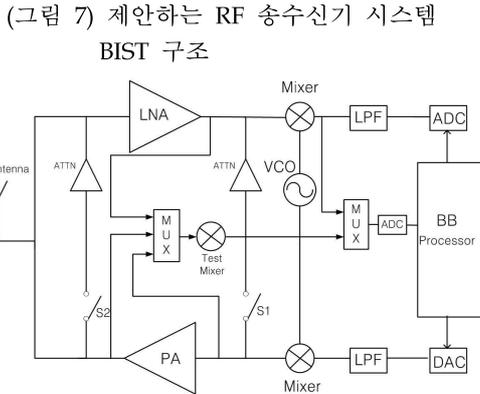
일반적으로 무선통신을 위한 RF front-end는 (Figure 6)에 나타낸 슈퍼헤테로다인 (super-heterodyne) 수신기의 예와 같이 안테나, LNA, 대역통과필터(BPF), 주파수변환기, 국부발진기(LO), 저역통과필터(LPF), 중간주파 증폭기(IF Amp)등으로 구성된다. 여기서 국부발진기는 주파수변환기의 LO 포트에 전력을 공급하는 역할을 하며 주파수가 낮은 기준 발진기의 주파수를 증폭기와 체배기를 이용하여 높은 주파수의 LO 신호를 발생시킨다.

(그림 6) 슈퍼헤테로다인 수신기 Front-end



(Figure 6) Front-end of Super-heterodyne Receiver

(Figure 7)은 제안하는 BIST구조인데 front-end 시스템 내부의 Tx Mixer와 Rx Mixer 사이에 그리고 PA (Power Amplifier)와 LNA (Low Noise Amplifier) 사이를 감쇄회로를 사용하여 loopback 회로를 구성한다.



(Figure 7) BIST Structure of Proposed Transceiver System

RF 송수신기 시스템의 핵심소자의 출력신호를 평가할 수 있도록 회로를 연결하며 멀티플렉서는 평가하려는 신호를 선택하는데 사용된다. 이 테스트구조에서 베이스밴드 프로세서는 테스트로 사용된다. 송신단과 수신단의 신호혼합기를 테스트하기 위해서 스위치 S1을 닫고 Tx 신호 혼합기에서 나온 신호는 감쇄회로를 거쳐 Rx Mixer에 인가된다. 인가된 신호는 Rx path를 거쳐 최종적으로 베이스밴드 프로세서에서 출력신호로 평가된다. 증폭기를 테스트하기 위해서 스위치 S1을 off로 하고 S2를 on으로 한다. PA에서 출력된 신호는 감쇄회로를 지나 LNA에 인가되고 베이스밴드 프로세서에서 출력평가가 이루어진다.

전력증폭기만 테스트하려고 할 때, 베이스밴드 프로세서에서 테스트입력신호를 생성하고 생성된 테스트입력신호는 저역통과필터와 신호혼합기를 통과하고 전력증폭기에 인가된다. 그 다음 멀티플렉서는 전력증폭기에서 출력한 신호를 선택하고 테스트 신호혼합기는 높은 주파수의 신호를 낮은 주파수의 신호로 변환한다. 마지막으로 ADC는 테스트 신호혼합기에서 출력되는 아날로그신호를 디지털신호로 변환해 주고 최종적

으로 베이스밴드프로세서에서 테스트출력 평가를 진행한다.

테스트입력신호가 신호혼합기 혹은 증폭기들을 통해 출력되는 신호는 고주파수 신호이다. 주파수가 높으면 테스트평가가 어려워지므로 제안하는 BIST구조에서는 테스트 신호혼합기를 내장하여 높은 주파수의 출력신호를 상대적으로 낮은 주파수로 변환하여 테스트 평가를 용이하게 해준다. 내장한 테스트 신호혼합기는 시스템 내부의 전압조정발진기를 사용하여 주파수를 변환한다. 이렇게 하면 테스트 입력신호의 생성뿐만 아니라 테스트 출력신호 평가에서도 높은 주파수 대신 낮은 주파수를 사용하기 때문에 테스트가 보다 용이해진다.

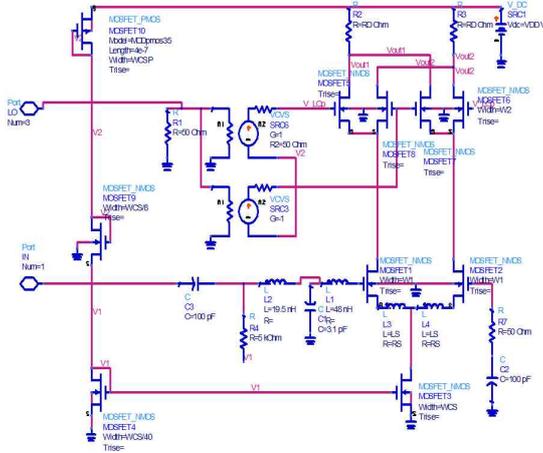
4. 실험 결과

제안한 BIST 구조의 유효성을 검증하기 위해 RF 전용 시뮬레이션 툴인 ADS2009(Advanced Design System)를 이용하여 새로운 BIST 구조의 RF 통신시스템을 시뮬레이션 하였다. 먼저 저잡음증폭기 테스트를 위한 BIST 회로와 RF 트랜스시버 시스템의 테스트를 위한 BIST 회로 그리고 BIST 구조 내부의 믹서와 감쇄기를 시뮬레이션 하였으며 ADC와 DAC의 성능을 시뮬레이션 하였으며 최종적으로 RF 트랜스시버시스템 테스트를 위한 BIST 회로에 대해 시뮬레이션 하였다.

BIST 구조 내부의 신호혼합기는 칩에 내장한 VCO를 사용하여 주파수를 변환한다. 칩에 내장한 VCO를 사용하므로써 변환된 신호의 주파수는 피 테스트소자의 정상동작 주파수와 동일하다. 이렇게 하므로써 테스트 입력신호 주파수에 대한 정확성을 보장할 수 있다. BIST 구조 내부의 신호혼합기 회로도 (Figure 8)과 같다.

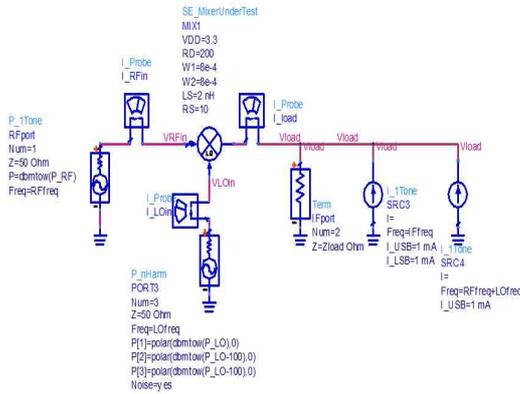
(Figure 9)는 실제 시뮬레이션을 위한 회로 구성도를 나타낸 것이다. 50옴으로 인피던스 매칭을 하였고 테스트에 사용한 RF 주파수는 각각 800MHz, 900MHz, 1GHz, 1.1GHz 로 하였다. 여기에 각각 대응하는 LO 주파수는 1GHZ, 1.1GHZ, 1.2GHZ, 1.3GHZ를 사용하였다. 신호혼합기는 up convert 과정과 down convert 과정을 모두 시뮬레이션 하였다.

(그림 8) BIST 구조 내부의 신호혼합기



(Figure 8) Signal Mixer in BIST Structure

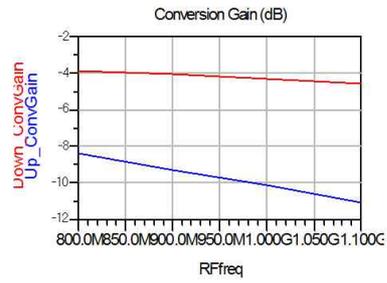
(그림 9) 신호혼합기 시뮬레이션 구성도



(Figure 9) Scheme for Signal Mixer Simulation

ADS2009를 사용하여 시뮬레이션 한 결과는 (Figure 10) 및 <Table 1>과 같다. 실험결과에서 보여준 것과 같이 신호혼합기가 up convert 진행할 때는 주파수 1GHz에서 약 -10.1dB의 이득이 발생하고 down convert 진행할 때는 약 -4.2dB의 이득이 생긴다. 신호혼합기가 주파수 변환할 때 가지는 이득은 테스트과정에서 허용할 수 있는 범위 내에 있다.

(그림 10) 신호혼합기의 이득



(Figure 10) Gain of Signal Mixer

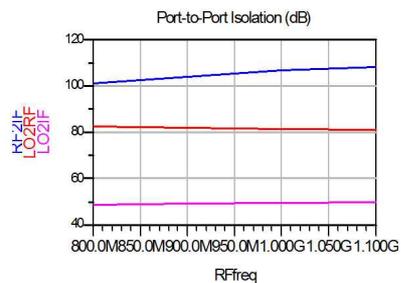
<표 1> 신호혼합기의 주파수 변환결과

RFfreq	IFfreq_down	IFfreq_up	LOfreq
800.0M	200.0M	1.800G	1.000G
900.0M	100.0M	1.900G	1.000G
1.000G	0.0000	2.000G	1.000G
1.100G	100.0M	2.100G	1.000G

<Table 1> Frequency Conversion Results of Signal Mixer

(Figure 11)은 RF단, IF단, LO단 사이의 각각의 isolation 값을 나타낸다. 1GHz 주파수에서 RF단에서 IF단으로의 isolation값은 약 106dB이고 LO단에서 RF단으로의 isolation값은 81dB이다. 그리고 LO단에서 IF단으로의 isolation값은 40dB이다. 표 1은 신호혼합기의 주파수 변환 결과를 보여준다.

(그림 11) 혼합기 RF, IF 및 LO 단의 isolation 값



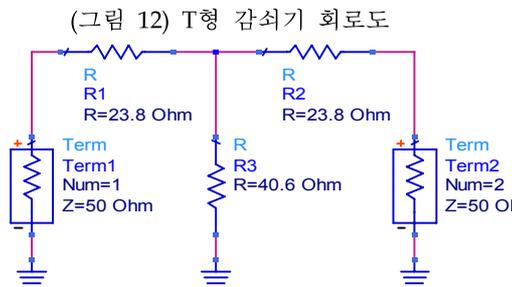
(Figure 11) Isolation Value of Signal Mixer, RF and LO Stage

(Figure 12)에 나타난 T형 감쇠기를 ADS2009를 사용하여 시뮬레이션 하였다. 저잡음증폭기는 일반적으로 아주 낮은 전력레벨의 신호를 처리해야 할 경우 -110dBm의 신호까지도 처리해야 한다. 때문에 저잡음증폭기를 테스트할 때 TM (Test Mixer)에서 출력하는 신호거나 PA에서 출력하는 신호를 직접적으로 저잡음증폭기에 인가하면 테스트의 정확성을 보장할 수 없다. 감쇠기는 TM 혹은 PA에서 출력하는 신호의 전력레벨을 저잡음증폭기가 실제로 처리하는 신호의 전력레벨만큼 변환해주는 역할을 한다.

다음 수식에서 L(dB)는 감쇠량이다. 감쇠량을 -9dB로 하였을 때 식 (1), (2)를 이용하여 계산하면 $R_1=R_2=23.8(\text{Ohm})$, $R_3=40.6(\text{Ohm})$ 는 결과를 얻게 된다.

$$R_3 = \frac{2Z_0 10^{L/20}}{10^{L/10} - 1} \quad (1)$$

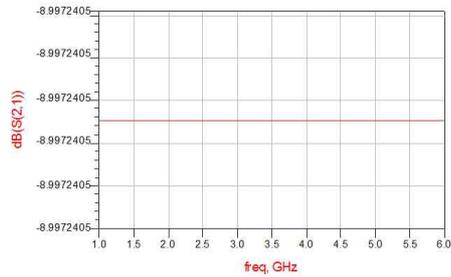
$$R_1 = R_2 = \frac{10^{L/10} + 1}{10^{L/10} - 1} Z_0 - R_3 \quad (2)$$



(Figure 12) T-type Attenuator

(Figure 13)은 시뮬레이션 결과이다. 실험결과 감쇠기의 이득은 1GHz에서 6GHz까지의 주파수 범위 안에서 -9dB의 이득을 가지고 있다. 시뮬레이션 결과에서 보여주듯이 감쇠기는 테스트 입력신호의 높은 전력레벨을 LNA의 실제 동작 전력레벨만큼 낮추어 줄 수 있다.

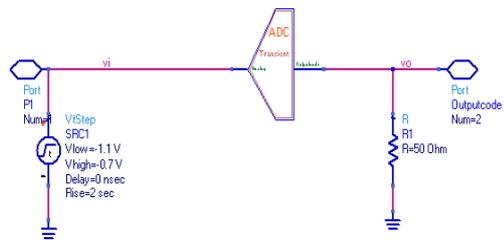
(그림 13) 감쇠기의 이득



(Figure 13) Gain of Attenuator

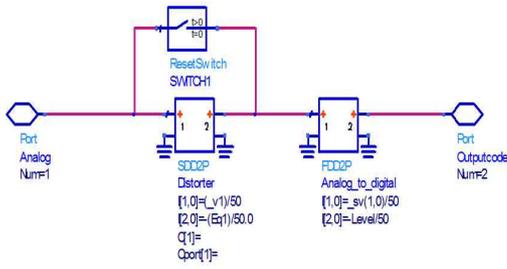
앞서 제안한 BIST구조는 테스트 입력신호를 외부테스트장비에서 생성하고 인가하는 것이 아니라 칩 내부의 베이스밴드 프로세서에서 디지털신호를 생성하고 BIST회로에 내장한 ADC/DAC가 테스트에 사용하게 될 아날로그신호로 변환해 준다. 먼저 테스트입력신호를 생성하고 변환하는 ADC/DAC의 성능을 확인하기 위해 ADC/DAC의 동작을 ADS2009를 사용하여 실험하였다. (Figure 14)는 시뮬레이션에 사용한 회로의 블록도이고 (Figure 15)는 8bit ADC의 내부 구성도이다. 실험을 통하여 제안하는 회로에서 테스트입력을 생성하고 변환하는 ADC/DAC의 성능을 확인하였다.

(그림 14) ADC 실험에 사용한 회로



(Figure 14) A Circuits for ADC Experiments

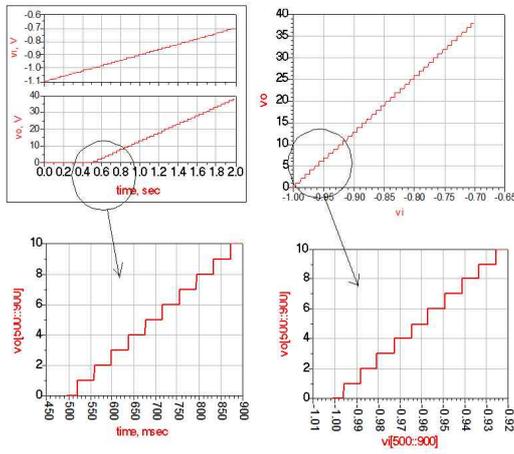
(그림 15) ADC 내부 구성도



(Figure 15) Internal Structure of ADC

(Figure 16)은 시뮬레이션에 사용한 ADC의 입출력 특성을 보여준다.

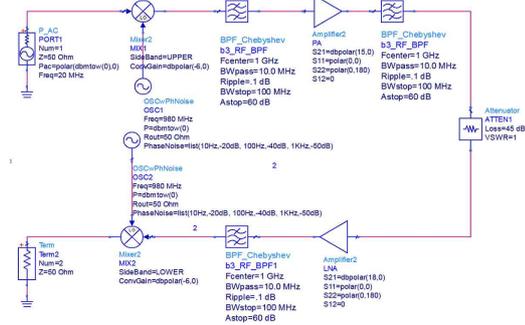
(그림 16) ADC의 입출력 특성



(Figure 16) I/O Characteristics of ADC

ADS2009를 사용하여 전체 RF 송수신기 시스템의 동작을 시뮬레이션 하였다. 시뮬레이션 대상은 Tx Mixer, Tx BPF, PA, Attenuator, LNA, Rx BPF, Rx Mixer이다. 베이스밴드 프로세서에서 생성한 디지털 신호를 테스트에 사용할 아날로그신호로 변환하는 과정은 ADC/DAC를 사용하여 진행하였다. (Figure 17)은 테스트를 위한 RF 송수신기를 시뮬레이션 하기 위한 블록도를 나타낸 것이다.

(그림 17) 시뮬레이션을 위한 RF 송수신기 시스템



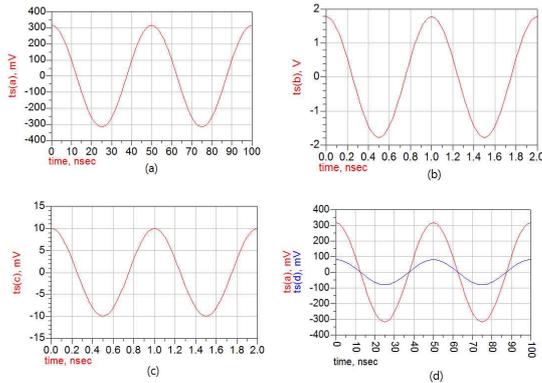
(Figure 17) RF Transceiver System for Simulation

테스트입력신호는 20MHz를 사용하였으며 송신단은 변환이득이 -6dB인 신호혼합기를 사용하였다. 트랜스미버 시스템의 국부발진기의 주파수는 980MHz 이다. 입력된 20MHz의 신호는 신호혼합기를 통과하여 주파수가 1GHz인 신호로 변환된다. 신호혼합기는 비선형소자이기 때문에 출력단에는 불필요한 주파수의 신호들이 포함되어 있다. 송신단의 BPF는 1GHz의 신호만 통과시키고 나머지 불필요한 주파수의 신호들을 차단한다. 전력증폭기는 테스트입력신호의 전력레벨을 높여준다. (Figure 18)은 시뮬레이션 결과인데 실험결과에서 알 수 있듯이 테스트 입력신호는 (b)와 같이 20MHz에서 1GHz로 변환되었고 전력레벨도 320mV에서 1.8V로 높아졌다. 시뮬레이션 과정에서 감쇠기의 이득은 -45dB로 설정하였다. 전력증폭기에서 출력된 신호는 1.8V이다. 감쇠기를 통과한 신호는 (Figure 18)의 (c)와 같다. 테스트신호는 1.8V에서 10mV로 낮아졌다. 최종 출력 신호는 감쇠기를 통과한 테스트신호가 수신단의 저잡음증폭기와 신호혼합기, BPF를 통과하여 생성된다.

(Figure 18)의 (a)는 20MHz 테스트입력신호이다. (b)는 테스트 입력신호가 신호혼합기와 PA를 통과한 후의 출력신호이다. Figure에서 알 수 있듯이 신호의 주파수는 20MHz에서 1GHz로 변환되었다. (c)는 감쇠기를 통과한 후의 신호이다. 전력레벨이 현격히 낮아진 것을 확인할 수 있다. (d)는 최종적으로 Rx 신호혼합기의 출력신호

와 테스트 입력신호를 함께 표시한 것인데 두 신호 사이에는 약간의 전력레벨 차이만 존재할 뿐이다.

(그림 18) 시뮬레이션결과: (a) 테스트입력 신호 (b) PA출력신호 (c) 감쇄회로 출력 신호 (d) 입력신호와 출력신호의 비교



(Figure 18) Simulation Results: (a) Test Input Signal (b) PA Output Signal (c) Output Signal of Attenuator (d) Comparison of Input Signal and Output Signal

5. 결론

본 논문에서는 저잡음 증폭기의 테스트와 차세대 RF 송수신기 시스템의 테스트를 위한 새로운 BIST 구조를 제안하였다. 제안하는 BIST 회로는 두 개의 감쇠기, 두 개의 멀티플렉서, 하나의 Mixer, 하나의 ADC로 구성된다. 테스트 과정에서 베이스밴드 프로세서를 테스트기로 사용함으로써 외부테스트 장비의 필요성을 크게 감소시켰다. RF 전용 시뮬레이션 툴인 ADS2009를 이용하여 제안한 테스트구조의 소자들에 대해 시뮬레이션 하므로써 제안한 테스트용이화설계의 유효성을 검증하였다.

실험을 수행한 결과, 본 논문에서 제안한 테스트회로는 작은 오버헤드로 RF 송수신기의 핵심적인 소자를 테스트 할 수 있을 뿐만 아니라 시스템레벨의 테스트가 가능하였다. 기존의 테스트 방법은 대부분 외부의 테스트 장비를 사용하고

있는데 실제로 무선 디바이스의 생산량은 기존 외부 테스트 장비의 일반적인 테스트 처리속도를 넘어서고 있다. 또한 RF 집적회로가 많은 블록의 집적화로 테스트 난이도가 증가하였고 테스트 시간도 많이 소요되는 점을 감안할 때 제안하는 테스트구조를 실제 칩 내부에 내장함으로써 부품 생산 시 테스트의 시간을 감소시킬 수 있고 테스트의 비용도 줄일 수 있는 효과를 가져다 줄 것이다.

현재까지 국내 고주파수 대역 무선통신 기술은 대부분 생산 공정과 기존 제품의 응용기술 개발에만 관심을 두어 왔으며, 따라서 고주파대역 RF부품에 대한 테스트기술은 외국의 ATE장비의 의존도가 매우 큰 실정이기 때문에 본 논문에서 제안하는 테스트기법은 국내 자체기업의 기술력 향상을 통해서 테스트를 보다 효율적으로 진행할 수 있고 테스트 비용도 줄일 수 있으며 나아가 테스트장비의 수입 감소 및 이에 따른 경제적 이익 증대가 가능할 것으로 기대된다.

References

- [1] Kyu-Bok Lee, "RF Module & RF-IC Technology", The Magazine of the IEEK, 2006.
- [2] Hyun-Chul Shin, "Design Technology of RF/Analog ICs for RFID/USN", The proceedings of KIEES, vol 16. no. 3, pp. 33-47, July 2005.
- [3] Qi Fan, "General Design for Test Guidelines for RF IC", Journal of Electronic Testing, vol. 26, no. 1, pp. 7-12, Feb. 2010.
- [4] J. Dabrowski, Rashad Ramzan, "Built-in Loopback Test for IC RF Transceivers", IEEE VLSI Systems, vol. 18, pp. 933-946, June 2010.
- [5] D. Lupea, U. Pursche, and H. J. Jentschel, "RF-BIST: Loopback spectral signature analysis", in Proc. Design, Autom. and Test in Eur. Conf. and Exhib., pp. 478-483, Mar. 2003.
- [6] J. Y. Ryu and B. C. Kim, "Low-cost testing of 5 GHz low noise amplifiers using new RF BIST circuit", J. Electron. Testing, vol. 21, no. 6, pp. 571-581, Dec. 2005.
- [7] Hsieh-Hung Hsieh and Liang-Hung Lu, "Integrated CMOS power sensors for RF BIST applications", 24th IEEE VLSI Test Symposium, pp. 235-239, May 2006.

- [8] Yen-Chih Huang, Hsieh-Hung Hsieh and Liang-Hung Lu, "A Low-Noise Amplifier with Integrated Current and Power Sensors for RF BIST Applications", 25th IEEE VLSI Test Symposium, pp. 401-408, May 2007.
- [9] Yong Kim, Jae Min Lee, "Test of Low Noise Amplifiers in RF Circuits using Built-in VCOs", 5th International Symposium on Embedded Technology, May 13-14, 2010.
- [10] Yong Kim, Jae Min Lee, Byong Soon Cho, "Design of RF circuits using feed-back loop structure for testability", YUST International Symposium, no 5. pp. 66-69, Jun. 2010.



김 용

2008년:연변과학기술대학교
통신전공(공학사)
2011년:관동대학교 대학원전자
공학과졸업(공학석사)

관심분야 : RF 집적회로 설계 및 테스트



이 재 민

1979년:한양대학교(공학사)
1983년:한양대학교 대학원(공학석사)
1987년:한양대학교 대학원(공학박사)

1990년~1991년 : 일리노이대학(Urbana-Champaign)
Post-Doc. (한국과학재단)
1994년~1996년 : 대한전자공학회 강원지부장
1992년~1994년 : 관동대학교 전자계산소 소장
2001년~2002년 : 뉴욕주립대(Buffalo) 연구교수
2009년~2011년 : 관동대학교 공학교육혁신센터장
2011년~현재 : 관동대학교 공과대학 학장
2010년~현재 : 정보전자통신기술학회 부회장
관심분야 : SoC설계 및 테스트, 신재생에너지
시스템, 적정기술, 공학교육 설계