

모델 동정과 최적의 IMC-Cascade 제어기 설계

조준호¹, 조현섭², 황형수^{1*}

¹원광대학교 전자및제어공학부, ²청운대학교 전자공학과

Model Identification and Design of Optimized IMC-Cascade Controller

Joon-Ho Cho¹, Hyun-Seob Cho² and Hyung-Soo Hwang^{1*}

¹Division of Electronics and Control Engineering, Wonkwang University

²Department of Electronic Engineering, Chungwoon University

요약 본 논문은 릴레이 피드백을 이용한 주파수 영역에서 내부 및 외부 모델을 동정하고 이 모델을 바탕으로 IMC-Cascade 제어기 파라미터 자동 동조 알고리즘을 제안하였다. 모델 동조 방법은 정상상태와 과도상태를 고려하여 1차의 지연모델로 동정 하였으며, 내부 제어기 및 외부 제어기의 제어 파라미터는 동정된 모델을 활용하여 성능 지수 ITAE값이 최소로 되도록 자동동조 하였다. 시뮬레이션 결과 제안된 방법이 기존의 방법보다 우수함을 확인할 수 있었다.

Abstract In this paper, we proposed to model identification in frequency domain using relay feedback and Design of internal model controller(IMC) with Cascade controller. The parameters of controller in the inner loop are determined to minimize the integral of time multiplied by the absolute value of error (ITAE) value of performance Index. The controller of outer loop and parameters of IMC-PID controller can be obtain using identified model. The model identification is considered that it is the transient response and the steady-state response through the use of nyquist curve. Simulation examples are given to show the better performance of the proposed method than conventional methods.

Key Words : Model Identification, PID controller, ITAE, IMC-Cascade controller

1. 서론

PID 제어기는 공정제어 현장에서 널리 사용되고 있어, 최적의 성능을 얻을 수 있는 PID 제어기의 파라미터를 결정하는 방법에 대하여 많은 연구가 이루어지고 있다. [1-4], 그 중에서, Astrom과 Hagglund는 간단한 릴레이 실험에서 임계이득과 임계주파수를 구할 수 있는 자동 동조 방법을 제시 하였다[5]. 이러한 이유로 릴레이 동조 실험을 통한 모델 동정 방법의 연구는 계속 이루어지고 있으며, 대표적인 방법으로는 이상적인 릴레이 동조, 시간 지

연을 갖는 릴레이 동조, 적분기를 갖는 릴레이 동조, 히스테리시스를 가진 릴레이 동조가 있으며, 해석적인 방법으로는 Fourier 분석과 ALFREE(Algorithm for FREquency Estimation) 변환 등이 있다. 본 논문에서의 모델 동조는 스위치 함수와 릴레이 두개를 결합하여 모델을 동조하였다. 기존의 릴레이 동조 실험을 통하여 설계된 PID 제어기는 외부로부터 외란 및 센서 변화 등의 영향에서는 만족할 만한 제어 성능을 얻을 수 없다. 따라서 잡음 등의 영향에 둔감한 제어기에 대한 많은 연구가 이루어지고 있다. 이와 같이 시스템의 견실성을 보장하는 제어 방법

본 논문은 원광대학교의 2010년도 지원에 의해 수행되었음.

*Corresponding Author : Hyung-Soo Hwnag (Wonkwang University)

Tel : +82-63-850-6345 email: hshwnag@wku.ac.kr

Received November 20, 2012 Revised December 5, 2012 Accepted December 6, 2012

을 전실 제어라 하며, 그 중 한 가지 방법으로 Cascade 제어 기법이 있다. ([6,8]) Cascade 제어기의 구조는 내부 제어기와 외부제어기로 구성되어 있어, 외부로 부터의 외란 및 센서 변화 등의 영향을 적게 받게 된다. 본 논문에서의 내부 제어기 설계는 내부 모델이 1차의 지연시간을 갖는 공정에서는 PI 제어기 그리고 2차 이상의 고차 모델에 대해서는 축소 모델을 이용하여 성능지수 ITAE 값이 최소값이 되도록 PID 제어기를 설계하였다. 또한 외부 제어기 설계는 IMC-PID 제어구조를 제안하였으며, 제어기의 파라미터 값이 성능지수를 만족하도록 자동 동조 하는 알고리즘을 제안하였다. 이렇게 설계된 IMC-Cascade 제어기의 성능은 기존의 방법보다 우수한 성능을 보인다. 본 논문의 구성은 모델 동정, IMC-Cascade 제어기 설계, 시뮬레이션 및 고찰, 결론으로 구성되어 있다.

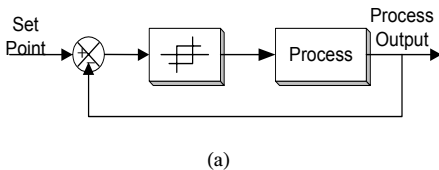
2. 모델 동정 알고리즘

2.1 릴레이 실험을 통한 모델 동정

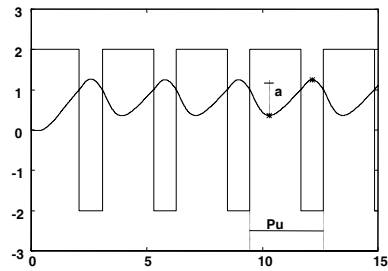
Åström과 Hägglund는 임계이득과 임계주기를 자동적으로 구하기 위해 릴레이 동조법을 제안하였다. 릴레이 동조 실험은 그림 1(a)에 보인 것과 같이, 공정진동을 생성하기 위해 불감영역을 갖는 릴레이를 사용한다. 릴레이는 공정출력의 오차가 설정 값 보다 크면 최소 값을 가지고, 오차가 설정값보다 적으면 최대 값을 갖도록 동작한다. 릴레이 동조 실험결과 공정의 출력과 릴레이의 출력이 그림 1 (b)에 있다. 이 출력 파형으로부터 임계주기 P_u , 그리고 식 (1)를 이용하여 임계이득을 구할 수 있다.

$$N(a) = \frac{4d}{\pi a} \tag{1}$$

여기서 d 는 릴레이의 진폭이고, a 는 측정된 공정 진동의 진폭이다. 그리고 릴레이로 활성화된 공정은 불안정과 안정의 경계에 있기 때문에 다음과 같은 특성방정식이 성립된다.



(a)



(b)

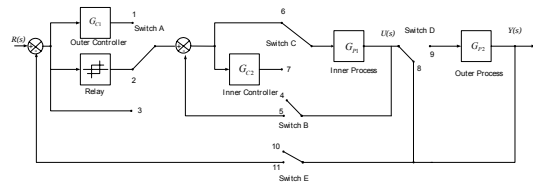
[Fig. 1] Relay feedback auto tuning (a) Block diagram of a process relay feedback. (b) Process output for a relay feedback

$$1 + G(j\omega)N(a) = 0 \tag{2}$$

여기서 $G(j\omega)$ 는 주파수 전달함수 이다. 식(2)에서 주파수 전달함수는 식 (3)과 같이 구할 수 있다.

$$G(j\omega) = -\frac{1}{N(a)} = -\frac{\pi a}{4d} \tag{3}$$

즉 릴레이를 통하여 공정을 활성화하고 나면 측정된 공정진동의 진폭(a), 릴레이의 진폭(d)을 이용하여 식(3)의 주파수 전달함수를 구할 수 있다.



[Fig. 2] Process identification of Cascade control Structure

2.1.1 내부 루프의 모델 동정

내부 모델은 식(4)와 같은 1차의 지연시간을 갖는 공정으로 동정한다.

$$G_{p1}(s) = \frac{k_1}{T_1s + 1} e^{-jL_1s} \tag{4}$$

그림 2는 Cascade 제어기 구조에서의 공정 동정이다. 그림2를 보면 릴레이 한 개와 네 개의 스위치가 포함되어 있다. 내부 모델을 동정하기 위해서는 입력에 단위 계단 입력을 인가하고 Switch A는 3, Switch B는 4, Switch C는 6, Switch D는 8와 Switch E는 10로 구성하면 개루프 제어 구조가 된다. 식(4)에 대한 최종값의 정리를 적용하

면 k_1 값을 구할 수 있다.

$$\lim_{s \rightarrow 0} sR(s)G_{p1}(s) = \lim_{s \rightarrow 0} \frac{k_1}{T_1s+1} e^{-sL_1} = k_1 = u(t) \quad (5)$$

내부 모델의 나머지 파라미터 값은 그림2의 Switch A는 2와 Switch E는 11로 변경하면 그림 1과 같은 구조와 같게 된다. 즉, 식(3)를 이용하여 1차의 지연시간을 갖는 공정을 구할 수 있다.

$$G_{p1}(jw) = \frac{k_1}{jT_1w+1} e^{-jwL_1} = -\frac{\pi a}{4d} \quad (6)$$

여기서 $w = \frac{2\pi}{P_u}$ 이다.

식(6)의 크기 조건과 각도 조건을 고려하면, 식(7), (8)에 의해서 T_1, L_1 값을 각각 구할 수 있다.

$$\frac{k_1}{\sqrt{((wT_1)^2+1)}} = \frac{\pi a}{4d} \quad (7)$$

$$-L_1w - \tan^{-1}(T_1w) = -\pi \quad (8)$$

2.1.2 외부 루프의 모델 동정

외부 모델 또한 식(9)와 같은 1차의 지연시간을 갖는 공정으로 동정한다.

$$G_{p2}(s) = \frac{k_2}{T_2s+1} e^{-jL_2s} \quad (9)$$

외부 모델을 동정하기 위해서는 입력에 단위 계단 입력을 인가하고 Switch A는 3, Switch B는 4, Switch C는 6, Switch D는 8와 Switch E는 9로 구성하면 식 (10)과 같은 개루프 제어 구조가 된다.

$$G_p(s) = \frac{k_1 k_2}{(T_1s+1)(T_2s+1)} e^{-j(L_1+L_2)s} \quad (10)$$

식(10)에 대한 최종값의 정리를 적용하면 k_2 값을 구할 수 있다.

$$\lim_{s \rightarrow 0} sR(s)G_p(s) = \lim_{s \rightarrow 0} \frac{k_1 k_2 e^{-s(L_1+L_2)}}{(T_1s+1)(T_2s+1)} = k_1 k_2 = y(t) \quad (11)$$

식(10)에 대한 크기 조건과 각도 조건에 의해서 T_2 값과 식(8)에 의해서 L_2 값을 각각 구할 수 있다.

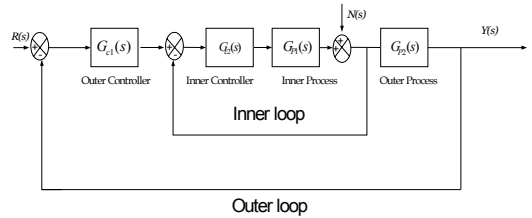
$$\frac{k_1 k_2}{\sqrt{((wT_1)^2+1)} \sqrt{((wT_2)^2+1)}} = \frac{\pi a}{4d} \quad (12)$$

$$-(L_1+L_2)w - \tan^{-1}(T_1w) - \tan^{-1}(T_2w) = -\pi \quad (13)$$

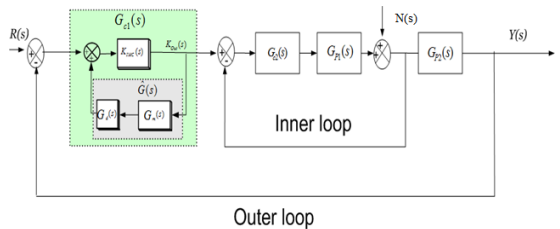
여기서 L_1, T_1 값은 내부 모델 파라미터 이다.

3. IMC-Cascade 제어기 설계

Cascade 제어기는 외부로 부터의 외란 및 센서의 변화 등에 영향에 둔감하게 작동하여 만족할 만한 제어 성능을 얻을 수 있는 견실제어기의 한 가지 종류이다. 기존의 Cascade 제어기구조는 그림 3과 같이 구성되어 있다. Cascade 제어기의 구조는 내부 루프 공정과 외부 루프 공정으로 이루어져 있으며, 제어기 또한 내부 루프에 있는 내부 루프 제어기와 외부 루프에 있는 제어기로 구성 되어 있다.



[Fig. 3] Structure of Cascade-controller



[Fig. 4] Proposed controller Structure of IMC-Cascade

Cascade 제어기는 2개로 구성되어 있어 기존의 PID 제어기 설계보다는 복잡하다. 본 논문에서는 그림4와 같이 IMC - Cascade 제어기 설계에 있어 내부 루프에 있는 제어기는 ITAE값이 최소가 되도록 하는 제어기 설계방법을 적용하였고, 외부 루프에 있는 제어기를 설계하기 위해서 내부 공정, 내부 루프의 제어기와 외부 루프의 공

정을 결합한 전달함수를 2차의 지연시간을 갖는 모델로 축소하고, 축소 모델로부터 외부 루프의 제어기를 설계할 수 있는 새로운 방법을 제안 하였다.

3.1 내부 루프 제어기 설계

본 논문에서의 내부 루프 제어기는 내부 루프의 공정이 1차의 지연시간을 갖는 공정에 대하여 성능지수 ITAE 가 최소가 되도록 제어 파라미터 값을 구하였으며, 표 1. 과 같다.

[Table 1] PI tuning-rule

| 구분 | $k_1 K_c$ | T_1/τ_i | τ_d/T_1 |
|-------|------------------------------------|-----------------------------------|-----------------------------------|
| 내부 모델 | $0.586(\frac{L_1}{T_1})^{-0.92}$ | $1.030 - 0.165(\frac{L_1}{T_1})$ | |
| 모델 | $0.965((\frac{L_1}{T_1})^{-0.85})$ | $0.796 - 0.1465(\frac{L_1}{T_1})$ | $0.308(\frac{L_1}{T_1})^{-0.929}$ |

3.2 외부 루프 제어기 설계

외부 루프 제어기는 제어 파라미터를 구하기 위해서 축소 모델[9]을 사용하였다. IMC-Cascade controller의 구조에서 inner loop 부분을 전개하면 부분은 식(14)과 같다.

$$G_1(s) = \frac{G_{c2}(s)G_{p1}(s)}{1 + G_{c2}(s)G_{p1}(s)} \quad (14)$$

또한 외부 루프 공정 $G_{p2}(s)$ 와 식 (14)를 전개하면 식 (15)를 구할 수 있다.

$$G(s) = \frac{G_{c2}(s)G_{p1}(s)G_{p2}(s)}{1 + G_{c2}(s)G_{p1}(s)} \quad (15)$$

식 (15)를 축소 모델 알고리즘을 적용하면 (15-1)의 2 차의 지연시간을 갖는 모델[9]로 축소 할 수 있다.

$$\hat{G}(s) = \frac{e^{-sL}}{as^2 + bs + c} \quad (15-1)$$

본 논문에서는 2차의 지연시간을 갖는 내부 모델에 대해서도 성능지수 ITAE 값이 최소가 되도록 제어기를 설계 하였다. 외부 루프 제어기의 내부 모델 $K_{IMC}(s)$ 는 다음과 같다.

$$K_{IMC}(s) = \frac{as^2 + bs + c}{\tau_f s + 1} \quad (16)$$

외부루프의 IMC-PID 제어기의 전달함수는 식(17)과 같이 표현된다.

$$C_1(s) = \frac{as^2 + bs + c}{(L + \tau_f)s} \quad (17)$$

여기서 $G_d(s) = e^{-Ls}$ 는 1차의 테일러 급수를 적용 하였다. PID 제어기의 파라미터 값은 식 (18)과 같이 나타낼 수 있다.

$$\begin{bmatrix} K_P \\ K_I \\ K_D \end{bmatrix} = \frac{1}{L + \tau_f} \begin{bmatrix} b \\ c \\ a \end{bmatrix} \quad (18)$$

결론적으로 IMC-PID 제어기 설계 문제는 내부 모델인 2차의 지연시간을 갖는 공정을 동정하는 한 뒤, 1차의 저역 통과 필터 τ_f 값의 결정 문제로 한정된다고 할 수 있다. 내부 모델 동정과 수치적 계산에 의한 방법으로 성능지수 ITAE 값을 최소로 하는 τ_f 값을 구하는 방법을 제시한다. 성능지수 값을 최소로 하기 위해서 그림 4의 IMC-Cascade 제어기 구조의 페루프 전달함수를 먼저 구해야 한다. 식 (19)는 페루프 전달함수 이다.

$$\frac{Y(s)}{R(s)} = \frac{K_{IMC}(s)G(s)}{1 + K_{IMC}(s)[G(s) - \hat{G}(s)]} \quad (19)$$

여기서 $G(s)$ 는 실제 공정, $\hat{G}(s)$ 는 내부루프 모델을 의미하며, 위의 구조에서 실제 공정과 내부 모델이 일치한다고 가정하면, 식(20)처럼 근사화 된다.

$$\frac{Y(s)}{R(s)} \approx K_{IMC}(s)\hat{G}(s) \quad (20)$$

식(20)을 정리하면 식 (21)과 같다.

$$\frac{Y(s)}{R(s)} \approx \frac{ke^{-sL}}{s+k} \quad (21)$$

여기서 $k = 1/\tau_f$ 이다. ITAE가 최소가 되는 τ_f 는 식 (22)와 같다.

$$\tau_f = \frac{L}{2} \quad (22)$$

4. 시뮬레이션 및 고찰

본 장에서는 내부 루프의 제어기는 PI 제어기로 설계하였고, 내부 루프의 제어기, 내부 루프의 공정 그리고 외부 루프의 공정을 결합한 전달 함수를 2차의 지연시간을 갖는 축소 모델을 활용하여 성능지수 ITAE 값을 최소화 되도록 외부제어기를 설계하였다.

4.1 지연시간이 짧은 시스템

$$\text{내부 루프의 공정} : G_{p1}(s) = \frac{1}{s+5}e^{-0.2s} \quad (23)$$

$$\text{외부 루프의 공정} : G_{p2}(s) = \frac{1}{(s+1)(s+2)}e^{-0.5s} \quad (24)$$

내부 루프의 공정이 주어지면 다음과 같은 3단계에 의해서 내부 루프 제어기와 IMC-Cascade 제어기를 설계할 수 있다.

Step 1: 내부 루프 제어기설계

$$G_{c2}(s) = 0.5860 \left(1 + \frac{1}{0.2312s} \right) \quad (25)$$

Step 2: 모델 축소

식(23)~식(25)를 이용하여 식(15)의 $G(s)$ 구하고 축소 모델 알고리즘을 적용하면 2차지연의 축소 모델을 구할 수 있다.

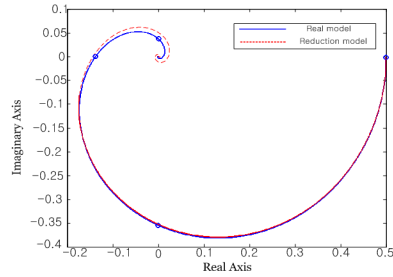
$$\hat{G}(s) = \frac{e^{-1.1319s}}{4.3558s^2 + 6.1913s + 2} \quad (26)$$

Step3: 외부 루프 제어기 설계

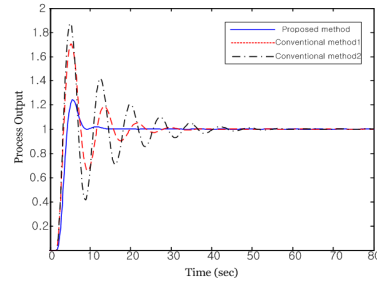
$$\begin{bmatrix} k_p \\ k_i \\ k_d \end{bmatrix} = 0.5890 \begin{bmatrix} 6.1913 \\ 2 \\ 4.3558 \end{bmatrix} \quad (27)$$

그림 5은 기존의 방법과 제안된 방법을 그래프로 나타내었고, 표 2에서는 성능지수를 비교 하였다.

표2에서 확인할 수 있듯이 제안된 방법이 성능지수 (IAE, ISE, ITAE) 측면에서 기존의 방법보다 우수함을 확인할 수 있었다.



(a)



(b)

[Fig. 5] Application of Proposed method for process1 (a) Frequency Response, (b) Time Response

[Table 2] Comparison of performance index for process1

| | 기존의 방법1 | 기존의 방법2 | 제안된 방법 |
|------|----------|----------|---------|
| IAE | 87.1398 | 76.0678 | 65.9778 |
| ISE | 71.1975 | 65.7048 | 62.2225 |
| ITAE | 394.9245 | 207.2980 | 93.9091 |

4.2 지연시간이 긴 시스템

$$\text{내부 루프의 공정} : G_{p1}(s) = \frac{1}{10s+1}e^{-0.5s} \quad (28)$$

$$\text{외부 루프의 공정} : G_{p2}(s) = \frac{1}{(2s+1)}e^{-0.4s} \quad (29)$$

지연시간이 긴 시스템에 대해서도, 내부 루프의 공정이 주어지면 다음과 같은 3단계에 의해서 내부 루프 제어기와 외부 루프 제어기와 IMC-Cascade 제어기를 설계할 수 있다.

Step 1: 내부 루프 제어기설계

$$G_{c2}(s) = 9.2224 \left(1 + \frac{1}{9.7871s} \right) \quad (30)$$

Step 2: 모델 축소

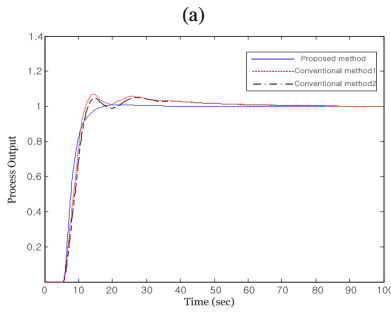
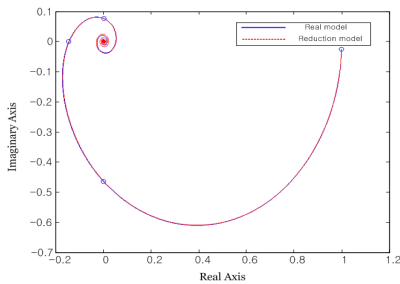
식(23)~식(25)를 이용하여 식(15)의 $G(s)$ 구하고 축

소 모델 알고리즘을 적용하면 2차지연의 축소 모델을 구할 수 있다.

$$\hat{G}(s) = \frac{e^{-4.7913s}}{4.4072s^2 + 20.1327s + 1} \quad (31)$$

Step3: 외부 루프 제어기 설계

$$\begin{bmatrix} k_p \\ k_i \\ k_d \end{bmatrix} = 0.1391 \begin{bmatrix} 2.8013 \\ 0.1391 \\ 0.6132 \end{bmatrix} \quad (32)$$



[Fig. 6] Application of Proposed method for process2
(a) Frequency Response, (b) Time Response

그림 6은 기존의 방법과 제안된 방법을 그래프로 나타내었고, 표 3에서는 성능지수를 비교 하였다.

[Table 3] Comparison of performance index for process 2

| | 기존의 방법1 | 기존의 방법2 | 제안된 방법 |
|------|----------|----------|----------|
| IAE | 128.0004 | 126.1436 | 120.8393 |
| ISE | 118.1828 | 115.9488 | 112.3823 |
| ITAE | 463.6685 | 451.8852 | 355.2122 |

표 3에서 확인할 수 있듯이 제안된 방법이 성능지수 (IAE, ISE, ITAE) 측면에서 기존의 방법보다 우수함을 확인할 수 있었다.

5. 결 론

본 논문에서는 지연 시간과 비선형성을 보상해 주기 위해서 새로운 IMC-Cascade 제어기 설계방법을 제안하였다. 제안된 제어기의 설계 방법은 첫째 실제 모델에 대하여 정확한 내부 모델을 구하는 것이며, 둘째는 구해진 내부 모델과 결합된 저역통과 필터 τ_f 의 값을 성능지수 ITAE 값을 최소가 되도록 구하였다. 성능지수를 고려한 외부 루프의 제어기 설계는 축소 모델을 이용함으로써 수식적으로 계산할 수 있음을 확인 하였다. 공정에 대해서 제안된 ITAE값을 최소로 하는 제어기 파라미터 값을 결정하는 방법이 우수함을 Matlab 시뮬레이션을 통하여 확인할 수 있었다.

References

- [1] K.J.Astrom and T.Hagglund, "Automatic tuning of simple regulators with specifications on phase and amplitude margins", Automatica, vol. 20, no. 5, pp. 645-651, 1984, [Article\(CrossRefLink\)](#)
- [2] W.K.Ho, C.C.Hang, W.Wojciszyn, and Q.H.Tao, "Frequency domain approach to self-tuning PID control", Contr.Eng. Practice, vol. 4, no.6, pp.807-813, 1996, [Article\(CrossRefLink\)](#)
- [3] M.Zhuang and D.P.Atherton, "Automatic tuning of optimum PID controllers", Proc. Inst. Elect. Eng., vol. 140, pt. D, no. 3, pp. 216-224, May 1993.
- [4] Q.G.Wang, T.H.Lee, H.W.Fung, Q.Bi and Y. Zhang, "PID tuning for improved performance", IEEE Trans. Contro. Syst. Technol., vol. 7, no.4, pp. 457-465, July 1999, [Article\(CrossRefLink\)](#)
- [5] K.J.Astrom, "Automatic tuning of PID regulators", Instrument Soc. Amer., 1998
- [6] Sihai Song, Wenjian Cai and Ya-Gang Wang, "Auto-tuning of cascade control systems" ISA Transaction 42 (2003) pp.63-72, [Article\(CrossRefLink\)](#)
- [7] antonio Visioli and Aurelio Piazzi, "An automatic tuning method for cascade control systems" Proceeding of the 2006 IEEE, October 2006 pp.4-6, [Article\(CrossRefLink\)](#)
- [8] D.K.Lim, C.H.Kim, B.S.Suh "IMC-PID Controller Design using Loop Shaping Method." Journal of The Institute of Electronics Engineers of Korea Vol44-SC NO. 5, September 2005
- [9] J.H.Cho, H.S.Hwang, "Design of Generalized Controller

by Improved Model Reduction," Journal of The Institute of Electronics Engineers of Korea Vol 44-SC NO. 5, September 2007

조 준 호(Joon-Ho Cho)

[정회원]



- 2002년 2월 : 원광대학교 대학원 제어계측공학과(공학석사)
- 2007년 2월 : 원광대학교 대학원 제어계측공학과(공학박사)
- 2007년 4월 ~ 현재 : 원광대학교 전자및제어공학부 조교수

<관심분야>

전기전자, 로봇비전, 의료영상처리

황 형 수(Hyung-Soo Hwang)

[정회원]



- 1983년 2월 : 전북대학교 대학원 전기공학과(공학석사)
- 1987년 2월 : 전북대학교 대학원 전기공학과(공학박사)
- 1991년 8월 ~ 1992년 7월 : University of Ottawa(Canada) 방문교수(Post.Doc)
- 1998년 3월 ~ 현재 : 원광대학교 전자및제어공학부 교수

<관심분야>

전기전자, 공장자동화, 의료영상처리

조 현 섭(Hyun-Seob Cho)

[종신회원]



- 1992년 2월 : 원광대학교 대학원 전기공학과(공학석사)
- 1996년 1월 ~ 1997년 1월 : Department of Electrical and Computer Engineering, University of California Irvine(UCI) 연구원
- 1998년 1월 ~ 현재 : 한국전력 기술협회 고급감리원(전력감리)

- 1998년 10월 ~ 현재 : 중소기업청 기술경쟁력 평가위원
- 1997년 3월 ~ 현재 : 청운대학교 교수

<관심분야>

전기공학, 공장자동화, 응용전자