

Digital PFC Controller를 위한 Algorithmic ADC 설계

Design of a Algorithmic ADC for Digital PFC Controller

장기창*, 김진용*, 황상훈**, 최중호**

Ki-chang Jang*, Jin-yong Kim*, Sang-hoon Hwang**, Joong-ho Choi**

Abstract

A 11b 100KS/s Algorithmic ADC for Digital PFC controller is proposed. The proposed Algorithmic ADC structure for 11bit resolution is based on a cyclic architecture to reduce chip area and power consumption. The prototype Algorithmic ADC implemented with a 0.18um 1Poly-3Metal CMOS process shows a SNDR 66.7dB and ENOB 10.78bits. And the current consumption is about 780uA at 100KS/s and 5V. The occupied active die area is 0.27mm².

요약

본 논문에서는 Digital PFC Controller에 적합한 11비트 100KS/s의 Algorithmic ADC를 설계하였다. 설계한 Algorithmic ADC는 PFC controller에 적합한 11비트 해상도를 만족하면서 반복적인 순환구조의 동작으로 인해 전체 크기를 줄일 뿐 아니라 소비 전류를 최소화 할 수 있다. 본 논문의 Algorithmic ADC는 0.18um 1Poly-3Metal의 CMOS 공정으로 제작 되었으며 100KS/s의 동작 속도에 SNDR 66.7dB, ENOB 10.78비트의 성능을 가진다. 또한 소비전류는 5V 전원 전압에서 780uA이며 설계된 ADC의 칩 면적은 0.27mm²이다.

Key words : Digital PFC Control, PFC, Algorithmic ADC, Algorithmic, Algorithmic ADC structure

* School of Electrical and Computer Engineering,
University of Seoul

** Samsung Electro-Mechanics Co.,ltd

★ Corresponding author (jchoi@uos.ac.kr)

* Acknowledgment : This research was supported by Samsung Electro-Mechanics Co.,ltd, and Industrial Strategic Technology Development Program funded by the Ministry of Knowledge Economy(MKE, Korea)(10039145, Research of Advanced Power Management technology for energy-saving smart products).

Manuscript received : July. 2. 2012; revised Nov. 23, 2012; accepted Nov. 27. 2012

1. 서론

최근 스마트폰, 태블릿 PC등 휴대용 무선기기의 수요 증가로 모바일 시장은 매우 빠른 속도로 커져가고 있다. 이러한 휴대용 무선기기들은 하나의 기기에 보다 빠른 무선 전송 기술을 비롯해 보다 많은 성능을 구현할 수 있는 어플리케이션을 요구하고 있다. 하지만 배터리의 성능은 휴대용 무선기기의 기술 발전과는 달리 더디게 성능 개선이 되어왔고 이로 인해 다양한 어플리케이션을 하나의 기기에서 사용하기 위해서는 효율적인 전원관리의 필요성이 부각되고 있

다.[1] 따라서, 효율적인 전원관리를 위해 높은 효율을 구현할 수 있고 안정적인 전원을 공급해 줄 수 있는 스위칭 모드 파워 변환기가 많이 사용되고 있다. 이러한 스위칭 모드 파워 변환기의 안정성을 확보하기 위해 피드백 폐루프에 저항과 캐패시터 등의 수동 소자 등을 이용하여 보상 회로를 꾸며주게 된다. 하지만 이러한 수동소자는 대부분 on-chip화 할 수 없을 정도로 큰 소자 값을 가지기 때문에 비용 및 면적이 늘어나게 되는 단점을 가지고 있다. 이와 같은 문제를 해결하기 위해 디지털 제어를 이용하여 보상을 위한 외부소자를 사용하지 않은 변환기가 많이 사용되고 있다.

II. 본론

1. 디지털 PFC 컨트롤러 구조

그림 1과 2는 PFC 구조와 디지털 PFC 컨트롤 블록도이다. AC입력이 EMI필터와 정류기를 통과한 전압이 외부 저항비로 나뉘는 V_{INS} 전압과 부하 전압을 센싱하기 위한 V_{SEN} 전압이 Mux 컨트롤을 통해 ADC로 번갈아 가면서 입력된다. V_{INS} 전압은 안정된 입력이 인가되는지에 대한 정보를 ADC를 통해 디지털 블록으로 전달하게 되고 V_{SEN} 전압은 부하전압의 상태를 디지털 블록으로 전달하게 된다.

디지털 블록에서는 ADC에서 입력받은 V_{INS} , V_{SEN} 두 전압의 정보를 이용하여 M_1 의 스위치 게이트 전압 V_G 의 듀티비를 조정하게 된다. V_G 의 듀티비를 조정하므로써 PFC의 출력전압인 V_{OUT} 을 원하는 DC전압으로 레귤레이션 하게 된다.

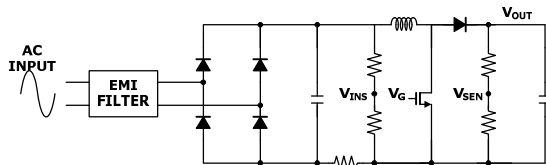


Fig. 1. PFC Architecture
그림 1. PFC 구조

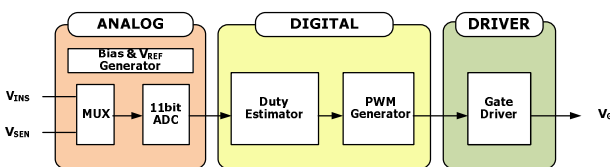


Fig. 2. Digital PFC Controller Block Diagram
그림 2. 디지털 PFC 컨트롤러 블록도

디지털 PFC 컨트롤러에서 사용되는 데이터 변환기

는 10비트 이상의 해상도가 요구된다.[2] 본 논문에서는 10비트 이상의 해상도를 가지면서도 소면적으로 구현이 가능한 알고리즘 타입의 데이터 변환기를 설계 하였고, 전원 전압 1.8/5V에서 11비트의 해상도를 가지며 780uA의 소비전류를 나타낸다.

2. Algorithmic ADC 구조 및 동작

가. 구조 및 동작원리

Algorithmic ADC 구조는 그림 3에 나타난 것처럼 Sample and Hold Amplifier(SHA), Multiplying Digital-to-Analog Converter(MDAC), Flash Analog-to-Digital Converter(FADC), 그리고 Digital error Correction Logic(DCL)로 구성되어 있다.[3,4,5]

SHA는 아날로그 입력신호를 샘플링 및 홀드하게 된다. 초기에는 아날로그 입력을 샘플링하고, 이후에는 MDAC의 출력 신호가 입력으로 인가된다. FADC는 SHA에 의해 샘플링된 신호를 입력으로 받아 그에 대한 디지털 출력을 생성한다. MDAC은 FADC의 디지털 출력을 다시 아날로그 값으로 바꾸는 DAC 동작과 SHA의 출력신호를 DAC동작을 통해 얻은 아날로그 값과의 차이를 증폭시키는 동작을 한꺼번에 수행하는 역할을 한다. 이러한 동작을 통해 발생한 residue 신호의 출력이 다시 SHA의 입력으로 인가되어 위와 같은 동일한 방법으로 동작하게 된다. 디지털 PFC 컨트롤러를 위해 설계된 Algorithmic ADC는 5번의 동일한 동작을 수행하게 되고 5번 동작 이후엔 새로운 아날로그 입력 값을 받게 된다. 그러나 이러한 구성 블록들을 실제로 구현하면 이상적인 동작을 수행하지 못하고 현실적인 문제들이 발생하므로 이 문제를 해결하는 방법으로 디지털 신호 처리 과정 상에 redundancy를 포함시킨다.

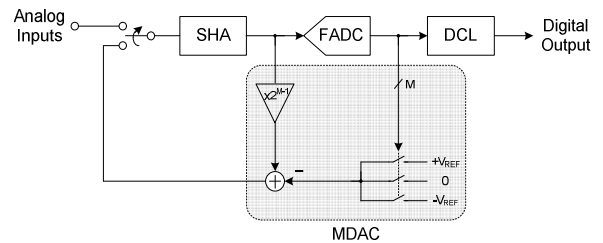


Fig. 3. Block diagram of Algorithmic ADC
그림 3. Algorithmic ADC 블록도

나. Sample and Hold Amplifier

ADC 블록의 첫 단계에 위치한 Sample and Hold Amplifier(SHA)는 가장 처음 아날로그 입력값을 받아들이는 블록이고 SHA에서 발생한 오차는 ADC 전체 성능에 직접적인 영향을 준다. 그러므로 SHA의

성능이 11비트이상의 해상도로 처리되어야 전체 ADC 성능이 11비트의 해상도를 갖게 된다.

완전 차동 구조를 갖는 SHA의 블록도를 그림 4에 나타내었다. 그림 4에서 V_{INP} , V_{INM} 과 V_{OUTP} , V_{OUTM} 은 각각 차동 입력 신호와 차동 출력 신호이며, ϕ_1 과 ϕ_2 는 서로 겹치지 않는 non-overlapping 클록이며 ϕ_3 은 입력신호 샘플링 시 스위치의 charge injection을 없애기 위한 ϕ_1 의 advanced-clock 신호이다.[3]

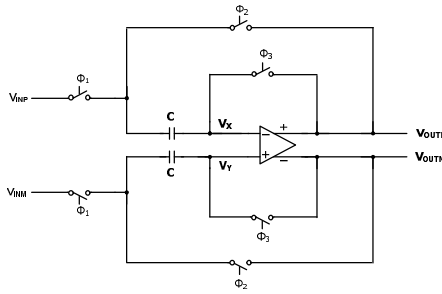


Fig. 4. Block Diagram of Sample and Hold Amplifier
그림 4. Sample and Hold Amplifier 블록도

다. Multiplying Digital-to-Analog Converter

Multiplying Digital-to-Analog Converter(MDAC)는 캐패시터의 정합 특성을 이용하여 디지털 신호를 아날로그 값으로 변환하고 디지털 신호와 아날로그 값의 차이를 증폭시키는 블록이다. MDAC의 동작에서 사용되는 캐패시터는 공정 변화 및 정합특성으로 인해 최대 12비트의 해상도를 가지게 되는데 이러한 특성으로 인해 MDAC의 정확도는 최대 12비트 정도의 성능을 가지게 된다.[6,7]

MDAC의 동작은 서로 겹치지 않는 2-phase 클록을 사용하게 된다. 그림 5은 MDAC의 블록도를 나타내었다. 그림 5에서 V_{IP} , V_{IM} 과 V_{OP} , V_{OM} 은 각각 차

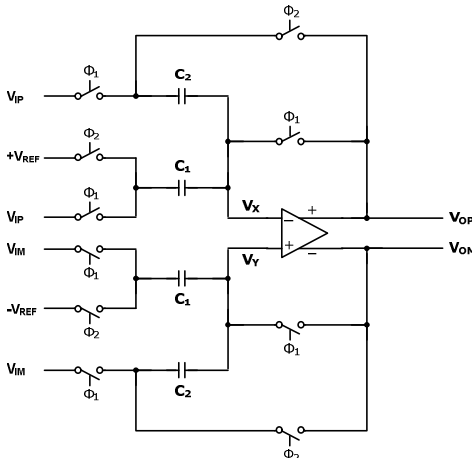


Fig. 5. Block Diagram of MDAC
그림 5. MDAC 블록도

동 입력 신호와 차동 출력 신호이며, $+V_{REF}$ 와 $-V_{REF}$ 은 기준 전압 신호이다. MDAC의 동작 원리를 그림 6에 나타내었다. 그림 6의 (a)는 MDAC이 샘플링 모드로 동작할 때를 나타낸 것이고 그림 6의 (b)는 MDAC이 증폭 모드로 동작할 때를 나타낸 것이다. 샘플링 모드와 증폭 모드에서 캐패시터 C_1 과 C_2 에 충전되는 전하량은 다음의 수식으로 나타낼 수 있다.

$$Q_1|\phi_1 = C_1 (V_{IN} - 0), \quad Q_1|\phi_2 = C_1 (V_{REF} - 0) \quad (1)$$

$$Q_2|\phi_1 = C_2 (V_{IN} - 0), \quad Q_2|\phi_2 = C_2 (V_{OUT} - 0) \quad (2)$$

여기서 V_{IN} 와 V_{OUT} 는 입력, 출력 신호이고 V_{REF} 는 기준 전압이다. 위의 식에서 전하량 보존 법칙을 적용하여 정리하면 다음의 수식과 같다.

$$Q_1|\phi_1 + Q_2|\phi_1 = Q_1|\phi_2 + Q_2|\phi_2 \quad (3)$$

$$(C_1 + C_2)V_{IN} = C_1 V_{REF} + C_2 V_{OUT} \quad (4)$$

$$\frac{(C_1 + C_2)}{C_2} V_{IN} - \frac{C_1}{C_2} V_{REF} = V_{OUT} \quad (5)$$

위의 식에서 MDAC의 출력전압인 V_{OUT} 은 캐패시터의 비율로 이득 값을 얻게 되며 C_1 과 C_2 이 같은 값일 때 이득 값은 2배가 된다.

위의 수식에서 보듯이 MDAC의 출력전압은 캐패시터의 비율로 나타나기 때문에 MDAC의 정확도는 캐패시터 정합의 정확도에 따라 결정되게 된다. CMOS 0.18um 공정에서 캐패시터의 일반적인 정합 정확도는 0.03%의 특성을 가지므로 최대 12비트의 정확도를 가질 수 있다.[4]

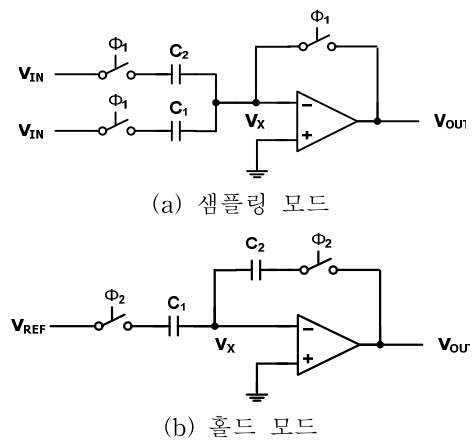


Fig. 6 Operation of MDAC
그림 6. MDAC 동작

라. 연산 증폭기(Operational-amplifier)

Algorithmic ADC에 사용되는 연산 증폭기는 ADC 내부 블록인 SHA와 MDAC에서 사용된다. 각 블록에서 연산 증폭기가 구성하는 페루프 증폭기의 전달 함수의 DC 이득은 아래의 식과 같다.

$$\frac{V_{OUT}}{V_{IN}}(0) = \frac{A_{v0}}{1+\beta A_{v0}} \cong \frac{1}{\beta} \left(1 - \frac{1}{\beta A_{v0}}\right) \quad (6)$$

여기서 A_{v0} 와 β 는 연산 증폭기의 전압 이득 값과 부궤환 경로의 이득 값이다. 위 식에서 연산 증폭기의 전압 이득이 이상적인 무한한 값이라면 입출력 전달함수는 $1/\beta$ 의 값을 가지게 된다. 하지만 연산 증폭기가 유한한 값의 전압이득을 가지면 괄호안의 $1/(\beta A_{v0})$ 만큼 오차 값이 발생하게 된다. 또한 β 값이 감소하게 되면 오차 값이 커지게 되기 때문에 이를 고려하여 연산 증폭기의 전압 이득 사양을 결정해야 한다. 11비트 해상도를 가지는 Algorithmic ADC는 $1/2^{11}$ 에 해당하는 0.05%의 허용 오차를 가져야 한다. 그러므로 Algorithmic ADC를 구성하는 SHA와 MDAC 블록의 연산 증폭기에서 발생하는 오차도 0.05%의 범위 안에 들어와야 한다. 만약 부궤환 경로 이득 β 값이 1인 경우 연산 증폭기의 전압 이득 값은 최소 66dB 이상이어야 오차는 0.05% 범위 안에서 Algorithmic ADC가 동작하게 된다.

그림 7은 설계한 SHA와 MDAC 블록의 연산 증폭기 회로도를 나타내었다. SHA와 MDAC에 사용된 연산 증폭기는 공정 변화 및 노이즈 등을 고려하여 80dB이상의 전압이득을 가지는 특성을 가지게 설계하였다. 또한 공통 성분의 잡음을 제거하기 위하여 완전-차동 형태의 연산 증폭기 구조를 택하였으며 이를 위한 동상 신호 부궤환 회로는 추가의 소비 전력이 필요 없는 스위치-캐패시터 회로로 구현하였다.[8]

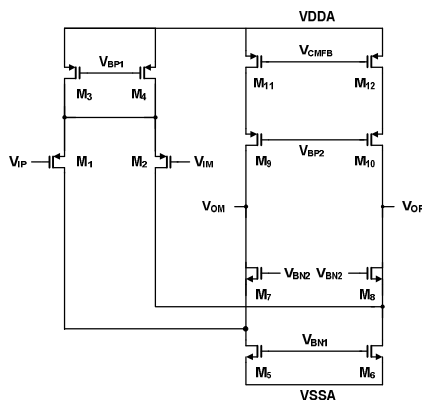


Fig. 7. Schematic of operational amplifier
그림 7. 연산 증폭기의 회로도

3. Algorithmic ADC 성능

본 논문에서 설계한 Algorithmic ADC는 1Poly-3Metal 0.18um CMOS 공정으로 설계되었다. 그림 8은 설계한 칩의 Layout이고, ADC의 면적은 0.27mm^2 를 나타내었다.

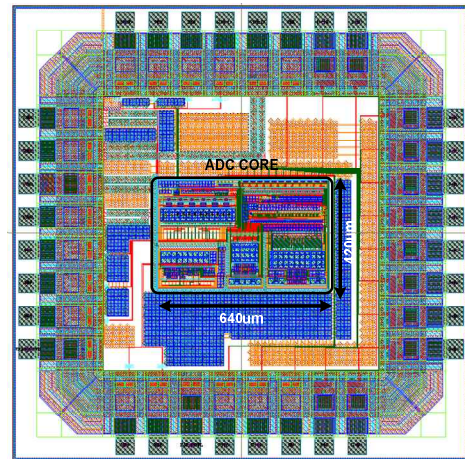


Fig. 8. Layout of Algorithmic ADC
그림 8. Algorithmic ADC 레이아웃

디지털 PFC 컨트롤러를 위한 Algorithmic ADC는 500KHz의 외부클럭을 받아 100KS/s의 속도로 데이터를 변환한다. 그림 9는 4.86KHz의 입력 주파수를 인가했을 때 SNDR 66.7dB와 ENOB 10.78bit의 성능을 나타내었다.

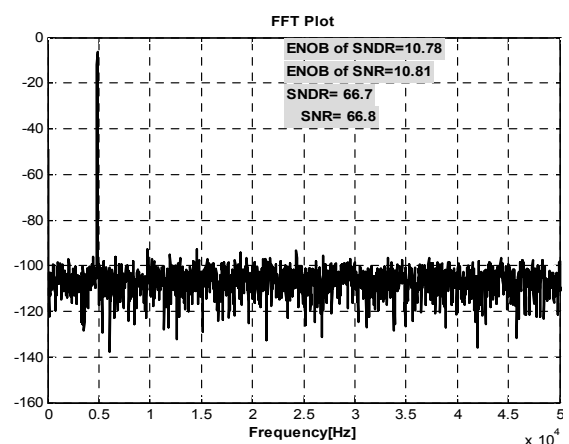


Fig. 9. FFT Simulation Result
그림 9. FFT 시뮬레이션 결과

표 1은 설계한 데이터 변환기의 성능을 정리하였다. 이를 본 논문에서 설계한 데이터 변환기를 유사한 해상도 및 데이터변환 속도로 발표된 문헌의 데이터 변환기와 성능 비교하였다. 식 (7)에 정의한

FoM[9]을 이용하면 본 논문에서 설계한 데이터 변환기의 성능이 우수함을 보여준다.

$$FoM = \frac{Power}{2^{ENOB} \cdot F_s} (J/conv) \quad (7)$$

Table 1. Performance summary and comparison with the previously reported ADC

표 1. Algorithmic ADC의 성능 요약 및 기준에 발표된 ADC와의 비교

항목	This Work	[5]	[6]	[9]
ENOB	10.8bit	11.5bit	12bit	11
SNDR	66.7dB	71dB	72dB	68dB
F _s	100K S/s	125K S/s	8K S/s	8K S/s
Power diss.	3.7mW	16mW	17mW	0.35mW
Area	0.27 mm ²	5.94 mm ²	2.4 mm ²	0.3 mm ²
공정	0.18um CMOS	0.16um CMOS	3um CMOS	0.35um CMOS
FoM	20.6p J/conv	44.1p J/conv	518.8p J/conv	21.8p J/conv

III 결론

본 논문에서는 디지털 PFC 컨트롤에 적합한 Algorithmic ADC 방식의 데이터 변환기를 설계하였다. Algorithmic 방식을 이용하여 100KS/s의 데이터 변환속도에서도 저전력으로 동작하고 디지털 PFC 컨트롤의 SoC에 적합하도록 소면적으로 데이터 변환기를 구현하였다. 설계된 데이터 변환기의 성능은 ENOB 10.78비트, SNDR은 66.7dB, 1.8/5V 전원 전압에서 전체 소비전류는 780uA이고, 1.8V 전원전압에서 60uA, 5V 전원전압의 아날로그 블록은 708uA의 소비전류를 나타내며, 총 0.27mm²의 면적을 가진다.

References

- [1] Seong-Mok Yu, Joon-Ho Park, Jong-Tae Park, Chong-Gun Yu, "Design of a Tripple-Mode DC-DC Buck Converter," Journal of IKEEE, v.15, no.2 pp. 134-142, 2011.
- [2] Seong-Mok Yu, Joon-Ho Park, Jong-Tae Park, Chong-Gun Yu, "Load Adaptive Control for

Mixed-signal PFC Control IC," Power Electronics and Drive Systems, pp. 1222-1227, 2009.

[3] B. Razavi, Principles of Data Conversion System Design, IEEE Press, 1995.

[4] P. E. Allen, and D. R. Holberg, CMOS Analog Circuit Design, 2nd ed, Oxford, 2002.

[5] O. E. Erdogan, P. J. Hurst, and S. H. Lewis, "A 12-b digital-background-calibrated algorithmic ADC with -90 dB THD," IEEE International Solid-State Circuits Conference, pp. 316-317, Feb. 1999.

[6] P. W. Li, M. J. Chin, P. R. Gray, and R. Castello, "A ratio-independent algorithmic analog-to-digital conversion technique," IEEE Journal of Solid-State Circuits, vol. 19, No. 6, pp. 828-836, Dec. 1984.

[7] C. C. Shih, P. W. Li, and P. Gray, "Ratio independent cyclic A/D and D/A conversion using a recirculating reference approach," IEEE Transactions on Circuits and Systems, vol. 30, No. 10, pp. 772-774, Oct. 1983.

[8] B. Ginetti, P. G. A. Jespers, and A. Vandemeulebroecke, "A CMOS 13-b cyclic RSD A/D converter," IEEE Journal of Solid-State Circuits, vol. 27, No. 7, pp. 957-964, July 1992.

[9] Nagari, A. Nicollini, G, "A 2.7V 350uW 11-b algorithmic analogue-to-digital converter with single-ended multiplexed inputs," Design, Automation and Test in Europe Conference and Exhibition, 2004. Proceedings, vol. 1, pp. 76-81, Feb 2004.

BIOGRAPHY

Jang Ki-chang (Student Member)



2007 : BS degree in Electrical and Computer Engineering, University of Seoul.

2009 : MS degree in Electrical and Computer Engineering, University of Seoul.

2011~Present : PhD degree in Electrical and Computer Engineering, University of Seoul.

<Major Interest> Analog IC Design
Power Management IC Design

Kim Jin-Yong (Student Member)

2011 : BS degree in Electrical and Computer Engineering, University of Seoul.
 2011~Present : MS degree in Electrical and Computer Engineering, University of Seoul.
 <Major Interest> Analog IC

Design Power Management IC Design

Hwang Sang-hoon (Member)

2001 : BS degree in Semiconductor Science Dongguk University.
 2003 : MS degree in Semiconductor Science Dongguk University.

2007 : PhD degree in Semiconductor Science Dongguk University.
 2008~Present : Research Engineer, R&D Center of SAMSUNG Electro-mechanics.
 <Major Interest> CMOS Analog Circuits
 Mixed mode circuits, Low power circuits

Choi Joong-ho (Member)

1987 : BS degree in Electrical Engineering, Seoul National University.
 1989 : MS degree in Electrical Engineering, Seoul National University.
 1993 : PhD degree in Electrical Engineering, University of Southern California.

1996~Present : Professor in Electrical and Computer Engineering, University of Seoul.
 <Main Interest> Analog & Power Management Integrated Circuit Design