논문번호 12-04-07
40
Journal of IKEEE.Vol.16,No.4,322~327,December 2012
http://dx.doi.org/10.7471/ikeee.2012.16.4.322

이진 위상-주파수 검출기와 카운터를 이용한 디지털 위상 고정 루프 회로 설계

Design of Digital PLL using Binary Phase-Frequency Detector and Counter for Digital Phase Detection

한 종 석*, 윤 관*★, 강 진 구*

Jong-Seok Han*, Kwan Yoon*★ Jin-Ku Kang*

Abstract

In this paper, a digital phase-locked loop(Digital-PLL) circuit with a new phase-to-digital converter(P2D) is described. The proposed digital PLL is composed a P2D, a digital loop filter(DLF), and a digitally controlled oscillator(DCO). The P2D generates a digital code for a phase error. The proposed P2D used a binary phase frequency detector(BPFD) and a counter in place of a time-to-digital converter(TDC) for simple structure, compact area and low power consumption. The proposed circuit was designed with CMOS 0.18um process. The simulation shows the circuit operates with the 1.0 to 2.2GHz with the power consumption of 16.2mW at 1.65GHz and the circuit occupies the chip area of 0.096mm^2.

요 약

본 논문은 이진 위상-주파수 검출기와 카운터를 사용한 새로운 위상-디지털 변환기 구조의 디지털 위상 고정 루프 회로를 제안하였다. 제안한 디지털 위상 고정 루프 회로는 위상-디지털 변환기, 디지털 루프, 디지털 제어 발진기(DCO)로 구성되어 있다. 제안된 위상-디지털 변환기 구조는 일반적인 시간-디지털 변환기(TDC)를 사용하지 않고, 이진 위상 주파수 검출기와 카운터를 사용함으로써 단순한 구조와 적은 면적으로 소비전력을 감소하는 장점을 갖는다. CMOS 0.18um 공정을 사용하여 1.0GHz에서 2.2GHz에 동작하는 디지털 위상 고정 루프 회로를 설계하였고 칩 면적은 0.096mm^{2}을 차지한다. 시뮬레이션 결과 전력소비는 1.65GHz 동작시 16.2mW로 나타났다.

Key words : digital-PLL, BPFD, COUNTER, P2D, TDC

Ⅰ. 서론

PLL에 기반 한 주파수 합성기는 여러 방식의 유무선 시스템 및 휴대용 통신 단말기 등에 필수적인 블록으로서 최근에는 소형화 및 저 전력 구현의 필요성이 커진 상황이다. 기존 방식의 전하 펌프 구조의 PLL은 저항과 캐패시터로 구성된 루프 필터에 전하를 저장하여 원하는 주파수를 생성하는 기능을 수행하였는데, CMOS 공정 기술의 발달로 높은 집적도와

* Dept. of Electronic Engineering, Inha University
Corresponding author : Kwan Yoon (kwany@inha.edu)
※ Acknowledgment
This work is supported by ETRI System Semiconductor Industry Promotion Center for Chip Design Project. Authors also thank ETRI for the IDEC programs.
Manuscript received Jun. 22, 2012; revised Oct. 8, 2012 ; accepted Oct 29. 2012

빠른 동작 속도의 장점을 가지고 왔으나, 루프필터의 커패시턴스회로의 누설 전류의 증가, 커패시턴스값의 변동성, 전류펌프회로의 트랜지스터 동작의 불일치 문제로 인한 VCO 제어전압의 흔들림으로 인한 성능 저하의 단점이 부각 되고 있다. 이에 따라, 최근에는 PLL의 아날로그 블록을 디지털 블록으로 대체하려는 연구가 많이 진행되고 있다[1,4,5]. 또한 이와 같은 디지털-PLL(Digital Phase Locked Loop)의 구현 방식은 아날로그 PLL 방식에 비하여 공정기술 전이에 따른 공정 이식성 측면에서 유리하다. 또한 PLL에서 수동 소자인 저항과 캐패시터로 구성된 필터를 디지털 방식으로 구현하게 되면 전체 면적을 적게 차지하고, 온도에 둔감하며, 누설전류로부터 자유로워지는 장점이 있다[2].

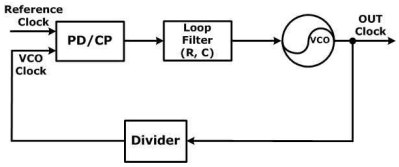


Fig. 1. Typical charge-pump PLL block digram
그림 1. 일반적인 전하 펌프형 아날로그 PLL 블록도

일반적인 아날로그 PLL과 디지털 PLL의 기본 블록도의 차이는 그림 1과 그림 2에 비교된 바와 같이 아날로그 PLL회로의 PD(Phase Detector), 전하펌프(charge_pump), 루프필터(loop filter), VCO(Voltage Controlled Oscillator)가 P2D(Phase to Digital), 디지털 루프필터(DLF), DCO(Digitally controlled oscillator)로 대체된 것이 주요 특징이다. 그러나 디지털 PLL은 양자화에 따른 잡음 및 칩면적 소형화 그리고 저 전력 구현을 위해서 개선의 여지가 많은 상황이다.

일반적인 디지털 PLL의 구조의 P2D 블록에서는 FD(Frequency Detector)를 사용하여 주파수 오류를 보정한 후 TDC 구조를 사용하여 위상 오류를 보정해주는 이중 루프 구조 또는 주파수와 위상 오류를 동시에 보정해주는 PFD(Phase Frequency Detector)와 TDC를 동시에 사용하는 단일 루프 구조가 많이 사용되고 있다. PFD와 TDC를 사용하는 단일루프 구조는 이중 루프 구조에 비하여 구조가 단순하고, 고속 동작에 유리하다. 한편 P2D 블록에서 주로 사용되는 TDC 구조는 많은 수의 지연 셀을 사용하여 해상도가 높고 spur 특성이 좋지만, 구현이 복잡해지고 전력 소모가 증가하며, 지연셀의 미스매치가 발생할 경우 정확한 위상차이를 생성하는데 어려운 단점을 가지고 있다.

본 논문에서는 디지털 PLL 회로의 P2D에 일반적으로 사용되는 TDC(Time-to-Digital Converter) 블록을 대신하여 제안된 카운터 블록을 사용함으로써 복잡한 TDC의 구조를 단순화하고 전력 소모를 줄일 수 있는 디지털-PLL 구조를 제안하였다.

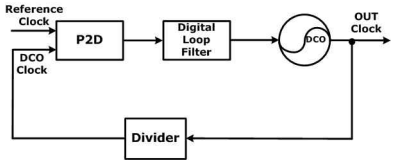


Fig. 2. Typical Digital PLL block digram
그림 2. 일반적인 디지털 PLL 블록도

II. 본론

1. 제안하는 디지털-PLL 구조

본 논문에서는 P2D의 블록에서 TDC의 구조를 사용하는 방식 대신에 BPFD(Binary Phase - Frequency Detector)와 카운터 블록을 사용함으로써 주파수와 위상 차이를 디지털 코드로 변환하는 방법을 이용한 디지털 PLL 회로를 제안하였다. 제안하는 디지털-PLL의 구조는 그림 3과 같다. 제안하는 디지털-PLL의 구조는 BPFD에서 1비트의 위상신호로 변환된 출력신호를 가지고, 카운터 블록이 위상 차이에 해당하는 3비트의 디지털 신호로 출력해준다. 카운터 블록으로부터 출력된 디지털 신호는 디지털 루프 필터를 거쳐서 64개의 온도계 코드로 DCO의 전류원을 제어하여 원하는 주파수를 출력한다.

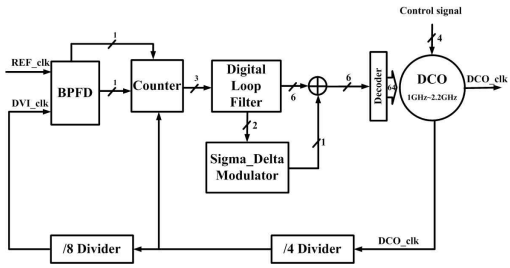


Fig. 3. Proposed Digital-PLL block diagram
그림 3. 제안하는 디지털-PLL 블록도

제안하는 P2D 구조는 그림 4와 같다. 기존의 BPFD와 TDC를 사용하는 구조에서 TDC 블록을 대신하여 카운터 블록을 사용한 구조이다. 그림 4에서 제안한 카운터(Counter) 블록은 기존의 이진-위상 주파수 검출기(BPFD) 블록의 출력을 이용하여 위상 차

이를 디지털 코드 값으로 변환시켜주는 시간-위상 변환기(TDC)를 대신하는 블록이다. 이진-위상 주파수 검출기(BPFD) 블록에 적용하여 위상 차이를 출력하는데 사용하는 일반적인 시간-위상 변환기(TDC)는 카운터(Counter)로 대체되었다. 제안한 카운터(Counter)는 일반적인 카운터 구조에서 시간-디지털 변환기(TDC)의 역할을 위해서 추가적인 기능을 적용하였다. 기본적인 카운터 기능에서 위상 오류가 UP과 DOWN일 때를 고려하여 UP일 때는 위상 오류 신호가 1일 때를 카운트 해주고, Down 일 때는 위상 오류 신호가 0일 때를 카운트 해주는 기능을 추가하였다. 이와 같은 기능에 통해서 카운터가 시간-디지털 변환기(TDC) 블록이 없이 위상 오류를 디지털 신호로 바꾸는 역할을 할 수 있다. 또한 제안한 카운터(counter)는 일반적으로 사용하는 버니어 지연단(VDL) 시간-디지털 변환기(TDC)보다 간단한 구조를 가지고 있어서 칩 면적을 감소시킬 수 있다. TDC 블록을 적용할 경우 단일 지연 단을 사용한 경우 3비트의 신호를 출력하는데 8개의 D-F/F과 8개의 지연 셀을 필요로 한다. 하지만 카운터 블록은 3개의 J-K F/F과 3개의 게이트 로직을 사용함으로써 구조가 단순해지고, 면적이 감소하면서 저 전력의 장점을 가진다. 제안된 카운터 블록이 P2D 블록에 적용하기 위해서 기존의 카운터 블록의 기능에서 위상 오류를 검출하여 up과 down 신호를 구분하여 디지털 코드로 출력할 수 있는 기능을 추가하였다.

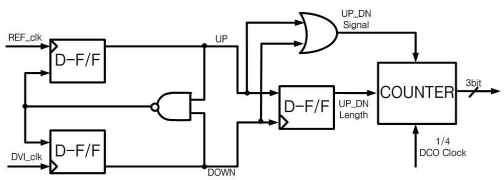


Fig. 4. Proposed P2D block diagram
그림 4. 제안하는 위상-디지털 변환기 블록도

이진-위상 주파수 검출기(BPFD)의 동작 원리는 그림 5를 통해서 알 수 있다. 위상 주파수 검출기(PFD)로부터 UP과 DOWN의 출력 신호를 플립플롭과 OR 게이트에 입력하게 되면, 플립플롭 블록에서는 UP 신호가 data 신호로 입력되고, DOWN 신호가 클록 신호로 입력이 되어, 위상 주파수 검출기(PFD)는 기준 주파수와 분주된 디지털 제어 발진기(DCO) 신호의 위상차가 UP 일 때 '1'의 값, DOWN일 때 '0'의 값을 갖는 UP_DN_Length 신호를 출력한다. OR 게이트의 출력신호는 기준 주파수와 분주된 디지털 제어 발진기(DCO) 신호의 위상차이 만큼을 UP과 DOWN 신호에 구분하지 않는 중첩된 신호를 기준 주파수에 동기화된 UP_DN_Signal 값을 출력한다.

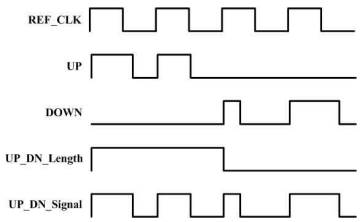


Fig. 5. Binary phase frequency detector output
그림 5. 이진-위상 주파수 검출기 출력

카운터(Counter)의 동작 원리는 그림 6을 통해서 알 수 있다. UP_DN_Length의 값이'1'일 때, 즉 UP 신호가 입력될 때 기준 주파수의 주기마다 입력되는 UP_DN_Signal의 값이 디지털 제어 발진기(DCO)의 출력 주파수를 분주기(Divider)를 통해 4분주 한 신호의 상승 에지에서 '1'일 경우에만 더해준다. 이와 반대로 UP_DN_Length의 값이 '0'일 때, 즉 DOWN 신호가 입력 될 때에는 UP_DN_Signal의 값이 '0'일 경우에만 더해준다. 더해 준 값은 3비트의 신호로 변환하여 출력한다.

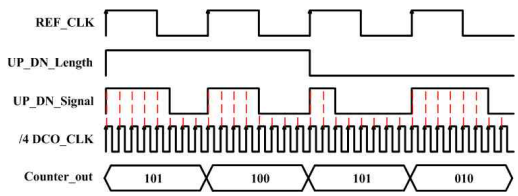


Fig. 6. Counter output
그림 6. 카운터의 출력

나. DCO(Digitally Controlled Oscillator) 구조

그림 7은 디지털 제어 발진기의 지연 셀을 나타내고 있다[2]. 이 구조는 디지털 신호를 통해 DAC(Digital to Analog Converter)로 바이어스 전류원(MN4)을 제어하는 구조를 가지고 있다.

이 구조는 바이어스 전류원(MN3)을 추가시켜 제어 전압이 낮아도 디지털 제어 발진기가 발진할 수 있고, 전압 제어 발진기의 이득을 기존 구조보다 낮추어 클럭 및 데이터 복원회로의 지터가 감소하는 효과를 기대할 수 있다. 또한 네 개의 트랜지스터(MP2-MP5)를 디지털로 제어하여 원하는 주파수 대역을 선택할 수 있고, 이를 통해 기존의 구조보다 낮은 전압 이득으로 원하는 대역 주파수에 고정이 될 수 있도록 하였다.

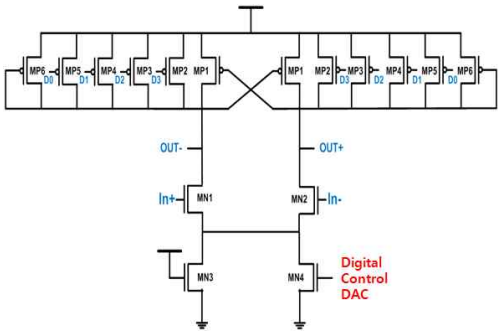


Fig. 7. DCO delay cell
그림 7. 디지털 제어 발진기 지연 셀

다. DLF(Digital loop Filter) 구조

DLF 블록의 구조는 그림 8과 같다. DLF 블록은 P2D 블록에서 출력되는 주파수 차이와 위상 차이의 디지털 코드 값을 이용하여 DCO의 출력 주파수를 안정적으로 제어할 수 있도록 조절해주는 블록이다. DLF 계수는 아날로그 PLL의 루프 계수를 이용하여 구할 수 있다. 일반적으로 DLF 블록은 비례경로(proportional path)와 적분경로(integral path)로 구성된다. 이때 적분경로는 위상을 보상하기 위한 경로이며 아날로그-PLL의 루프 필터에서 저항(R)에 해당하며, 적분경로는 주파수를 보상해주기 위한 경로로 아날로그-PLL의 루프 필터에서 캐패시터(C)에 해당한다.

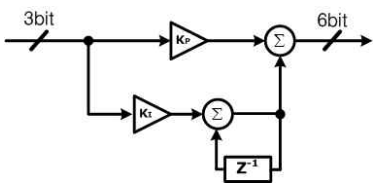


Fig. 8. DLF block diagram
그림 8. 디지털 루프 필터 블록도

디지털 루프 필터(DLF)의 z-domain에서의 transfer function을 구하면 식 (1)과 같다.

$$z) = \frac{(\frac{T}{2C}+R)+(\frac{T}{2C}-R)z^{-1}}{T\,(1-z^{-1})} \qquad (1)$$

$$= \frac{(K+K_P)-K_I z^{-1}}{1-z^{-1}}$$

여기서 $K_I = \frac{T_s}{C}$, $K_P = R - \frac{T_s}{2C}$ 이다

적분 경로 이득(integral path gain, K_I)과 비례 경로 이득(proportional path gain, K_P)값을 알 수 있고, 이 두 변수의 관계를 이용하여, 위상 여유(PM)와 단일이득 대역폭(unity gain bandwidth: UGBW)을 정의할 수 있다. 위상 여유(PM)와 대역폭(bandwidth)으로 표현하면 식 (2)와 같다[3].

$$\frac{K_P}{K_I} = \frac{F_{REF}}{F_{UGBW}} \cdot \frac{\tan(PM)}{2\pi} - \frac{1}{2} \qquad (2)$$

여기서 $T_s = 1/F_{REF}$ 이고, $\omega_{UGBW} = 2\pi F_{UGBW}$ 이다. 즉, 주어진 기준 주파수(reference frequency)와 단일이득 대역폭(UGBW)의 조건에서 적분 경로 이득과 비례 경로 이득의 비를 이용하여 디지털 PLL 위상 여유(PM)을 계산할 수 있다. 본 논문에서는 설계한 디지털 루프 필터(DLF)의 적분 경로 이득(integral path gain)은 2^3이고, 비례 경로 이득(proportional path gain)은 2^1으로 본 장의 계산식을 이용하여 구하였다. 구한 각각의 이득 값을 적용하면 위상 여유(PM)은 약 51.48도로 설계한 디지털 루프의 이득 값은 루프의 안정성이 보장되는 것을 알 수 있다.

III 실험

CMOS 0.18um 공정을 사용하여 제안한 디지털 위상 고정 루프 회로를 Cadence사의 Spectre와 Mentor사의 modelsim을 이용하여 검증 및 시뮬레이션 하였다. 그림 9는 P2D 블록에서 BPFD 블록의 시뮬레이션 결과이다. PFD의 출력되는 up, down 신호를 이용하여 UP_DN_Length와 UP_DN_Signal이 출력되는 시뮬레이션 결과이다. 그림 7에서 확인 할 수 있듯이 up 신호가 들어올 때는 '1', down 신호가 들어올 때 '0'을 출력하는 UP_DN_Length 신호를 확인 할 수 있고, up과 down를 중첩해서 출력하는 UP_DN_Signal 신호를 확인 할 수 있다.

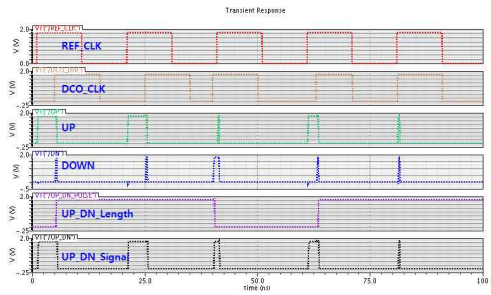


Fig. 9. BPFD output simulation
그림 9. 이진 위상-주파수 검출기 출력 파형

그림 10은 설계한 DCO 블록의 모든 경우의 디지털 제어 값을 인가하였을 때의 전압 이득 곡선이다. 설계한 DCO 블록은 1GHz - 2.2GHz의 범위 내에서 동작한다. 따라서 디지털DLL의 동작범위도 1-2.2GHz이다. 시뮬레이션 확인은 1.65GHz 동작을 기준으로 수행되었으므로 1.65GHz에서 동작하는 대역의 디지털 코드인 '1001'의 값을 입력하여 시뮬레이션을 하였다. 그림 11은 DCO 블록의 코너 시뮬레이션 결과로 FF에서는 1100, TT에서는 1001, SS에서는 0101의 값을 인가하였을 때 1.65GHz에서 동작하는 것을 알 수 있다. 이 때 DCO의 전압 이득은 대략 200MHz/v의 값이고, 위상 잡음(phase noise)은 1MHz에서 약 -96.4 dBc/Hz의 값을 가진다.

그림 12는 DCO 블록의 전류원을 제어해 주는 전압의 시뮬레이션 결과이다. 위상 차이를 나타내는 디지털 코드를 DAC에 입력하여 전류원을 제어하는 방식이다. 전류원에 입력되는 전압이 일정한 값으로 locking 되는 것을 확인 할 수 있다. 그림 13는 디지털-PLL의 출력 주파수의 시뮬레이션 결과이다. 디지털-PLL의 출력 주파수가 locking 이 후에 약 1.65GHz로 출력되는 것을 확인 할 수 있다.

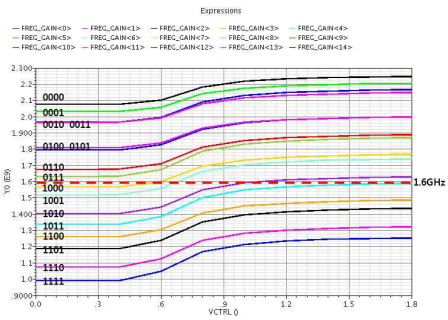


Fig. 10. DCO voltage gain simulation
그림 10. 디지털 제어 발진기 전압 이득 곡선

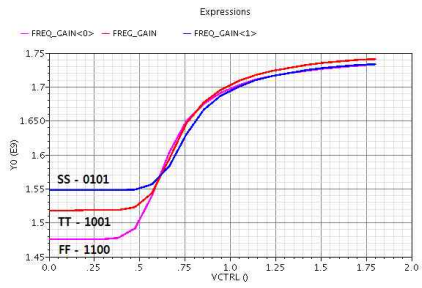


Fig. 11. DCO cornor simulation
그림 11. 디지털 제어 발진기 코너 시뮬레이션

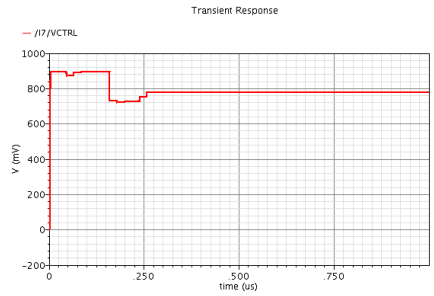


Fig. 12. DCO control voltage
그림 12. 디지털 제어 발진기 제어 전압

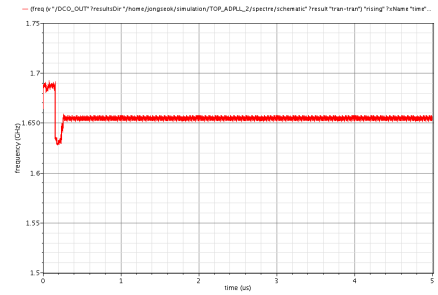


Fig. 13. Digital-PLL output frequency
그림 13. 디지털 위상 고정 루프 출력주파수

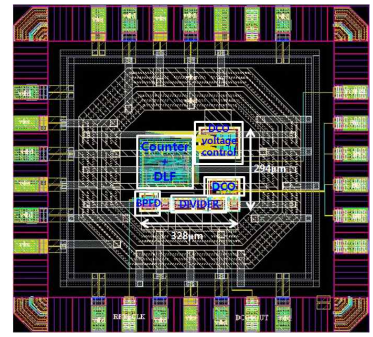


Fig. 14. Layout
그림 14. 레이아웃

그림 14는 CMOS 0.18μm 공정으로 구현된 제안된 디지털 PLL의 레이아웃을 보여준다. 표 1은 제안된 디지털 PLL과 기존 위상 검출 방식인 TDC 구조의 디지털 PLL의 성능을 비교, 요약하였다. 제안된 디지털 PLL은 표 1에서 보인 바와 같이 논문[5] 와 비교하여 0.096mm^{2}의 작은 면적을 갖는다. 또한 기존 DPLL에 비교하여 높은 출력 주파수에서 적은 파워를 소모한다.

Ⅳ 결론

본 논문에는 CMOS 0.18um 공정을 사용하여 이진 위상-주파수검출기와 카운터를 이용한 디지털 위상 고정 루프 회로를 설계하였다. 제안한 P2D의 구조는 기존의 TDC 블록을 대신에 카운터 블록을 사용하여 기존의 디지털-PLL의 구조와 비교해서 구조가 단순하여 적은 면적을 차지하며, 소비 전력도 감소하는 장점을 가지고 있다. 동작범위는 1.0GHz에서 2.2GHz까지 동작가능하며. 1.65GHz에서 약 16.2mW전력소비를 보인다.

Table 1. Performance summary of the proposed digital PLL
표 1. 제안된 디지털 PLL의 성능 요약

	This work	[5]
Process	CMOS 0.18μm	
Supply voltage	1.8 V	
Output frequency	1.0~2.2GHz	0.4~2GHz
Power consumption	16.2mW @1.65GHz	18.23mW @1GHz
Active chip area	0.096 mm^2	0.18 mm^2

References

[1] V. Kratyuk, and P.K. Hanumolu, "A 0.6GHz to 2GHz digital PLL with wide tracking range," IEEE Custom Integrated Circuits Conference(CICC), pp. 305-308, Sept. 2007.

[2] R. J Yang and K. H Chao, "A 155.52Mbps - 3.125Gbps continuous-rate clock and data recovery circuit," IEEE J. Solid-State Circuits, vol. 41, no. 6, pp. 1380-1390, June. 2006.

[3] V. Kratyuk and P.K. Hanumolu, "A design procedure for all-digital phase-locked loops based on a charge-pump phase-locked loops analogy," IEEE Trans. Circuits and Systems II, vol. 54, no. 3, pp. 247-251, Mar. 2007.

[4] I. F Chen and R. J Yang, "Loop latency reduction technique for all-digital clock and data recovery circuits," IEEE Asian Solid-State Circuit Conference, pp. 309-312, Nov. 2009.

[5] Y.S. Son, J.H. Lim, J.C. Ha, and J.W, Wee, "A 0.4-2GHz, seamless frequency tracking controlled dual-loop digital PLL," IEEK, vol. 45, no. 12, pp. 65-72, 2008.

BIOGRAPHY

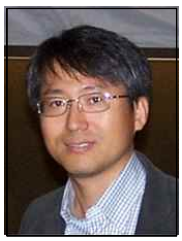
Jong-Seok Han (Student Member)

2010 : BS degree in Electronic Engineering, Inha University
2012 : MS degre in Electronic Engineering, Inha University
<Research interest>
Digital-PLL

Kwan Yoon (Student Member)

2011 : BS degree in Electronic Engineering, Inha University
2011~ : MS degre in Electronic Engineering, Inha University
<Research interest>
LED-Diriver, DC-DC converter

Jin-Ku Kang (Life Member)



1983 : BS degree from Seoul National University
1990 : MS degree from New jersey Institute of Technology
1996 : PhD degree from North Carolina State University
1983~1988 : Researcher in Samsung Electronics
1996~1997 : Senior Design Engineer in INTEL microprocessors.
1997~ : Professor, Electronic Engineering, Inha University
<Research interest>
High-speed CMOS VLSI design, Mixed IC design, PLL/DLL/CDR, High Speed Interface IC, Display IC