

피코초 레이저 및 CDE를 이용한 TSV가공기술

신동식*, 서정*,[✉] 조용권*, 이내응**

*한국기계연구원 광응용기계연구실, **성균관대학교 신소재공학과

TSV Formation using Pico-second Laser and CDE

Dong-Sig Shin*, Jeong Suh*, Yong-Kwon Cho* and Nae-Eung Lee**

*Department of High Density Energy Beam Processing and System, KIMM

**Department of Advanced Materials Science and Engineering, SKKU

Abstract

The advantage of using lasers for through silicon via (TSV) drilling is that they allow higher flexibility during manufacturing because vacuums, lithography, and masks are not required; furthermore, the lasers can be applied to metal and dielectric layers other than silicon. However, conventional nanosecond lasers have disadvantages including that they can cause heat affection around the target area. In contrast, the use of a picosecond laser enables the precise generation of TSVs with a smaller heat affected zone. In this study, a comparison of the thermal and crystallographic defect around laser-drilled holes when using a picosecond laser beam with varying a fluence and repetition rate was conducted. Notably, the higher fluence and repetition rate picosecond laser process increased the experimentally recast layer, surface debris, and dislocation around the hole better than the high fluence and repetition rate. These findings suggest that even the picosecond laser has a heat accumulation effect under high fluence and short pulse interval conditions. To eliminate these defects under the high speed process, the CDE (chemical downstream etching) process was employed and it can prove the possibility to applicate to the TSV industry.

Keywords: picosecond laser(피코초레이저), silicon(실리콘), TSV(관통 실리콘 비아), drilling(드릴링), hybrid process(하이브리드 공정)

NOMENCLATURE

P_{ave} = average power (평균출력)
 Rep. = repetition rate (펄스반복율)
 E_p = pulse energy (펄스에너지)
 E_t = total input energy (총주입에너지)
 F = fluence (에너지밀도)
 λ = wavelength (파장)
 Φ = spot size (초점크기)
 τ_p = pulse duration (펄스폭)
 N_p = amount of pulses (주입된 펄스 수)

1. 서론

최근 IT제품의 소형화 및 다기능화에 따라 집적회로 기술에서 3차원 집적회로(3D IC)를 위한 패키징 기술의 중요성이 점차 증대되고 있다. 이러한 3차원 마이크로 시스템 패키징 기술은 배선의 연결방법, 칩 간 접합방법에 따라 다양한 칩으로 구분되는데 작동 성능(functionality) 및 집적도를 고려한다면 와이어 방식의 인터컨넥션 보다는 TSV(Through Silicon Vias)방식의 칩의 적용이 더욱 기대된다.¹ 이와 같은 3차원 패키징 기술은 드릴링 기술, 도금기술 및 접합 기술등으로 나뉘어 질수 있다. 드릴링 기술은 TSV를 형성하는 기술로서 고집적도의 3차원 적층(stack)을 위해서 중요성이 점차 증대되고 있으며

투고일 : 2011년 9월 28일 심사완료일 : 2011년 12월 09일

계재승인일 : 2011년 12월 23일

교신저자 : 서정 ✉ jsuh@kimm.re.kr

DRIE(Dep Reactive Ion Etching) 및 레이저 드릴링 공정이 대표적으로 적용되고 있다.²

레이저 드릴링 공정은 고가의 리소그래피 공정이 필요 없으며 생산유연성이 뛰어나 소유비용(CoO: Cost of Ownership)을 낮출 수 있는 장점이 있어 3차원 패키징 업계에서 기대를 하고 있는 공정이기도 하다.²

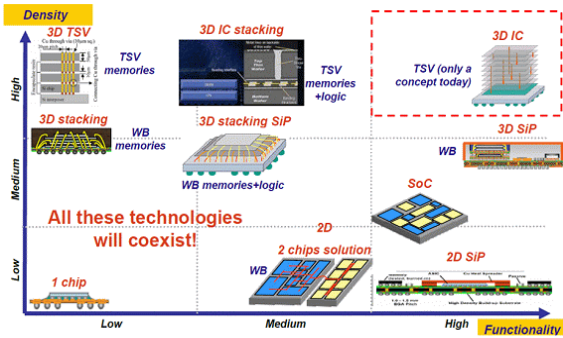


Fig. 1 Trends for advanced packaging of 3D IC.¹

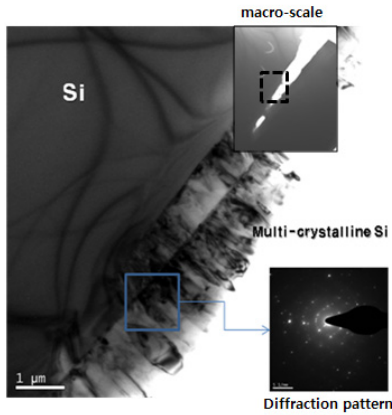


Fig. 2 TEM images and diffraction patterns of drilled hole with the conditions of λ : 355nm, τ_p : 120ns, P_{ave} : 3W, E_p : 60 μ J, F: 19J/cm², Rep.: 50kHz, N_p : 20 and E_t : 1.2mJ.

그렇지만 일반적으로 적용되고 있는 나노초 펄스 기반의 레이저 가공공정은 수미크론급의 TSV를 제작하기에는 열적영향이 많은 한계점을 보이고 있다. Fig. 2는 나노초 레이저를 이용한 TSV가공공정에서 열적영향의 대표적인 예로서 사전연구에서 제시되었던 결과이다. 본 결과는 나노초 레이저(τ_p : 120ns, λ : 355nm, E_p : 60 μ J, Rep.: 50kHz and E_t : 1.2mJ)를 이용한 실리콘의 가공 후 측면부 단면에서의 TEM측정 결과로서 약 2 μ m 두께의 재용융층을 보여주고 있다. 이와 같은 재용융층을 회절패턴 분석한 결과 분산된 형태를 지니고 있는 다

결정(polycrystalline)형태의 결정학적 구조임을 알 수 있었다.³ 이는 단결정(monocrystalline)의 실리콘 모재가 열적영향에 의해 다결정 구조와 같은 이중 결정으로 변했다는 의미로서 계면을 형성하여 향후 3D IC를 구성하였을 경우에 크랙과 같은 결함을 유발할 가능성이 있다는 것을 제시하고 있다.

이와 같은 이유로 최근 비열적 가공에 용이한 극초단 펄스 레이저를 이용한 가공성에 관한 연구가 제시되고 있다.³

본 논문에서는 기존의 공정에서 제시되었던 열적영향을 최소화하기 위하여 극초단 펄스 레이저의 하나인 피코초 레이저를 다루고 있으며 비열적 가공을 위한 시뮬레이션 및 실험적 결과를 소개하고 있다. 또한 피코초 레이저를 사용한 가공실험이더라도 고속가공시에는 결함이 발생할 가능성이 있다는 점을 실험적으로 제시하였으며 고속가공에서의 결함을 제거하기 위한 추가공정인 CDE(Chemical Downstream Etching)의 적용 및 분석결과를 제시하였다.

2. 실험결과 고찰

2.1 피코초 레이저를 이용한 드릴링 실험

피코초 레이저는 나노초 레이저에 비하여 상대적으로 열적영향이 적어 정밀가공에 유리하다. 그렇지만 이의 정량적 분석을 위해서는 피코초 레이저의 각종 변수에 따른 드릴링공정의 특성을 분석할 필요가 있다. 이를 위해 사용된 레이저는 Trumpf사의 Trumicro 5x50이며 파장(λ)은 343nm, 515nm, 1030nm 그리고 펄스폭이 8ps인 빔을 적용할 수 있다. 레이저 빔은 각종 반사 미러 및 스캐너를 지나면서 웨이퍼에 도달하도록 구성하였으며 스캐너에 적용된 F- θ 렌즈는 초점길이는 121mm, 초점크기(Φ)가 20 μ m인 레이저 빔을 조사하기 위해 구성되어졌다. 드릴링 가공을 위한 변수는 평균출력(P_{ave}), 펄스반복율(Rep.), 펄스에너지(E_p) 및 펄스수로서 본 논문에서 적용된 가공조건은 사전실험을 통하여 도출된 조건을 이용하였다.^{3,4} 사용된 시편은 (100)의 방향을 가지는 실리콘 웨이퍼이며 시뮬레이션에 의한 TTM(Two-Temperature Model)⁴에 의한 공정예측과 피코초 레이저 빔에 의한 가공결과를 비교하며 실험을 진행하였다.

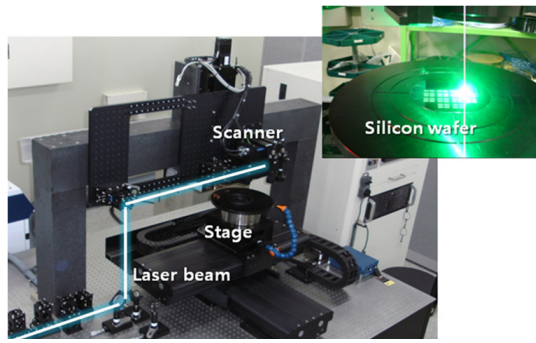


Fig. 3 Experimental setup for TSV process using a picosecond laser.

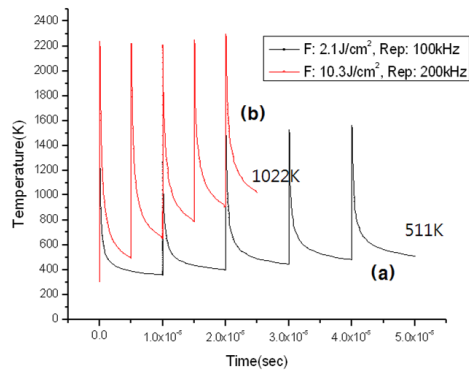


Fig. 4 Simulated results of temperature on silicon after laser beam irradiation for 5 pulses as a followed conditions (a) P_{ave} : 0.65W, E_p : 6.5 μ J, F: 2.1J/cm², Rep.: 100kHz and (b) P_{ave} : 6.5W, E_p : 32.5 μ J, F: 10.3J/cm², Rep.: 200kHz at τ_p : 8ps, λ : 515nm, E_i : 5.8mJ.

$$\frac{\partial U_e}{\partial t} = \frac{\partial}{\partial x} \left(k_e \frac{\partial T_e}{\partial x} \right) + \frac{\partial}{\partial y} \left(k_e \frac{\partial T_e}{\partial y} \right) - \frac{3Nk_B}{\tau_{e-l}} (T_e - T_l) + S(x, y, t) \quad (1)$$

$$\frac{\partial U_l}{\partial t} = \frac{\partial}{\partial x} \left(k_l \frac{\partial T_l}{\partial x} \right) + \frac{\partial}{\partial y} \left(k_l \frac{\partial T_l}{\partial y} \right) + \frac{3Nk_B}{\tau_{e-l}} (T_e - T_l) \quad (2)$$

Fig. 4는 사전실험을 통하여 최적조건으로 선정된 가공조건(Fig. 4(a)) 및 공정속도를 높이기 위해서 펄스에너지 및 펄스반복율을 높인 조건(Fig. 4(b))에서의 초기 5펄스에 대한 시뮬레이션 결과이다. 사용된 시뮬레이션 모델로서는 식(1) 및 (2)로 표현되며 극초단 펄스 레이저의 해석에 용이한 TTM를 사용하였다. TTM은 전자의 온도(T_e) 및 격자에서의 온도(T_l)를 예측할 수 있는 기법으로 본 시뮬레이션에서는 용융물 생성에 직접적으로 영향을 미치는 격자의 온도를 다루고 있다.⁴ 이를 위하여 온도 해석에 유용한 상용프로그램인 FlexPDETM를 이용하여 예측한 결과 격자의 온도는 레이저의 조사와 함께 급격히 상승한다는 것을 알 수 있었다. 그러나 각각의 펄스의 조사가 마친 시점에서

냉각이 이루어지는데 상대적으로 높은 에너지밀도 (F : 10.3J/cm²) 및 펄스반복율(Rep.: 200kHz)을 이용한 가공조건의 경우 잔열이 남아있다는 것을 알 수 있다. 즉 5개의 펄스가 조사된 후의 모재에서의 온도는 1,022K였으며 상대적으로 낮은 에너지밀도 (F : 2.1J/cm²) 및 펄스반복율(Rep.: 100kHz)를 사용한 경우의 온도인 511K에 비하면 두배로 높은 온도이다. 이는 피코초 레이저를 사용하였음에도 불구하고 고속 드릴링 가공시 가공부의 주변으로 열적영향을 수반할 가능성을 제시하고 있다.

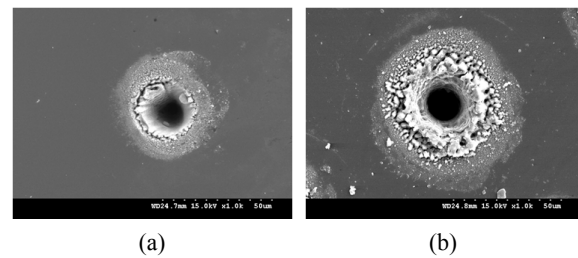


Fig. 5 SEM images of a drilled surface with the conditions of and (a) P_{ave} : 0.65W, E_p : 6.5 μ J, F: 2J/cm², Rep.: 100kHz and (b) P_{ave} : 6.5W, E_p : 32.5 μ J, F: 10.3J/cm², Rep.: 200kHz at τ_p : 8ps, λ : 515nm, E_i : 5.8mJ.

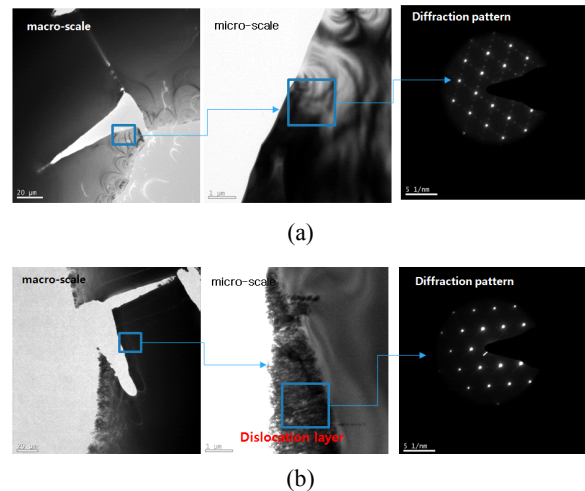


Fig. 6 TEM images and diffraction patterns of drilled hole with the conditions of (a) P_{ave} : 0.65W, E_p : 6.5 μ J, F: 2J/cm², Rep.: 100kHz and (b) P_{ave} : 6.5W, E_p : 32.5 μ J, F: 10.3J/cm², Rep.: 200kHz at τ_p : 8ps, λ : 515nm, E_i : 5.8mJ.

Fig. 5는 앞서 설명하였던 시뮬레이션(Fig. 4)을 검증하기 위한 실험결과로서 상대적으로 높은 에너지밀도의 가공영역과 낮은 에너지밀도의 가공영역에 대한 대표적 조건에서 실리콘을 드릴링한 후 표면의 전자현미경 사진이다. 비록 동일한 총주입 에너지가 입사되었지만 10.3J/cm² 에너지밀도의 빔

을 180회 조사한 경우가 2.1J/cm²의 에너지밀도로 900회 조사한 경우에 비하여 상대적으로 많은 표면잔유물(surface debris) 및 용융물(melt)이 발견되었다. 이는 높은 에너지의 극초단 펄스는 열적영향을 수반할 수 있다는 의미이기도 하며 이는 시물레이션 결과와 일치한다는 것을 보여주고 있다.

Fig. 6은 앞선 Fig. 5에서 보여준 실험조건에서 측벽의 열적영향의 유무를 판단하기 위하여 TEM (Tecnai, F30S)분석 결과이다. Fig. 6(a)는 상대적으로 낮은 에너지밀도 및 펄스반복율을 이용하여 가공한 후의 분석결과로서 가공부의 측벽에서 결정학적인 결함이 전혀 발견되지 않는다는 것을 보여주고 있는 반면 Fig. 6(b)는 상대적으로 높은 에너지 및 펄스반복율의 공정조건을 이용하여 가공된 시편의 TEM측정사진으로서 측벽에 모재와 다른 형태의 얼룩무늬의 패턴이 형성된다는 것을 보여주고 있다. 이는 Fig. 2에서 제시하였던 나노초 레이저 가공에 있어 전형적인 열적영향에 의한 재용착층과는 구분되는 패턴으로서 극초단 펄스 레이저 드릴링 시 충격력에 의한 전위로 판단된다.⁵ 이는 Fig. 5(b)에서 보여준 열적영향의 부산물인 용융물 및 표면잔유물과는 구분되는 결과로서 높은 에너지 영역의 가공에서는 열적영향과 더불어 충격력에 의한 재료의 손상도 고려해야 한다는 것을 보여주고 있다.

2.2 CDE공정을 이용한 결함부의 제거

앞선 실험조건에서는 피코초 레이저 실험을 진행하였음에도 불구하고 높은 에너지밀도 및 펄스반복율(짧은 펄스 간격을 의미)을 적용하였을 경우 열적영향 및 결정학적 결함인 전위(dislocation)이 발생할 가능성을 보여주었다.

고정밀의 가공을 요하는 실험은 상대적으로 낮은 에너지밀도 및 펄스반복율을 이용하여 장시간의 공정을 적용하여 만족할 수 있지만 생산 업계에서는 극초단 펄스 레이저를 사용함에도 불구하고 빠른 생산속도(>2000holes/sec)를 요구하고 있다.² 즉 고속가공에 의해 결함이 발생되었던 Fig. 5(b) 및 Fig. 6(b)에서 보여준 가공조건보다 빠른 가공속도를 달성하여야 한다. 이를 위해서는 극초단 펄스 레이저를 사용했음에도 불구하고 발견될 수밖에 없는 결함인 열적영향 및 전위와 같은 결정학적 결함을 제거할 수 있는 추가적인 공정이

필요하다는 것을 의미하고 있다.

본 논문에서는 레이저 가공 후 CDE를 추가적인 공정으로 적용할 것을 제시하고 있다. 구체적으로는 실리콘 표면에 PR을 코팅한 후 레이저 드릴링을 진행하고 이후 CDE공정을 통해 격벽부의 결함을 제거하는 공정이다(Fig. 7 참조).^{6,7}

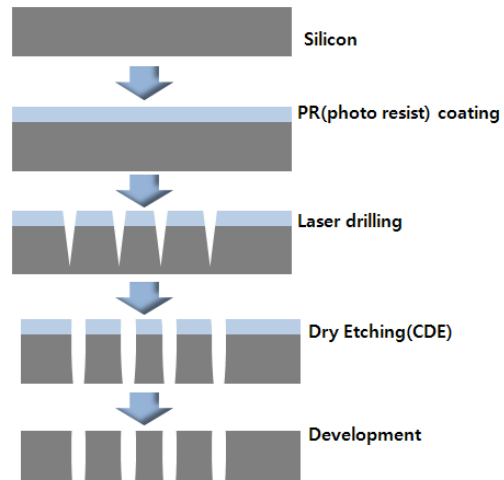


Fig. 7 Hybrid process using laser drilling and dry etching.

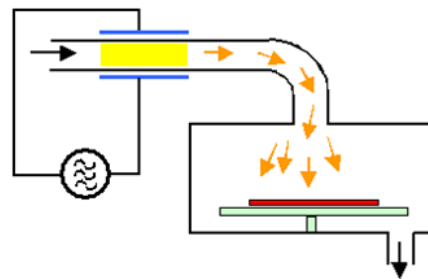


Fig. 8 The principles of CDE(chemical downstream etching).

Fig. 8은 CDE공정(Model: TOKUDA CDE-7-3)의 개념도로서 마이크로파를 이용하여 플라즈마를 형성한 후 발생된 이온들이 시편에 흘러보내는 공정을 도식적으로 나타내고 있다. 이와 같은 CDE공정은 기존의 방식인 전기적으로 플라즈마를 형성하여 반응성 이온의 운동에너지를 이용하는 RIE(Reactive Ion Etching)방식과는 구별되는 방식이다. 즉 기존의 RIE방식의 경우 운동에너지가 상대적으로 많이 작용하는 반면 본 공정에서 적용되는 CDE의 경우 좁은 홀의 안쪽 격벽까지 끌고루 침투가 가능한 화학반응이 주가 되는 공정이다. 이로서 Fig. 7에서 제시하고 있는 레이저가공 후공정을 위한 최적 공정으로 판단하여 진행하였다.

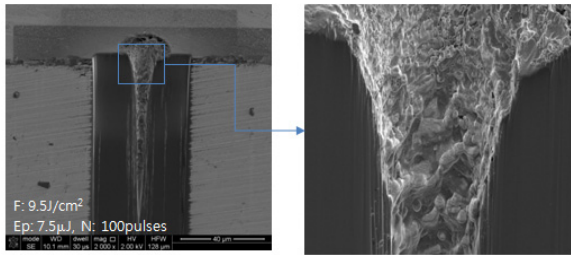


Fig. 9 FIB images of cross-sectional view of laser drilled hole with the conditions of λ : 343nm, τ_p : 8ps, P_{ave} : 0.75W, E_p : 7.5 μ J, F: 9.5J/cm², Rep.: 100kHz, N_p : 100 and E_t : 750 μ J.

Fig. 9는 CDE공정을 적용하기 위해 사용된 레이저 가공홀의 단면으로서 단면 형상을 더욱 구체적으로 관찰하기 위해 FIB(Focused Ion Beam)를 통하여 단면을 밀링한 후 측정된 이미지이다. 사용된 레이저 가공조건은 파장(λ): 343nm, 초점크기(Φ): 10 μ m, 에너지밀도(F): 9.5J/cm² 및 총주입에너지(Et): 750 μ J로서 일반적으로 스퍼터링에서 이온의 침투가 어려운 10 μ m이하의 최소화된 빔 크기 및 9이상의 세장비에서 CDE공정의 가능성을 검증하기 위해 적용된 조건이다.²

Fig. 10은 일산화질소(NO)의 유량 및 시간에 따른 레이저 가공면의 후처리 형태를 보여주고 있다. 일산화질소(NO)이외에 사용된 가스는 불화질소(NF₃: 2000sccm), 아르곤(Ar: 500sccm) 및 질소(N₂: 300sccm)으로서 문헌조사를 통하여 표면조도를 낮출 수 있는 최적 조건이다.⁸⁻¹⁰

본 실험에서 사용된 일산화질소(NO)는 실리콘 표면의 산화를 더욱 가속시키며 이는 실리콘간의 결합력을 낮추는 역할을 한다. 이는 결국 불화질소(NF₃)에서 포함된 불소에 의한 분해를 더욱 촉진하는데 시간 및 유량에 대한 적정조건을 최적화하여야 한다.

본 실험에서는 전자현미경을 통하여 정성적으로 분석을 하였으며 3분의 가공조건에서 일산화질소(NO)가 60sccm이상인 경우에는 표면거칠기가 정성적으로 낮아지는 것처럼 보이지만 상부가 지나치게 넓어지는 경향이 있다는 것이 밝혀졌으며 1분의 가공조건에서는 전반적으로 표면거칠기가 개선되지 않았다는 것을 알 수 있었다. 그렇지만 3분의 에칭시간에서 30sccm의 일산화질소(NO)를 적용한 경우 상대적으로 우수한 가공이 되었다는 것을 보여주고 있다.

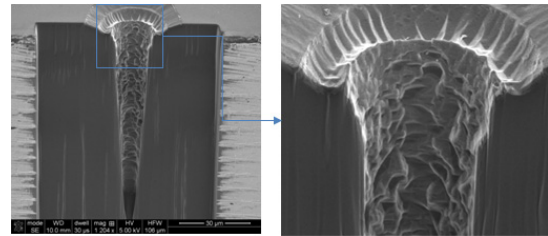


Fig. 11 FIB images of cross-sectional view after CDE process for 3minutes under the following gases: NF₃: 2000sccm, Ar: 500sccm, N₂: 300sccm and NO: 30sccm.

	NO: 0sccm	30sccm	60sccm	100sccm
1 min				
3 min				

Fig. 10 SEM images of cross-sectional view after CDE process with an increase of NO under the followed conditions: NF₃: 2000sccm, Ar: 500sccm and N₂: 300sccm.

Fig. 11은 앞선 최적조건의 단면을 구체적으로 관측하기 위하여 FIB를 이용하여 절단한 후 전자현미경 이미지를 보여주고 있다. 이는 Fig. 9에서 볼 수 있었던 현상인 아랫면에서 홀이 지나치게 좁아지는 현상이 개선되었음을 보여주고 있다. 또한 상부직경은 10 μm 에서 20 μm 으로서 열적영향의 가능성이 있던 측벽이 5 μm 가량 제거되었다는 것을 보여주고 있다. 이와 같이 제거된 측벽의 두께는 사전연구¹¹에서 보여주었던 응력부의 깊이인 2 μm 를 넘어서는 두께로서 결합이 완벽히 제거될 수 있는 깊이로 판단이 된다.

이로서 CDE 공정은 레이저의 고속 가공 시 발생할 수 있는 결합인 재용융부, 파티클 및 전위를 제거할 수 있는 공정으로 판단되며 3분 이내에 여러 장의 웨이퍼를 한번에 적용할 수 있어 공정에 따른 시간적 지연도 최소화 할 수 있는 공정으로 판단된다.

한편 본 시편의 3D IC용 TSV공정으로 적용성을 더욱 검증하기 위해 PPR(Periodic Pulse Reverse current) 도금공정을 수행하였다. PPR도금법이란 주기적으로 전류파형을 변경해가며 도금을 시행하는 방법으로서 실리콘 웨이퍼상의 미세 비아홀의 도금에 적합한 공정이다.³ 본 실험에서는 HDP CVD공정을 이용하여 Ti와 Cu를 각각 0.3 μm 및 0.5 μm 증착한 후 도금을 진행하였으며 전류 파형으로 비아의 내부에 구리(Cu)를 도금한 결과 Fig. 12에 나타난 바와 같이 비아내부에 구리를 채울 수 있었다.

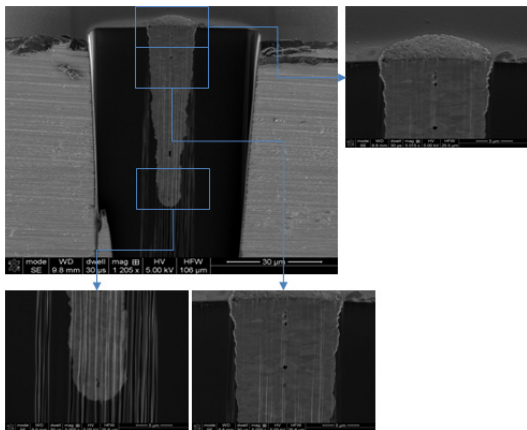


Fig. 12 images of cross-sectional view after electroplating in drilled hole by CDE and laser.

Fig. 13은 웨이퍼크기의 시편에 레이저 드릴링, CDE공정, 도금 및 CMP를 순차적으로 수행한 후의 시편을 보여주고 있으며 홀의 크기는 14.5 μm 로서 3D IC용 TSV공정으로서의 적용 가능성을 보여주고 있다.

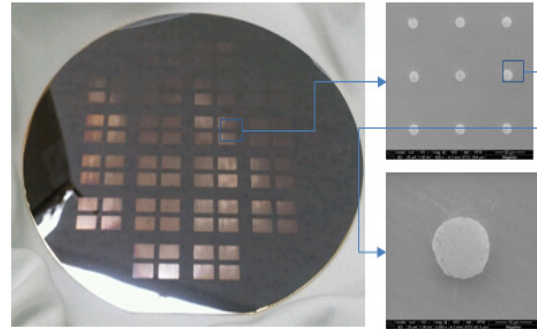


Fig. 13 Images of surface after CMP and electro-plating on drilled hole by CDE and laser.

3. 결론

본 연구는 기존의 나노초 레이저 및 극초단 펄스 레이저의 TSV 고속가공시 발생이 가능한 결합인 열적영향 및 결정학적 결합의 극복하기 위한 실험적 시도를 다루고 있다. 이를 위해 극초단 펄스 레이저를 이용한 고속 가공조건에서 결합발생 가능성을 실험적 검증을 거쳐 제시하였다. 즉 상대적으로 높은 에너지밀도 및 펄스반복율에서의 레이저 가공 조건은 최적화된 극초단 펄스 레이저 가공조건에 비하여 가공표면에서의 용융부 형성 및 결정학적인 결합인 전위의 가능성을 더욱 높인다는 것을 알 수 있었다. 그렇지만 산업계에서 요구하는 생산성에 대한 요구를 만족시키기 위해서는 높은 에너지밀도 및 펄스반복율을 이용한 가공이 필요하며 이에 따라 열적영향 및 결정학적 결합을 제거를 위한 후처리 공정이 필요하다는 것을 알 수 있었다. 이를 위하여 CDE공정을 적용하였으며 실험결과 NF₃: 2000sccm, Ar: 500sccm, N₂: 300sccm 및 NO: 30sccm이 결합제거를 위한 최적조건임을 알 수 있었다. 에칭된 격벽의 두께는 5 μm 이었으며 이는 결합 부위를 제거할 수 있는 충분한 깊이로 판단되고 있다. 이와 더불어 본 공정은 산업계로 적용을 위해서는 신뢰성에 대한 검증이 더욱 필요한 실정이며 이는 추가적인 연구를 통해서 이어나가야 할 것으로 판단된다.

후 기

본 연구는 지식경제부의 협동연구개발사업의 일환인 “차세대 반도체 MCP핵심기술 개발” 과제의 지원으로 수행되었습니다.

참고문헌

- 1) Yole development, <http://www.yole.fr>
- 2) A.M. Rodin, J. Callaghan and N. Brennan, High Throughput Low CoO Industrial Laser drilling Tool, EuroAsia Semiconductor, Vol. 30, No. 6, pp. 11-16, 2008.
- 3) 신동식, 서정, 김정오., 피코초 레이저의 공정 변수에 따른 TSV 드릴링 특성연구, 한국레이저가공학회, Vol. 13(4), pp. 7-13, 2010.
- 4) D.S. Shin, S. Suh and Y.K. Cho, "Effect of the Burst Mode on TSV Process using a Picosecond Laser," Proc. LPM2011, #11-065.
- 5) A.M. MINOR, E.T. LILLEODDEN, M. JIN, E.A. STACH, D.C. CHRZAN and J.W. MORRIS, "Room temperature dislocation plasticity in silicon," Philosophical Magazine, Vol. 85, Nos. 2-3, pp. 323-330, 2005.
- 6) D.S. Shin, J. Suh and J.H. Lee, "Fabrication of Through Silicon Via using Hybrid process," KIMM, No. 0103681, 2009(patent pending).
- 7) D.S. Shin, J. Suh and J.H. Lee, "Fabrication method of Through Silicon Via and Semiconductor Chip Manufactured by the Same," KIMM, No. 0013797, 2011(patent pending).
- 8) S.M. Park, J.H. Ahn, S.I. Kim, and N.E. Lee, "NO-induced Fast Chemical Dry Thining of Si Wafer in NF₃ Remote Plasmas," J.Korean Phy. Soc., Vol. 54, No. 3, pp. 1127-1130, 2009.
- 9) W. Heo, J.H. Ahn, and N.E. Lee, "Control of Surface Roughness during High-Speed Chemical Dry Thining of Silicon Wafer," J. Vac. Sci. Technol. A, Vol. 28, No. 5, pp. 1073-1077, 2010.
- 10) Y.B. Yun, S.M. Park, D.J. Kim and N.E. Lee, "Very High Rate Chemical Dry Etching of Si in F₂ Remote Plasmas with Nitrogen-Containing Additive Gases," J. Electrochemical Society, Vol. 154, No. 10, pp. D489-D493.
- 11) 신동식, 서정, 조용권, 이내응, "레이저를 이용한 하이브리드 TSV가공공정에 관한 연구," 한국정밀공학회 춘계학술대회, pp. 745-746, 2011.