

카메라링크 접속을 위한 임베디드 FPGA의 구현

An Embedded FPGA Implementation for a Cameralink Interface

이 창 수*

Chang-Su Lee*

Abstract

Although conventional analog linescan cameras are used widely, high-speed, high-resolution Cameralink standard will lead the area of frame grabber industry such as factory automation. In this paper, we are developing embedded frame grabber testbed without PC which will give an another solution to image processing applications. Therefore, we designed hardware schematics and programmed FPGA device with VHDL in order to interface Cameralink standard linescan CCD camera. In the future, our embedded on-chip controller could be applied to various image processing systems such as medical imaging, especially optical coherence tomography, machine vision and industrial electronics.

요 약

최근 들어 공장자동화의 프레임 그래버 분야에서 전통적인 아날로그 인터페이스 대신 고속, 고해상도의 디지털 인터페이스 방식의 카메라로의 전환이 이루어지고 있으며 이들은 카메라링크를 표준으로 채택하고 있다. 본 논문에서는 PC를 사용하지 않는 임베디드 프레임 그래버 테스트베드를 개발하여 영상처리 응용 솔루션을 제공하고자 한다. 따라서 카메라링크 표준의 라인스캔 CCD 카메라와의 접속을 위하여 하드웨어 회로를 설계하였고 VHDL 코드를 이용하여 FPGA를 프로그래밍하였다. 향후 광학영상기 등의 의료영상, 머신비전, 산업전자 등의 다양한 영상처리에 본 칩을 이용할 수 있을 것이다.

Key words : Cameralink standard, frame grabber, FPGA, VHDL, dual buffer

1. 서론

현대 사회가 정보 미디어 사회로 진행함에 따라서 영상 처리를 요구하는 시스템을 사용하는 빈도수가 높아지고 있다. 휴대성은 이러한 영상처리 시스템의 중요한 조건이 될 수 있으며 임베디드 시스템은 영상처리 시스템의 휴대성을 극대화 할 수 있다. 현재 광범위한 산업 분야에서 많이 쓰이고 있는 임베디드 시스템을 영상처리에 폭 넓게 응용한다면 여러 매체 관련 산업의 발전에 기여할 수 있고, 여러 분야에 적용할 수 있게 된다.

지금까지 공장자동화[1], 광학영상기[2,3] 등 머신비전 시스템은 범용 컴퓨터를 사용하여 영상처리를 해 왔으나 최근에는 고해상도 영상의 사용에 따라 데

이터 전송률의 증가로 컴퓨터의 사용이 한계에 부딪히고 있다. 특히 고속의 동영상 수집을 위해서는 1024 x 768 x 60frame 8bit grayscale 기준으로 45Mbyte/s, RGB인 경우 3배인 135Mbyte/s 이상을 요구하고 있으며, 이럴 경우 PC만을 이용하면 OS와 응용소프트웨어의 부하로 인해 고속의 실시간 영상처리가 불가능하다. 이를 보완하기 위해 Multi-processor, PCI Express, Dual-port memory, DMA, DSP나 ASIC등을 이용할 수 있다. 그러나 이러한 방법들은 다양한 영상시스템의 구현에 유연하게 대처하기가 어렵다.

FPGA (Field Programmable Gate Array) 는 빠르고 유연하게 하드웨어의 구현을 가능하게 하는 장점을 지니고 있다. 최근 FPGA 기술의 급속한 발전으로 인하여 고속, 대용량화가 진행되어 DSP, 메모리 블록의 내장이 가능해지면서 영상처리에의 응용이 급속

* 수원대학교 전자공학과 (Dept. of Electronic Engineering, Suwon University), cslee@suwon.ac.kr
接受日:2011年 06月 02日, 修正完了日: 2011年 06月 29日

하게 확산되고 있다.

머신 비전 시스템은 기존의 아날로그 방식의 라인스캔 카메라가 널리 사용되어 왔으나 향후에는 고속, 고해상도 디지털 방식의 카메라링크 표준이 프레임 그래버 분야를 주도할 것으로 예상되고 있다. 카메라링크 표준은 노이즈 내성의 향상으로 1.923Gbps까지의 고속 전송률을 실현할 수 있다[4,5].

본 논문에서는 고속-고해상도를 가진, 규격화된 디지털 방식의 카메라링크 표준 카메라의 신호를 FPGA로 수신함으로써, 범용 컴퓨터 없이 동작하는 임베디드 형태로 구현하였으며 휴대성을 높이고, 보다 다양한 분야에 응용할 수 있도록 설계하였다. 이와 같이 제작할 경우 보다 다양한 영상처리의 응용이 가능하고 가격이 저렴한 라인스캔 카메라를 사용함으로써 응용분야와 제작단가를 낮출 수 있다는 장점이 있다. 이에 따라 PC를 사용하지 않고 FPGA를 이용하여 임베디드 형태의 그래버를 개발하는 일에는 시장에 파급 효과가 크리라 예상된다. 따라서 카메라링크 표준의 라인스캔 카메라를 연결하는 프레임 그래버 보드를 FPGA와 VHDL(VHSIC Hardware Description Language)로 프로그램 함으로써 영상처리 시스템을 구현하여 다양한 응용이 가능하도록 구성하였고, 시스템에 내장하시 쉽도록 임베디드 형태로 구현하였다[6,7].

본 논문의 구성은 다음과 같다. 2장에서는 전체 시스템의 구조를, 3장에서는 프레임 그래버의 사양 및 설계를, 4장에서는 카메라와 FPGA의 동작을, 5장에서는 VDAC 영상 출력율, 마지막으로 실험 결과와 결론을 다루었다.

II. 전체 시스템의 구조

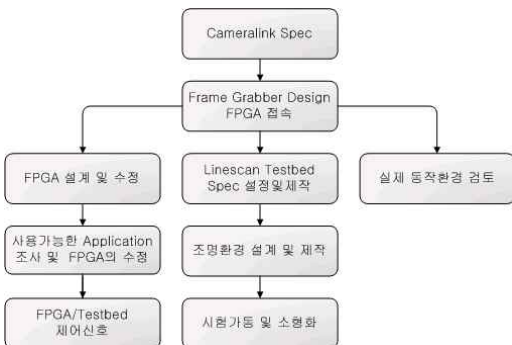


Fig. 1. Design flow
그림 1. 설계 진행순서

프레임 그래버의 설계 과정은 그림 1과 같이 크게 4단계로 나눌 수 있다. 1. 카메라링크의 규격에 대한 자료조사, 2. 카메라링크 규격에 맞춘 프레임 그래버의 보드의 제작 및 라인스캔 카메라와의 연동, 3.

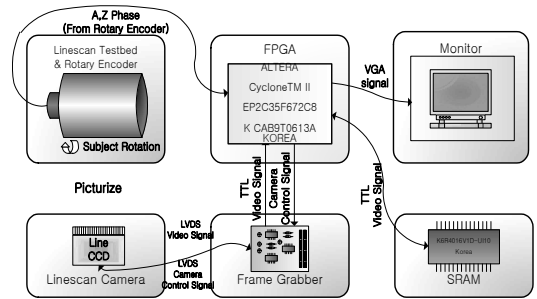


Fig. 2. Overall system

그림 2. 전체 시스템의 구조

FPGA 및 VHDL 언어를 이용하여 프레임 그래버를 통한 신호의 획득 및 영상의 표현, 4. VHDL 언어를 이용하여 카메라에 내장된 RS-232C 제어를 통한 카메라의 동작환경 설정이다.

전체 시스템의 구조와 간략화한 데이터의 흐름을 그림 2와 그림 3에 표시하였다. 라인스캔의 동작을 위해 라인스캔 테스트베드를 제작하였으며, 테스트베드는 피사체를 회전시켜 주는 역할과 로터리 엔코더가 포함되어있어 회전하는 테스트베드의 회전위치를 1 회전당 Z phase를 발생시켜 피사체의 시작 위치를 송신하게 되어있다. 라인스캔 카메라는 외부동기화 되어있지 않은 상태에서 연속동작 하게 설정되어 있어 테스트베드 위에 있는 피사체를 연속촬영하게 되어있다.

CCD(Charge Coupled Device)에 축적된 신호들은 카메라링크 표준의 LVDS 신호로 프레임 그래버측으로 송신되며, 신호는 프레임 그래버에서 LVTTTL (Low Voltage Transistor Transistor Logic) 신호로 변환되어진다. 변환된 영상신호는 FPGA측으로 전송되며 FPGA는 수신한 신호를 SRAM에 저장하게 된다. 이와 동시에 라인스캔 테스트베드와 동기를 맞추며, 앞서 저장된 SRAM으로부터 영상신호를 읽어 들여 VDAC를 통해 VGA 모니터에 표시하게 된다. 라인 CCD 카메라는 1024개의 pixel로 구성된 카메라링크 표준을 만족하며 8bits-2tab grayscale의 데이터를 출력하며 30MHz의 pixel rate를 갖는다.

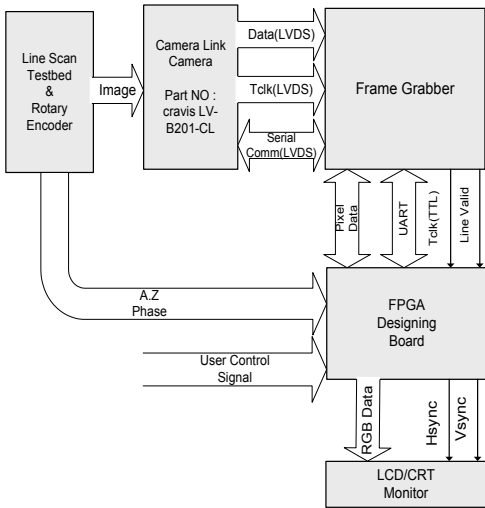


Fig. 3. Simplified data flow
그림 3. 간략화한 데이터 흐름

III. 프레임 그래버의 설계

FPGA에 접속하기 위한 프레임 그래버의 구조는 그림 4와 같다. 카메라는 크레비스[9] 사의 LV-B201-CL을 사용하였고 카메라로부터 MDR26을 거쳐 들어오는 신호를 수신하기 위해 카메라링크 규격의 28-bit 채널링크 수신 칩셋인 DS90CR288A 를 사용하였다. CCD에 저장된 광신호는 카메라로부터 LVDS 신호로 변환되어 프레임 그래버측으로 송신된다. 송신된 영상신호는 FPGA에서 접근할수 있도록 DS90CR019, DS90LV048 칩을 이용하여 LVTTTL 신호로 프레임 그래버에서 변환되어지게 된다. 카메라의 동작환경 설정을 위해 TX와 RX 신호에 MAX232 를 사용함으로써 PC의 하이퍼 터미널을 사용하여 카메라의 동작환경을 설정할 수 있도록 구성하였다.

그림 4에서 FPGA는 Altera Cyclone II이고 D/A 컨버터는 24-bits RGB 데이터와 65MHz의 비디오 클럭을 통하여 구동된다. 128x16bits의 듀얼 버퍼를 이용하여 카메라링크 데이터 수신 중에 모니터에 출력하도록 하였다.

IV. FPGA를 통한 영상의 획득

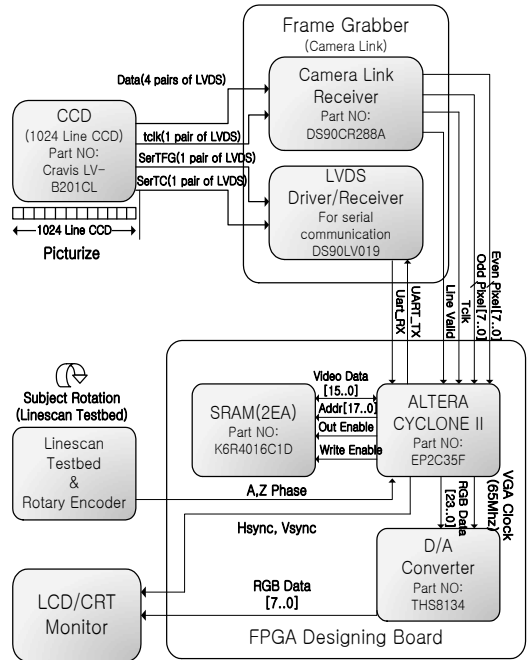


Fig. 4. Frame grabber structure
그림 4. 설계된 프레임 그래버의 구조

1. 카메라의 동작

라인스캔 카메라의 동작을 ModelSim으로 시뮬레이션 한 결과가 그림 5에 나타나 있다. 사용된 카메라는 1024픽셀, 8bits-2tab의 카메라링크 규격의 라인스캔 카메라이며 구성에서는 외부동기 없이 연속촬영하게 되어있다. LVAL(Line Valid) 신호가 High인 경우 영상신호가 1클럭에 홀수, 짝수 2픽셀씩 출력되게 된다. 512클럭이 지나면 1024개의 픽셀에 대한 영상신호가 모두 출력이 되며 이때 LVAL은 High에서 Low가 된다. LVAL이 Low인 시간은 카메라에 설정된 Integration time에 좌우된다. 실제 데이터는 Crevis사의 LV-B201CL이 8bits 2tab의 카메라이므로, 클럭당 2개의 픽셀씩 출력된다. 이는 ModelSim 시뮬레이션을 보면서 확인할 수 있다.

그림 6은 작성된 VHDL 코드이다. 보는 바와 같이 모든 포트는 output으로 설정되어 있으며, pixel 개수 (Pixel_no) 는 0~1023인 1024개이다. 또한 출력은 8bit의 video data가 아닌 pixel 번호를 출력하기 위해 10 bit로 설정하였다. LVAL이 1인 경우 pixel 데이터



Fig. 5. Linescan camera simulation

그림 5. 라인스캔 카메라의 동작

를 순차적으로 출력하고, 0인 경우는 integration을 수행한다. LVAL의 Duty cycle은 50%로 설정하였다. Data와 LVAL은 모두 Strobe의 falling edge에서 transition하게 되며 Strobe의 rising edge에서 유효한 데이터가 출력된다.

2. FPGA의 동작

앞의 그림 4는 FPGA 및 테스트베드에서 사용되는 세부적인 신호들을 나타낸 것이다. FPGA의 구동 클럭은 외부 Cyclone II에 내장되어 있는 PLL을 이용하여 65MHz의 클럭을 생성하였다. 이 클럭을 이용하면 15ms에 1024x768 해상도의 하나의 프레임을 표시할 수 있다. 즉, 66frame/sec의 속도로 모니터에 표시 가능하다. 라인스캔 테스트베드는 3600도/1회전 의 해상도를 갖는 A상과 1펄스/1회전 의 Z상을 출력하는 로터리 엔코더 사용하여 카메라 제어를 위한 동기 신호 발생기로 Z상 만을 사용하였다.

그림 7은 카메라의 동작에 따른 FPGA의 동작 순서도를 나타내었다. 구성에 사용된 FPGA 소자는 Altera의 Cyclone II EP2C35F672C8이며, 프레임 버퍼를 구성하기위해 사용된 SRAM은 Samsung의 K6R4016V1D이다. FPGA 모듈로 한백전자의 실험키트를 사용하였다[8]. 카메라의 동작에 따른 FPGA의 동작 순서도는 그림 8에 표현되어 있다.

로터리 엔코더로부터 Z상 신호가 High에서 Low로

```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.std_logic_unsigned.all;
4  use ieee.numeric_std.all;
5  use ieee.math_real.all;
6
7
8
9  entity camera_link is
10     port(
11         tx_clk : out std_logic;
12         lval : out std_logic;
13         data_odd : out std_logic_vector(9 downto 0);
14         data_even : out std_logic_vector(9 downto 0)
15     );
16
17 end camera_link;
18
19 architecture data of camera_link is
20     signal clk : std_logic := '0';
21     signal pixel_no : integer range 0 to 1023;
22     signal lval_temp : std_logic := '0';
23     begin
24
25
26     tx_clk <= clk;
27     clk <= not clk after 33ns;
28
29
30     process(clk)
31     begin
32         if clk'event and clk = '0' then
33             data_odd <= std_logic_vector(to_unsigned(pixel_no+1,10));
34             data_even <= std_logic_vector(to_unsigned(pixel_no,10));
35             lval <= lval_temp;
36             if lval_temp = '1' then
37                 if pixel_no /= 1022 then
38                     pixel_no <= pixel_no +2;
39                 elsif pixel_no = 1022 then
40                     lval_temp <= '0';
41                     pixel_no <= 0;
42                 end if;
43             elsif lval_temp = '0' then
44                 data_odd <= std_logic_vector(to_unsigned(0,10));
45                 data_even <= std_logic_vector(to_unsigned(0,10));
46                 if pixel_no /= 1022 then
47                     pixel_no <= pixel_no +2;
48                 elsif pixel_no = 1022 then
49                     lval_temp <= '1';
50                     pixel_no <= 0;
51                 end if;
52             end if;
53         end if;
54     end process;
55
56 end data;
57

```

Fig. 6. Camera VHDL model

그림 6. 카메라의 VHDL 모델

변화하면 FPGA는 카메라로부터 1개의 프레임에 해당하는 비디오데이터를 수집하기 시작한다. 로터리 엔코더의 Z상은 피사체의 시작 촬영 위치의 동기화를 위해 사용된다. LVAL신호가 Low에서 High로 변화하는 순간 1개의 라인에 대한 영상데이터 수집이 시작되며 320클럭이 지나 픽셀카운터가 320이 되면 640개의 픽셀이 수집 되므로 라인 카운터를 하나 증가시키고 다음의 LVAL신호의 변화에 대해 대기하게 된다. 이와 같은 과정을 반복하여 라인카운터가 480까지 증가하게 되면 메모리에는 640x480x8bit gray

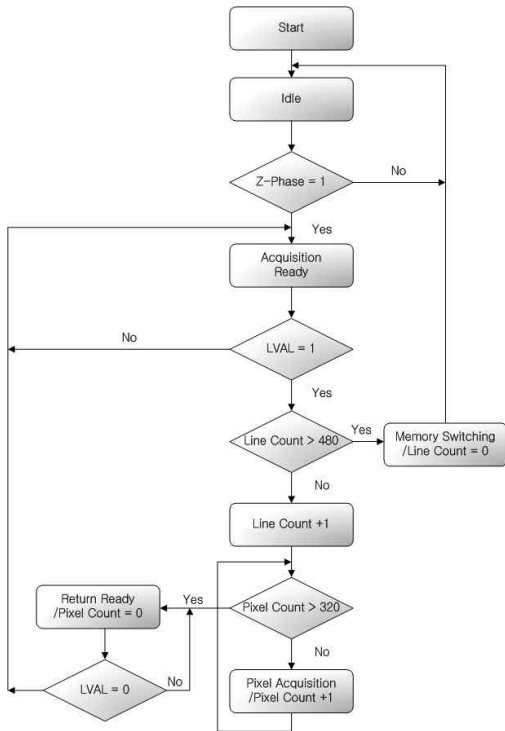


Fig. 7. FPGA video data acquisition flow
그림 7. FPGA를 통한 비디오 데이터의 수집 순서도

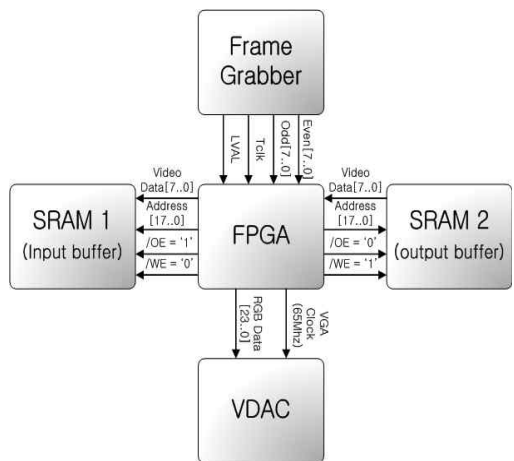
scale의 영상이 저장되게 된다. 하나의 프레임이 완성이 되면 FPGA는 저장을 위한 프레임 버퍼를 스위칭하여 다른 쪽의 프레임버퍼에 데이터를 저장하게 된다.

V. VDAC을 통한 영상의 출력

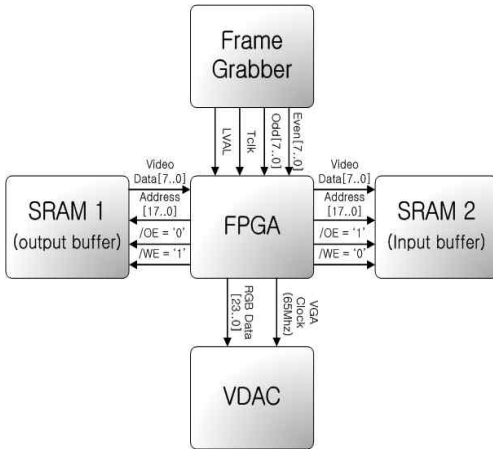
영상의 출력을 위해 사용된 VDAC은 Texas Instrument사의 THS8134이다. VDAC은 입력된 디지털 신호를 VGA 모니터에 입력되는 아날로그 신호로 변환하여 모니터에 신호를 표시하게 해주는 장치이다. 카메라로부터 수집되어 메모리에 저장된 영상신호는 8bit gray scale 이므로 VDAC의 디지털 입력인 RGB 24비트 중 각각의 8비트 RGB신호에 수집된 8비트 신호를 동일하게 입력함으로써 모니터에 8bit gray scale의 영상을 표시할 수 있게 된다. 수집된 영상이 640x480 픽셀이므로 VGA모니터의 구동클럭은 25MHz이다. FPGA에서는 이에 따른 모니터의

VS(Vertical Sync.) 신호와 HS(Horizontal Sync.)신호를 모니터 구동클럭에 동기화된 라인카운터와 컬럼카운터를 사용하여 생성하며 라인카운터와 컬럼카운터는 영상데이터가 저장되어있는 메모리를 액세스하는 주소로 바로 사용되어진다. 이때 메모리 구조는 그림 8과 같이 듀얼 버퍼로써 구성하였다. 상태 1에서는 SRAM1이 입력 버퍼, SRAM2는 출력 버퍼가 되고 상태2에서는 SRAM1이 출력 버퍼 이며 영상이 저장되는 쪽의 메모리는 카메라로부터 액세스되어지고 저장 완료된 쪽의 메모리로부터 영상신호를 읽어 들여 모니터에 표현하게 된다.

표 1은 본 논문의 프레임 그래버와 Matrox의 Meteor II의 사양을 비교한 것이다. 데이터의 수집 속도는 Matrox의 경우 50MHz이고 본 프레임 그래버는 최대 65MHz이나 사용된 라인스캔 카메라의 경우 30MHz의 전송 속도를 가지고 있다. 듀얼 버퍼의 용량은 많은 차이를 보이고 있다. 메모리의 용량을 늘리기 위해서는 보다 많은 IO를 가지는 고속의 FPGA를 사용해야 한다. 채널링크 개수의 차이도 마찬가지로 늘릴 수 있다. 또한 호스트와의 접속에 있어서 본 그래버의 경우 RAMDAC을 포함하는 임베디드 형이므로 호스트와의 접속은 고려하지 않았다. 향후 카메라링크 출력의 추가로 이를 해결하고자 한다. 따라서 본 그래버의 경우 Matrox에 비교할 만한 성능을 보인다고 할 수 있다.



a. 상태 1



b. 상태 2

Fig. 8. Dual buffer for real time display

그림 8. 실시간 디스플레이를 위한 듀얼 버퍼구조

Table 1. Comparison with other's

표 1. 타 제품과의 사양 비교

Features	Matrox Meteor-II	Proposed
Acquisition rate	< 50MHz	< 65MHz
Dual Buffer	32MB	256Kx16bits
Channel link (LVDS)	two 28bits	one 28bits
Camera control UART, External Trigger	ok	ok
Resolution	-	640x480
RAMDAC	-	ok
Host interface	PCI 32bit/33MHz	-

VI. 실험 결과

그림 10은 FPGA의 올바른 동작을 확인하기 위하여 카메라 내부의 테스트 패턴을 모니터 화면으로 확인하는 영상이다. 패턴은 카메라 제어용 serial 명령을 통하여 설정하며 8bits의 선형적으로 증가하면서 반복되는 grayscale 패턴이다.

그림 11은 구현된 카메라링크 표준을 지원하는 임베디드 FPGA 테스트베드를 보여준다. 피사체는 그림 11의 좌측 하단의 1.5x1.5cm 대학 로고 인쇄물로서 테스트베드 상단의 12x20cm의 실린더 위에 실린더 길이 방향과 수직으로 부착되어 있다. 테스트베드 상단에 라인스캔 카메라의 1 라인이 실린더의 길이 방향으로 수직방향으로 위치해 있다. 카메라의 조명은 LED 조명을 설계하여 사용하였다.

실린더의 회전은 AC 인덕션 모터에 의해 이루어지며 LS 산전의 인버터(iG5)에 의해 구동되며 감속기를 통하여 모터의 회전속도를 저속으로 제어한다. 회전하는 피사체 로고를 대상으로 라인스캔을 모아 640x480의 프레임을 구성해 19" 모니터에 고해상도의 실시간 영상으로 표시되는 것을 확인할 수 있다. 이와 같은 구성을 사용할 경우 범용 컴퓨터를 사용하지 않고 소형의 임베디드 형태로 고해상도 영상을 습득하는 시스템을 구현할 수 있으며 FPGA 내부에 영

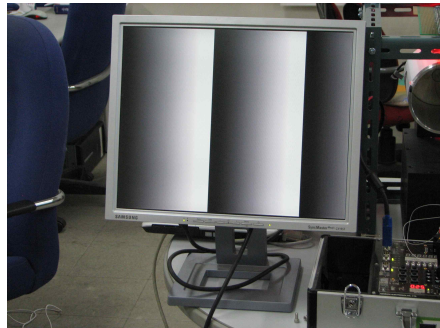


Fig. 9. Test pattern

그림 9. 테스트 패턴

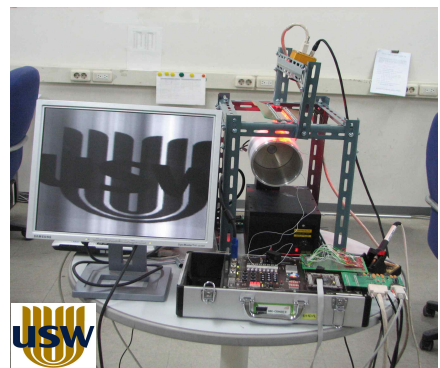


Fig. 10. Implemented linescan testbed

그림 10. 구현된 라인스캔 테스트베드

상 처리 알고리즘을 포함하게 되면 고속의 영상 습득과 영상 처리가 가능하다. 향후 DSP 접속 및 데이터의 저장을 추가하게 되면 Matrox 드의 대표적인 그래픽 보드를 대체하면서도 유연하게 메디컬 영상, 머신 비전 등의 응용이 가능하리라 여겨 진다.

VII. 결 론

임베디드 시스템은 우리의 생활에 윤택함을 더해 주는 시스템으로 중요한 위치를 차지해 가고 있다. 특히 생활가전, 음향기기, 영상기기 등의 분야에서의 사용을 흔히 찾아 볼 수 있다. 임베디드 시스템으로 구성함으로써 특수한 기능을 갖는 시스템을 구현할 수 있고 휴대성을 살려 간편하게 사용할 수 있다는 장점을 가지게 된다.

본 연구에서는 다양한 영상처리를 할 수 있는 임베디드 시스템의 구현을 진행 하였다. 즉, FPGA가 포함된 임베디드 시스템과 카메라링크 라인스캔 카메라를 설계한 프레임 그래버와 연결하여 영상처리 시스템을 구현하였다. 카메라링크 규격의 라인스캔 카메라에 대한 프레임 그래버를 임베디드 형태로 개발함으로써 개발 단가를 낮추고 비전분야에 사용이 가능한 FPGA를 설계 하였다.

또한 Areascan 카메라를 비롯한 고해상도, 고속의 디지털 카메라링크 규격 카메라에 대한 임베디드 응용이 이와 같은 방법으로 가능하다. 추가로 고용량의 메모리를 장착하여 보다 높은 해상도의 영상을 획득/출력하고 DSP 칩과의 연동으로 영상처리 알고리즘의 적용도 가능할 것이다. 향후 광학 영상기 등에 적용할 예정이다.

참고문헌

- [1] 전지혜, 신동윤, 양윤기, 황진권, 이창수, “레졸버 기반의 절대위치 검출 센서 제어기의 FPGA 구현” 제어·자동화·시스템공학회논문지, Vol. 13, No. 10, pp. 970-977, Oct. 2007.
- [2] 전지혜, 나지훈, 양윤기, 이병하, 이창수, “취 눈과 인간 치아의 정밀한 단층정보 분석을 위한 OCT 3-D 영상 재구성” 정보처리학회 논문지 B, 제 14-B권, 제 6호, pp. 423-430, Oct. 2007.
- [3] Jihoon Na, Jae Ho Baek, Seon Young Ryu, ChangSu Lee, Byeong Ha Lee, “Tomographic

imaging of incipient dental-caries using optical coherence tomography and comparison with various modalities”, Optical Review vol. 16, no. 4, pp. 426-431, Jul. 2009.

- [4] BASLER, “Camera Link Technology Brief”, BASLER, 2001.
- [5] FULNiX, “Specifications of the Camera Link Interface Standard for Digital Cameras and Frame Grabbers”, FULNiX, 2000.
- [6] IEEE, “IEEE Standard VHDL Language Reference Manual”, IEEE, 2000.
- [7] Charles H. Roth, “Digital Systems Design Using VHDL”, Thomson Learning, 1998.
- [8] 한백전자, “HBE-Combo2 User’s Guide”, 한백전자, 2006.
- [9] CRAVIS, “User Manual 2 Tab CameraLink”, CRAVIS, 2007.

저 자 소 개

이 창 수(정회원)



1985년: 서울대학교 제어계측공학과 (공학사)

1987년: 서울대학교 제어계측공학과 (공학석사)

1997년: 서울대학교 제어계측공학과 (공학박사)

1987년 4월: 삼성전자(주) 연구원

1998년 - 1993년: 현대전자(주) 과장

1997년 9월 - 현재: 수원대학교 전자공학과 부교수

<주관심분야> 영상처리, OCT, 산업전자제어