

대역폭 조정 가능한 다중 생체 신호 처리용 대역 통과 필터 설계

A Tunable Band-Pass Filter for Multi Bio-Signal Detection

정 병 호*, 임 신 일**, 우 덕 하**
Byeong-Ho Jeong*, Shin-Il Lim**, Deok-Ha Woo**

Abstract

This paper presents a tunable band pass filter (BPF) for multi bio-signal detection. The bandwidth can be controlled by the bias current of transconductance (gm), while conventional BPF exploited switchable capacitor array for band selection. With this design technique, the die area of proposed BPF reduced to at least one tenth the area of conventional design. The simulation results show the high cut-off frequency tuning range of from 100Hz to 1Khz. The circuit was implemented with a 0.18um CMOS standard technology. Total current consumption is 1uA at the supply voltage of 1V with sub-threshold design technique.

요 약

본 논문에서는 대역폭 조정이 가능한 다중 생체 신호 처리용 대역 통과 필터 회로에 관한 것이다. 일반적인 대역 통과 필터는 출력 단에 연결되는 커패시터 배열의 값을 조절하여 고역 -3dB 차단 주파수를 결정한다. 하지만 본 논문에서 제안하는 대역 통과 필터 회로는 커패시터 대신에, 증폭기에 사용되는 바이어스 전압을 통해 증폭기의 트랜스 컨덕턴스 값을 조절하여 차단 주파수를 조절한다. 이러한 방법은 기존의 방식보다 칩 면적을 최소한 1/10로 줄일 수 있어 저면적 설계가 가능하다. 조정 가능한 고역 -3dB 차단 주파수의 대역은 100Hz에서 1KHz이며 사용된 공정은 0.18um CMOS 표준 공정이다. 저 전력 설계를 위해 회로는 서브 스레쉬 홀드 영역에서 동작하며 공급전압은 1V이고, 회로의 총 전류 소모는 1uA이다.

Key words : band-pass filter, high cut-off frequency, sub-threshold design, gm, bio-signal detection

* 서경대학교 전자공학과
(Dept. of Electronics Engineering, SeoKyeong University)

★ 교신저자 (Corresponding author)

** 한국과학기술연구원
(Korea Institute of Science and Technology)

※ 감사의 글 (Acknowledgment)
이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단-신기술융합형 성장동력사업의 지원을 받아 수행된 연구임(2009-0093603)

接受日:2011年 3月 2日, 修正完了日: 2011年 03月 29日

1. 서론

U-Health 사회가 실현 가능해지는 시대에 도래함에 따라 다양한 생체 신호를 한꺼번에 측정, 처리하는 휴대용 또는 다기능 복합형 생체 신호 측정용 의료기기가 많이 개발되고 있다.[1]-[4] 이러한 휴대용, 다기능 복합형 의료 기기는 소형으로 구현되고 있으며 이를 위해서는 단일 칩 또는 소수 칩을 이용하여 구현한다. 이런 추세에 맞추어 저 전력, 고집적, 고성능의 칩 회로 설계 기술이 최근 핵심 기술로 부각하고 있

다. 특히 의료 기기의 소형화, 휴대 가능화, 정밀화 추세에 따라 체온, 심전도, 근전도, 뇌파 측정 등 다양한 기본 신체 신호 측정용 기기를 하나의 반도체나



Fig. 1 Block diagram of bio-signal detection
 그림 1 생체 신호 측정 아날로그 부분 블록

극소수의 칩을 이용하여 하나의 시스템 내에 구현하는 추세에 있다. 가장 보편화되고 많이 알려진 기본적인 생체 신호에는 뇌 반응에 의한 뇌의 전기적 신호를 감지하는 뇌파(EEG: electroencephalogram), 심장 신호를 측정하는 심전도(ECG: electrocardiogram) 그리고 운동이 있을 때 근육의 전기적 상태를 알게 하는 근전도(EMG: electromyogram) 등이 있다. 생체 신호 중 뇌파(electroencephalogram), 심전도(electrocardiogram), 근전도(electromyogram)를 모두 측정할 수 있는 생체 신호 측정 시스템의 analog front-end 회로는 그림 1과 같이 구성된다.[1],[5] 계측 증폭 단(IA)과 대역 조정 가능한 대역 통과 필터 단(BPF), 그리고 가변 이득 증폭 단(VGA)으로 구성할 수 있다. 이후 디지털 신호처리를 위해 증폭된 아날로그 신호를 디지털 신호로 바꿔주는 ADC회로가 추가된다.

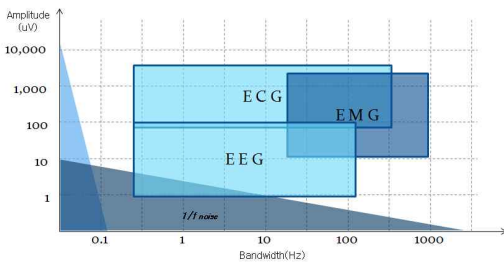


Fig. 2 Frequency characteristics of bio-signals
 그림 2 생체 신호의 주파수 특성

이들 각각의 생체 신호들은 그림 2에 나타난 바와 같이 각각의 신호 크기와 주파수 대역이 조금씩 다르다. 뇌파 신호는 0.1Hz~100Hz의 주파수 대역에 존재하며 1uV~100uV의 크기를 갖는다. 심전도 신호는 0.1Hz~500Hz에 존재하며 100uV~5mV의 크기를 갖는다. 근전도 신호는 20Hz~1KHz의 주파수 대역에 존재하여 다소 높은 주파수 특성을 갖지만 20uV~3mV의 크기로 심전도 신호보다 낮은 크기를 갖는다.

그러므로 공통의 신호 처리 모듈을 이용하여 각 신호 특성에 맞는 이득과 대역폭을 선정하기 위해서는 대역 통과 필터 단에 대역폭 조절 기능이 필요하다. 본 논문은 위 3가지 기본적인 다중 생체 신호 처리를 하나의 칩으로 가능하게 하기 위한 것으로 analog front-end 회로 설계 중 대역 통과 필터의 설계 기술에 관련된 것이다.

II. 본론

1. 기존의 대역 통과 필터

기존의 생체 신호 측정 시스템에 사용되는 대역 통과 필터[1]는 그림 3에서와 같이 PMOS 두 쌍을 이용한 가상 저항(pseudo resistor)과 MOS 로 구현된 부하 캐패시터 (MOSCAP) array를 이용하는 방법을 사용하였다. PMOS 다이오드를 이용한 가상 저항(pseudo resistor)은 앞서 언급한 0.1Hz~0.5Hz의 저대역 -3dB 통과 주파수(f_L)를 형성하기 위해 귀환 루프에 사용한 것이며, 저대역 -3dB 통과 주파수(f_L)는 수식 (1)과 같이 결정된다.

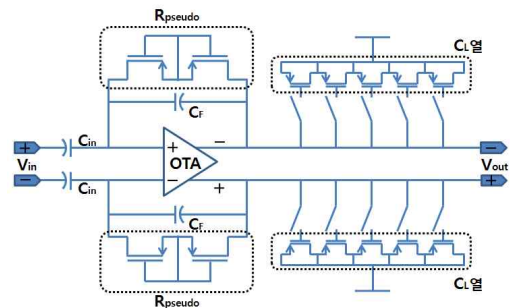


Fig. 3 Circuit diagram of conventional BPF with MOSCAP array

그림 3 부하 MOSCAP 열을 이용한 기존의 대역 통과 필터 회로도

R_{pseudo} 는 가상 저항(pseudo resistor)의 저항 수치이며, C_f 는 귀환 루프에 사용된 커패시터의 값이 되겠다. 그리고 부하 MOSCAP(C_L)은 응용에 따른 100Hz~1KHz의 고대역 -3dB 차단 주파수(f_H)를 형성하기 위함이다. 이때 기존의 회로나 시스템에서는 필터의 대역폭 조절 기능을 위해, 이진 가중 배열 구조로 MOSCAP을 배치한다. 그림 3의 MOSCAP을 이용한 기존의 대역 통과 필터 회로에서 저 대역 -3dB 통과 주파수(f_L)는 수식 (2)와 같이 나타낼 수 있다. 여기서 R_o 는 증폭기 OTA의 출력 저항이고 C_L 은 부하 커패

시터 값이다.

$$f_L = \frac{1}{2\pi R_{pseudo} C} \quad (1)$$

$$f_H = \frac{1}{2\pi R_o C_L} \quad (2)$$

그림 3의 대역 통과 필터에서 스위치 동작에 의한 부하 커패시터 값의 변화는 수식 (2)에서 알 수 있듯이 고대역 -3dB 차단 주파수(f_H)를 조절한다. 부하 커패시터 값의 변화에 따른 고대역 -3dB 차단 주파수(f_H)의 변화를 그래프로 살펴보면 그림 4와 같다.

이러한 구조는 저항-커패시터로 이루어진 간단한 구조의 1차 필터로 사용할 수 있는 장점을 갖지만 대역폭 조절을 위해 이진가중치로 배열된 MOSCAP은 칩 면적의 많은 부분을 차지하는 단점이 있다. 뇌파의 경우, 고대역 -3dB 차단 주파수(f_H)는 100Hz이다. 이 값을 충족하려면, 1.3nF정도의 큰 부하 커패시터 값이 필요하다. 예를 들어 0.18um CMOS 일반 공정에서 필요한 MOSCAP은 width와 length가 각각 100u/20u인 PMOS 38개가 필요하다.

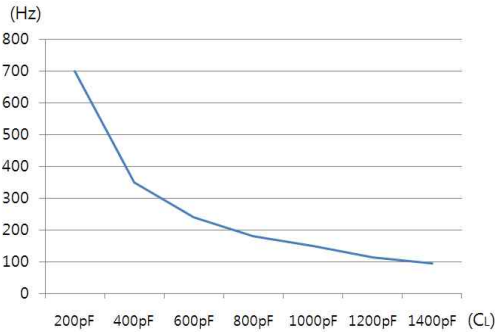


Fig. 4 High cut-off -3dB frequency variation with load cap.

그림 4 로드 커패시터 값의 변화에 따른 고대역 -3dB 차단 주파수의 변화 그래프

MOSCAP을 이용한 커패시터 구현 방법은 2개의 poly 층 또는 2개의 메탈 층을 사용하는 수동 커패시터 구현보다 일반적으로 레이아웃 면적이 작다. 하지만 생체 신호 측정 회로에서 100Hz의 고대역 -3dB 차단 주파수(f_H)를 만들어 내기 위해서는 MOSCAP를 사용하더라도 많은 칩 면적을 소비하는 문제점이 있다.

그러므로 하드웨어 면적이 커지는 위 문제점을 해결하기 위하여, 본 논문에서는 고정된 최소 부하 캐

패시터(C_L)에 증폭기의 트랜스컨덕턴스(gm)를 조절함으로써 회로의 면적을 최소화하고, 저전압, 저 전력으로 동작 시킬 수 있는 대역폭 조절이 가능한 대역 통과 필터 회로를 제안한다.

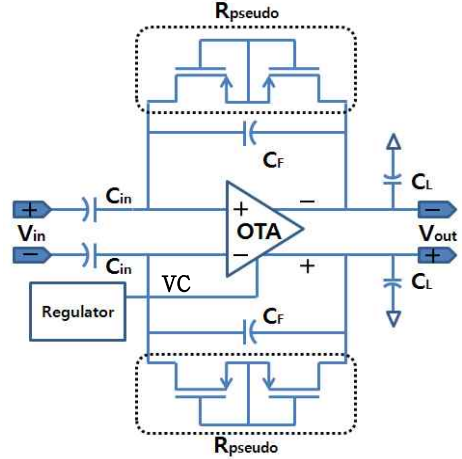


Fig. 5 Circuits of proposed BPF
그림 5 제안하는 대역 통과 필터 회로도

2. 제안하는 대역 통과 필터

그림 5는 본 논문에서 제안하는 대역폭 조절이 가능한 대역 통과 필터이다. 가상 저항(pseudo resistor)과 커패시터, 증폭기로 이루어진 기존의 대역 통과 필터 개념에 대역폭 조절을 위한 가변 정전압 정류기(Regulator) 및 gm 값 변환 가능한 증폭기(OTA)로 구성된다. 본 논문에서는 저면적 저 전력 대역폭 조절이 가능한 대역 통과 필터를 설계하기 위해 부하 커패시터 열을 사용하지 않고, 기존의 방식과는 달리 VC 출력 전압 값을 이용 OTA의 전류 조절에 의한 gm 값을 조정함으로써 대역폭을 조절하는 방법을 개발하였다. 먼저, 본 논문에서는 저 전력 설계를 위해 모든 회로가 서브스레쉬홀드(subthreshold) 영역에서 동작하게 설계하였다. 서브스레쉬홀드 영역에서의 바이어스 전류는 매우 작은 값을 갖게 되어 회로의 전류 소모를 적게 할 수 있다. 이때, 회로의 트랜스컨덕턴스는 수식 (4)와 같이 전류 값에 비례한 값을 갖는다. 아래 수식 (3)과 수식 (4)는 서브스레쉬홀드 영역에서의 모스트랜지스터(MOSFET) 드레인 전류와 트랜스컨덕턴스 gm에 관한 수식이다.

$$I_D = I_{D0} \cdot \frac{W}{L} \cdot e^{q(V_{GS} - V_{THN})/n \cdot kT} \quad (3)$$

$$gm = \frac{I_D}{kT/q} \quad (4)$$

본 논문에서 사용하는 대역 통과 필터 회로는 같은 크기(200fF)의 입력 커패시터(C_{in})와 귀환 커패시터(C_F)를 사용하여 이득을 0dB로 설정하였으나 경우에 따라서는 이득을 갖도록 조절할 수 있다. 기존의 대역 통과 필터는 부하 커패시터 열의 값을 선택적으로 조정하여 대역폭을 조절하였지만 본 논문에서는 저면적 설계를 위해 부하 커패시터 열을 사용하지 않고 수식 (5)에 의해 증폭기 회로의 트랜스컨덕턴스(*gm*_{OTA})을 변경하여 대역폭을 조절한다. 증폭기의 트랜스컨덕턴스(*gm*_{OTA}) 값은 수식 (4)에 의거해 정류기 출력 전압 (VC) 값 조절을 이용한 OTA 구동 전류 값을 조절함으로써 구현한다.

$$f_H = \frac{gm_{OTA}}{2\pi C_L} \quad (5)$$

제안된 대역 통과 필터는 중심 공진주파수에 의해 대역이 결정되는 것이 아니므로 공급전압, 온도, 공정 변수 변화에 의한 공진주파수 변화를 보상하는 튜닝(tuning)회로가 필요 없게 된다. 그리고 공급전압 변화에 따른 트랜스컨덕턴스 값 변화에 의한 고대역 -3dB 차단 주파수의 변화는 뒤에 있는 절에서 기술한다.

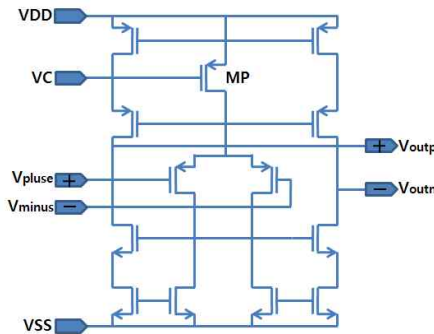


Fig. 6 Circuits of OTA
그림 6 증폭기(OTA) 회로도

3. 증폭기(OTA)

제안한 대역 통과 필터(그림 5)에 사용한 증폭기를 그림 6에 도시하였다. 증폭기의 바이어스용 MOSFET (MP)의 전류 조절을 위해 사용되는 바이어스 전압

(VC)은 그림 5에 있는 가변 정전압 정류기 (Regulator)의 출력으로 가능하다. 가변 정전압 정류기의 내부 회로 설계는 다음 절에서 설명한다. 증폭기의 트랜스컨덕턴스(*gm*_{OTA})의 값은 이 전압 VC에 의해 조절하여 변경할 수 있다.

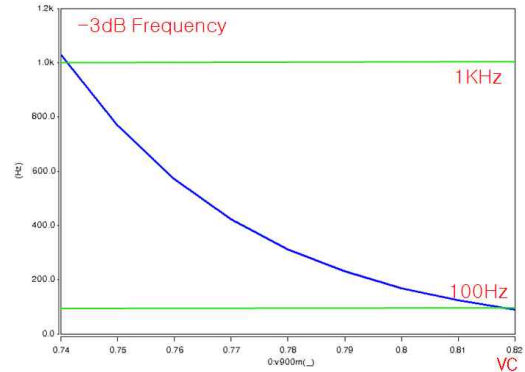


Fig. 7 High cut-off -3dB frequency variation with VC voltage

그림 7 VC 전압에 따른 고대역 -3dB 차단 주파수(*f_H*)의 변화

전압 VC에 의한 고대역 -3dB 차단 주파수(*f_H*)의 변화를 상세히 설명하면 다음과 같다. 이 회로에서 VC전압이 상승하면, MP의 드레인 전류가 감소한다. 이러한 전류의 감소는 수식 (4)에서 알 수 있듯이 증폭기의 입력 MOSFET의 트랜스컨덕턴스(*gm*_{OTA})를 감소하게 한다. 이러한 VC 전압의 변화에 따른 고대역 -3dB 차단 주파수(*f_H*)의 변화를 그림 7에 보여주고 있다. 이것은 기존의 MOSCAP을 이용한 대역 조절[1] 보다 설계 면적을 현저히 줄일 수 있는 장점이 있다. 실제로 두 가지 경우를 레이아웃으로 비교해보면, 아래 그림 8과 같이 대략 1/15의 크기 차이를 보인다.

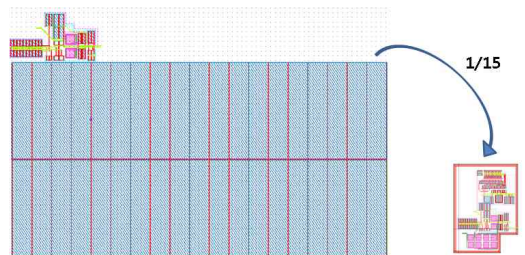


Fig. 8 Comparison of layout area
그림 8 레이아웃 면적 비교

4. 전압 조절이 가능한 가변 정전압 정류기

그림 9는 스위치를 이용해 VC 출력 전압을 조절할 수 있는 가변 정전압 정류기 회로이다. 이 회로는 일반적인 증폭기를 이용한 전압 정류기 회로의 구조이며 스위치의 온/오프를 통해 MOSFET의 개수를 조절하여 VC 출력 전압을 조절하는 방식으로 설계되었다. M0의 드레인과 VC 전압 단자 사이의 전류 경로 참여 연결하는 MOSFET의 개수가 많을수록 병렬연결에 의해 저항 값이 감소하여 VC 전압은 상대적으로 상승하고, 반대의 경우 VC 전압은 감소한다.

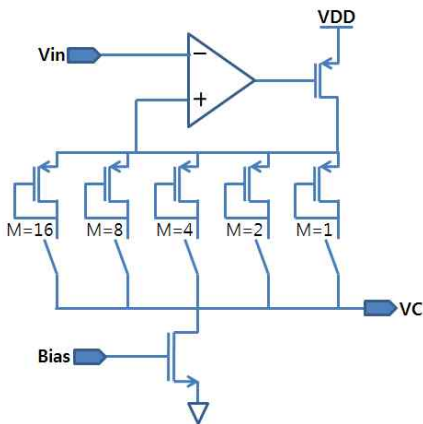


Fig. 9 Tunable voltage regulator
그림 9 전압 조절이 가능한 가변 정전압 정류기

그림 10은 스위치 동작에 따른 VC 전압의 변화를 나타낸 그래프이다. 전압의 변화 폭은 그림 7의 시뮬레이션 결과를 토대로 외부 스위치에 의해 0.74V ~ 0.815V까지의 조절 범위를 갖게 설계하였다. 그리고 가변 정전압 정류기의 공급 전압의 변화에 따른 출력 전압의 변화를 살펴보면, 공급전압의 변화 10mV 당 수 uV 이하로 적게 나타나며 이러한 작은 변화에 의한 고대역 -3dB 차단 주파수의 변화는 정전압 정류

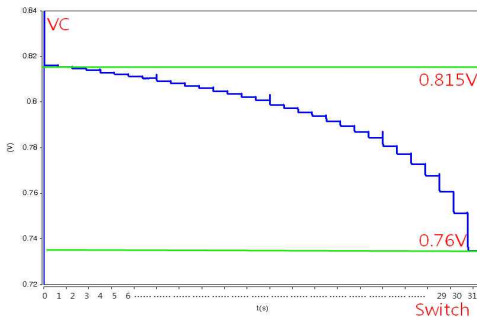


Fig. 10 Variation of VC voltage with switch control
그림 10 스위치 동작에 의한 전압 VC의 변화

기 내의 스위치를 조절하여 원하는 주파수 범위를 맞추어 줌으로써 해결할 수 있다.

그림 11에서는 온도와 VC 전압 변화에 따른 고대역 -3dB 차단 주파수의 변화를 보여주고 있다. 이 결과로 VC 전압이 높고 온도가 낮을수록 주파수의 변화가 적게 나타나는 것을 알 수 있다. 이러한 온도 변화에 따른 대역 통과 필터의 트랜트랜스컨덕턴스 값의 변화는 가변 정전압 정류기에 내장된 스위치 조정으로 인하여 보상할 수 있다. 하지만, 일반적으로 생체 신호 측정 기기는 상온에서 동작하므로 온도 변화에 따른 오작동은 미비할 것이다. Load Regulation은 부하가 다음 단(VGA)의 입력 트랜지스터로 입력되어 고정되어 있으므로 부하의 변화가 작아 고려하지 않는다.

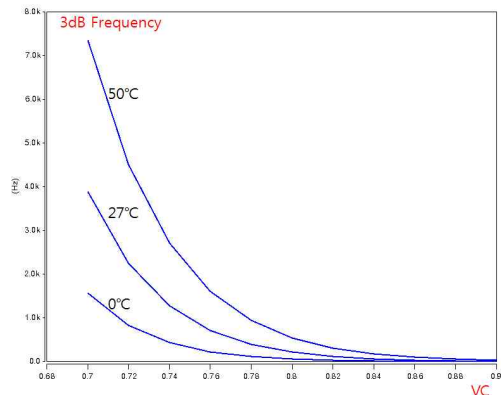


Fig. 11 High cut-off -3dB frequency variation with the variations of VC voltage and temperature
그림 11 온도 변화와 VC 전압 변화에 따른 고대역 -3dB 차단 주파수(f_H)의 변화

III 시뮬레이션 결과 및 구현

제안된 회로는 매그나/하이닉스 0.18um CMOS 일만 공정을 이용하여 설계 구현 되었다. 전체 시뮬레이션 결과 그림 12과 같이 100 Hz부터 1 KHz 까지 심진도, 뇌파, 근전도 측정 응용에 따라 가변적으로 사용할 수 있는 고대역 -3dB 차단 주파수(f_H) 대역폭을 실현할 수 있었다. 구현한 회로의 레이아웃 면적은 150um×95um로서 기존의 출력 부하 커패시터를 사용한 것 보다 1/15 가량 작은 면적을 차지한다. 설계된 대역 통과 필터(BPF)를 포함한 생체 신호 측정 시스템의 analog front-end (IA+BPF+VGA)의 레이아웃 도는 그림 13에서와 같이 650um×350um의 적은 면적을 차지한다. 이것은 같은 공정을 사용한 기존 설계[1]와 비교해도 1/3도 안 되는 현저하게 작은 크

기를 보여 주는데 이것은 설계된 대역 통과 필터의 크기가 적은 것에 기인한다. 대역 통과 필터의 공급 전원은 1V이고, 이때 소모하는 전력은 바이어스 회로를 포함하여 1uW이다. 설계된 대역 통과 필터(BPF) 성능을 표 1에 나타내었다.

Table 1 Performance summary
표 1 성능 요약

Supply voltage	1V
Total Current consumption	1uA
CF	200fF(2개)
f_L	0.2Hz
f_H (tunable)	100Hz~1KHz

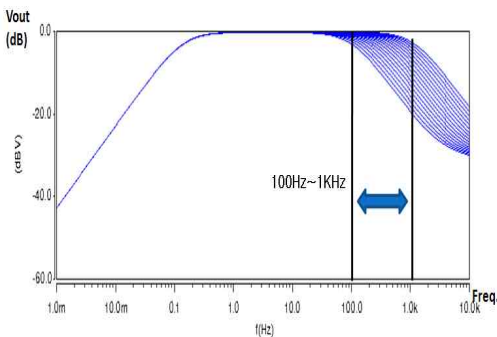


Fig. 12 Bandwidth variation of BPF with switch control
그림 12 스위치 동작에 따른 대역 통과 필터의 대역폭 변화 그래프

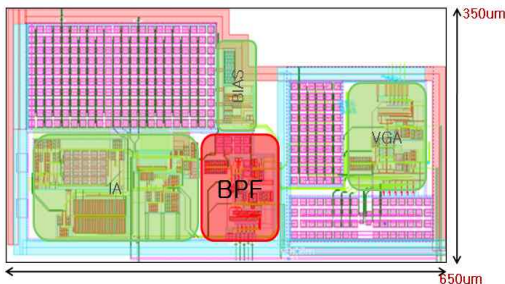


Fig. 13 Layout diagram of all the analog part(IA+BPF+VGA)
그림 13 아날로그 부분 전체(IA+BPF+VGA) 레이아웃도

IV 결론

본 논문에서는 부하 커패시터 열을 사용하지 않고

주파수 대역 조절이 가능한 저 전력 대역 필터를 설계하였다. 제안된 대역 통과 필터 회로는 스위치 동작으로 인한 바이어스 전압의 변화를 통해 증폭기의 트랜스컨덕턴스를 조절하여 대역폭을 조절함으로써 회로의 면적을 최소화할 수 있다는 장점을 갖는다. 제안된 대역폭 조절이 가능한 대역 통과 필터는 기존의 대역 통과 필터 회로와 전압 변경이 가능한 정전압 정류기를 설계하여 구성하였다. 그리고 모든 회로는 저 전력 회로 설계를 위해 서브스레쉬홀드 영역에서 동작하도록 설계 하였다.

참고문헌

[1] R. F. Yazicioglu, P. Merken, R. Puers, and C. Van Hoof, "A 60uW 60 nV/√Hz readout front-end for portable biopotential acquisition systems," *IEEE International Solid-State Circuits Conference*, vol. XLIX, pp. 56 - 57, February 2006.

[2] T. Denison, et al., "A 2 uW, 100nV/rtHz, Chopper Stabilized Instrumentation Amplifier for Chronic Measurement of Neural Field Potentials", *IEEE J. Solid State Circuits*, Vol. 42, No. 12, December 2007.

[3] K. A. Ng and P. K. Chan, "A CMOS Analog Front-End IC for Portable EEG/ECG Monitoring Applications," *IEEE Tr. on CAS I*, pp. 2335-2347, Nov., 2005

[4] H. Wu and Y. P. Xu, "A 1V 2.3uW biomedical signal acquisition IC," *IEEE International Solid-State Circuits Conference*, vol. 49, pp. 58 - 59, Feb. 2006.

[5] Refet Firat Yazicioglu, Sunyoung Kim, Tom Torfs, Patrick Merken, Chris Van Hoof, "A 30uW Analog Signal Processor ASIC for Biomedical Signal Monitoring," *IEEE International Solid-State Circuits Conference*, vol. 53, pp. 124-125, Feb. 2010

저 자 소 개

정 병 호 (비회원)



2009년 : 서경대학교 컴퓨터공학과 졸업 (공학사)
2011년 : 서경대학교 대학원 전자 컴퓨터공학과 (공학석사)
<주관심분야> 아날로그 집적회로 설계(통신, 바이오 메디칼, 산업, 가전)

임 신 일 (정회원)

1980년 : 서강대학교 전자공학과
졸업 (공학사)
1983년 : 서강대학교 대학원 전자
공학과 (공학석사)
1982년~1991년 : 한국전자통신연
구원(ETRI)선임연구원
1991년~1995년 : 전자부품연구원
(KETI) 선임연구원

1995년 : 서강대학교 대학원 전자공학과 (공학박사)
1995년 3월~현재 : 서경대학교 전자공학과 교수

<주관심분야> 아날로그 집적회로설계(통신, 바이오
메디칼, 산업, 가전)

우 덕 하 (비회원)

1985년 : 서울대학교 물리학과 졸
업 (이학사)
1987년 : 서울대학교 대학원 물리
학과과 (이학석사)
1992년 : 서울대학교 대학원 물리
학과과 (이학박사)
1993년 6월~현재 : 한국과학기술
연구원

<주관심분야> 센서시스템, 반도체광소자