

고속 Intra-Panel Interface를 위한 시스템 설계 기술

김진호 (삼성전자 S,LSI)

I. 서론

전자 시스템을 설계하는데 있어 고려해야 할 사항이 많이 있지만, 그 중 전자 시스템의 동작에 심각한 영향을 미치는 잡음의 원인을 제거하거나 불가피한 잡음에 대하여 그것을 어느 정도 수용하더라도 정상적인 동작을 보장하도록 설계하는 것이 매우 중요하다. 전자 시스템에 영향을 주는 잡음으로 크게 reflection noise, crosstalk noise, SSN(Simultaneous Switching noise), EMI(Electromagnetic Interference)의 네 가지를 들 수 있다. 이러한 잡음은 특히 전자 시스템의 동작 속도가 증가할수록 그 영향이 커지기 때문에 고속 전자 시스템 설계시 이러한 잡음의 영향을 심각하게 고려하여야 한다.

소비자들의 평판디스플레이 장치에 대한 요구 사항 및 평판디스플레이 시장의 흐름이 대화면, 고해상도, 고계조화 되어가면서 디스플레이 시스템도 고속화의 추세에 접어들게 되었다. 평판디스플레이 장치 중 가장 널리 사용되고 있는 TFT-LCD(Thin Film Transistor Liquid Crystal Display)를 예로 들면, 디지털 HD(High Definition) 방송 및 디지털 씨네마(Digital Cinema)의 도래와 더불어 고해상도, 고화질, 고계조의 추세에 맞추어 발전이 계속 이어지고 있다.

구체적으로, 디스플레이 장치의 resolution format가 현재 FHD(Full High Definition)에서 향후 UD(Ultra Definition) 및 SHV(Super Hi-Vision)로 증가하는 추세에 있고, 명암의 단계를 표현하는 계조(gray scale)의 경우에도 8bit

(=256) 계조를 보편적으로 하여 10bit(=1024) 계조 표현을 위한 기술은 이미 많은 연구가 진행된 상태이며 향후 12bit(=4096) 계조를 표현하기 위한 연구가 진행 중이다. 동영상 화질 개선을 위하여 frame rate가 기존의 60Hz에서 120Hz로 증가되었으며, 향후 240Hz 또는 480Hz 구동을 위한 연구도 활발히 진행 중이다.

고해상도, 고화질, 고계조의 추세는 결국 라인 구동 시간의 감소로 인한 데이터 전송율(data rate)의 증가를 가져온다. Frame rate가 증가하게 되면 초당 디스플레이 해야 하는 화면의 수가 증가하므로 단위 시간당 처리해야 하는 디스플레이 데이터의 양이 증가하게 된다. 디스플레이 resolution format의 증가는 라인 구동 시간(line time)의 감소를 야기하게 되어 단위시간, 즉, 한 라인 타임 동안 전송해야 하는 디스플레이 데이터의 양이 증가하게 된다. Gray level의 증가도 마찬가지로 단위 화소(pixel)당 색을 표현하기 위한 bit가 증가하기 때문에 결국 단위 시간당 전송해야 하는 데이터가 증가하게 된다. 예를 들어, 8bit, FHD, 120Hz TFT-LCD를 구동하기 위해서는 5Gbps 이상의 data bandwidth가 요구된다.

평판디스플레이 장치에 요구되는 data bandwidth의 증가는 디스플레이 인터페이스 기술의 발전을 가져왔다. LCD에서 인터페이스는 셋톱박스(set-top box), 컴퓨터 그래픽 카드 등 호스트 모듈(host module)과 TFT-LCD 모듈 사이의 인터페이스를 일컫는 inter-module interface(또는 inter-panel interface)와 TFT-LCD 모듈 내의 타이밍 제어기(timing controller, T/CON)와 소스 구동회로(source

driver) 사이의 intra-panel interface로 구분한다. TFT-LCD 시스템의 개념적인 구성도를 [그림 1]에 나타내었다^[1]. Inter-module interface의 경우 LVDS(Low-Voltage Differential Signaling)^[2-5], DVI(Digital Visual Interface)^[6], HDMI(High Definition Multimedia Interface)^[7], DP(DisplayPort)^[8] 등으로 발전해 왔고, intra-panel interface의 경우 mini-LVDS(mini Low-Voltage Differential Signaling)^[9-10] 또는 RSDS(Reduced Swing Differential Signaling)^[11-12], PPDS(Point-to-Point Differential Signaling)^[13-15], AiPi(Advanced Intra-Panel Interface)^[16], A-PPmL(Advanced Point-to-Point mini-LVDS)^[17] 등의 형태로 발전해 왔다. Inter-module/intra-panel interface 모두 고속 신호 전송을 위하여 point-to-point 및 differential signaling 방식을 이용하고 최근에는 clock-embedding 기법을 이용하여 송신단에서 CLK 정보가 포함된 data를 전송하고 수신단에서 CDR(Clock and Data Recovery)을 이용하여 CLK과 data를 분리하여 처리하는 방식의 인터페이스 기술이 많이 사용되고 있다. Inter-module interface의 경우 DP가, intra-panel interface의 경우 AiPi와 A-PPmL이 clock embedding 방식을 적용한 예이다. DP는 최대 2.7Gbps/pair의 속도를, A-PPmL은 2Gbps/pair의 속도를 갖는다.

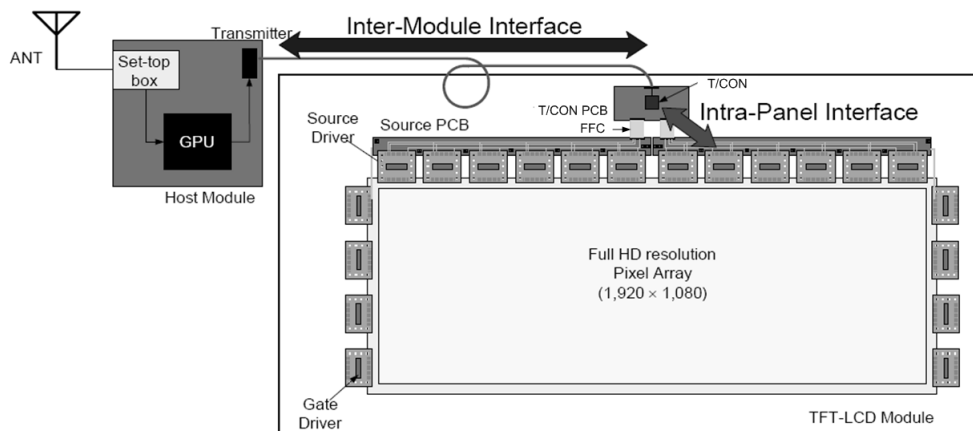
Tx(Transmitter)와 Rx(Receiver) 모두 미세공정을 이용하고 신호 전송 채널도 동축케이블(coaxial cable)과 같은 매질을 이용하는 inter-module 인터페이스와 달리 intra-panel interface의 Rx에 해당하는 source driver의 경우

TFT-LCD 구동을 위한 high-voltage 소자와 디지털 데이터를 처리하는 low-voltage 소자를 함께 집적하는 일종의 smart power IC이기 때문에 low-voltage 소자의 성능을 향상시키는데 제약이 많고, [그림 1]에서 보는 바와 같이 Tx에 해당하는 T/CON 출력 신호가 Rx에 도달하기 까지 FFC(Flexible Flat Cable) 및 FFC connector를 거쳐 수십 cm 길이의 source PCB trace를 지나가야 하기 때문에 칩 내부 또는 칩 간 data bandwidth를 향상시키기 위한 노력에도 제약이 많이 따른다. 따라서 T/CON에서 source driver에 이르는 전체 시스템을 고려한 설계가 이루어져야 향후의 high-resolution, high gray scale, high frame rate를 갖는 TFT-LCD 패널을 구동하기 위한 인터페이스 개발이 가능하다. 본 고에서는 고속 intra-panel interface를 위하여 시스템 레벨에서 고려해야 할 사항에 대하여 서두에 설명한 전자시스템의 잡음 특성을 기준으로 살펴 보도록 하겠다.

II. Signal Integrity

1. Signaling Mode

Signaling mode는 Tx의 출력단 임피던스, termination 방법, Rx에서 신호를 복원하는데 사용하는 기준 전압 등을 결정하는 중요한 요인이다. Voltage-mode 또는 current-mode로 signaling 방법을 선택할 수 있는데, 소비 전력과 신호의 delay를 최소화 하면서 noise immunity를

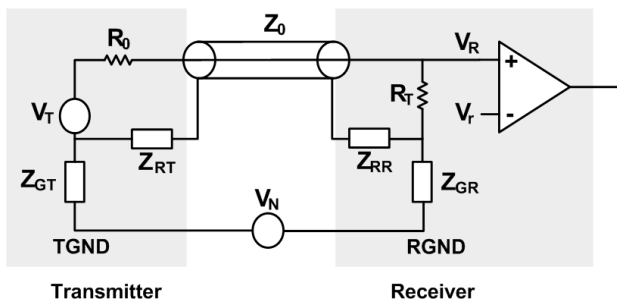


[그림 1] TFT-LCD 시스템의 개념도^[1]

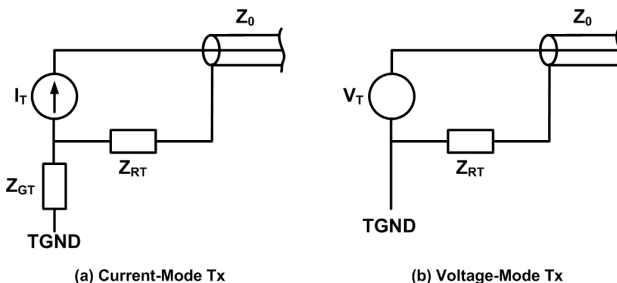
가장 크게 할 수 있는 signaling mode를 선택하여야 한다.

[그림 2]에 일반적인 전송선 signaling 시스템의 개념도를 나타내었다^[18]. [그림 2]에 나타낸 output impedance(R_o), power 또는 ground와 신호선 사이의 coupling(Z_{GT}) 및 신호의 전달 방향, 신호의 진폭 등을 Tx 설계에 가장 영향을 많이 주는 변수로 들 수 있다.

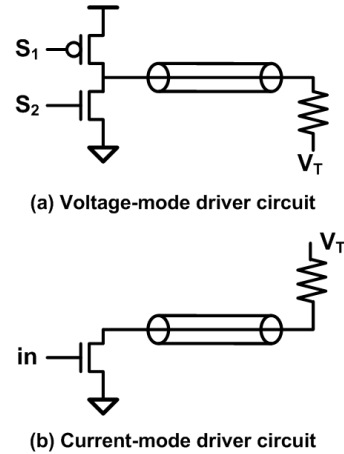
전송선 signaling 시스템 중 current-mode로 전송하는 시스템의 개념도를 [그림 3-(a)]에 나타내었다. Tx는 constant current source $I_T(t)$ 로 구성되어 있고 이 전류는 characteristic impedance Z_0 를 가지는 전송선에 인가된다. Current-mode Tx는 대개 power supply로부터 전송하는 신호와 return current가 분리되어 있기 때문에 Z_{GT} 가 매우 커 power supply noise의 coupling 영향을 줄일 수 있는 장점이 있다. Voltage-mode 전송 시스템은 [그림 3-(b)]와 같이 local power supply(TGND)에서 전원을 공급받는 voltage source가 Tx 단에 있고, 이 Tx는 $V_T(t)$ 의 전압을 전송선에 바로 인가한다. 위의 signaling mode를 실제 회로로 구성한 예를 각각 [그림 4-(a)]와 [그림 4-(b)]에 나타내었다^[18].



[그림 2] 기본적인 전송선 signaling 시스템



[그림 3] Current-mode와 voltage-mode Tx



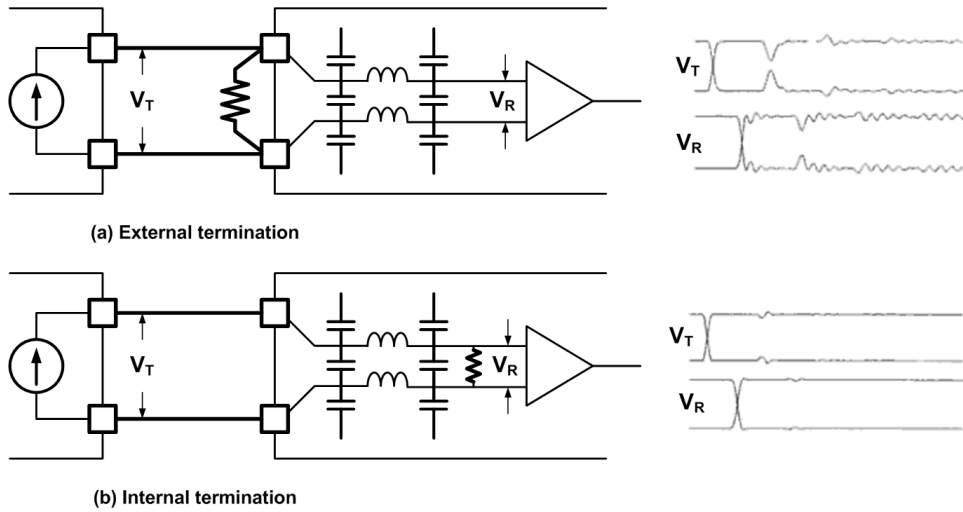
[그림 4] Signaling mode 회로 구현

Current-mode signaling의 경우 Tx 단에 constant current source를 이용하기 때문에 대화면 TFT-LCD용 T/CON처럼 다수의 output channel을 구동해야 할 경우 전류 소비의 제어가 용이하다는 측면에서 장점을 가질 수 있으나, COG(Chip On Glass)와 같이 signaling channel에 resistive load가 커서 current-mode signaling 방법으로 신호를 전송할 경우 receiver에 도달하기까지 voltage drop으로 인해 전송 손실이 많이 발생하는 경우 voltage-mode signaling 방법을 이용하여 신호를 전송하기도 한다^[19-20].

2. Impedance Matching

대부분의 high-performance signaling 시스템에서는 원치 않는 반사 잡음(reflection noise) 및 그에 따른 ISI (Inter-Symbol Interference)를 없애기 위하여 resistive termination을 사용한다. Termination은 Tx 단에서 이루어질 수도 있고 Rx 단에서 이루어질 수도 있으며, 어떤 경우에는 Tx와 Rx에 모두 termination을 하기도 한다. Rx termination의 경우 Tx로부터 Rx 방향으로 진행되는 forward-traveling wave의 power를 손실 없이 Rx에 전달하기 위한 목적으로 적용되며, transmitter termination의 경우 신호가 전달되는 channel 내 impedance의 부정합으로 인한 reflection을 흡수하기 위한 목적으로 사용된다.

Rx 입력단에서 termination 할 때, termination 저항을 어디에 위치시키는가에 따라 on-chip termination과 off-chip termination으로 나눌 수 있다. 글자 그대로 on-chip



[그림 5] On-chip termination vs. off-chip termination

termination은 chip 내부에 termination 저항을 위치시키는 것이고, off-chip termination은 chip 외부, 즉 PCB상에 termination 저항을 위치시키는 것이다. Off-chip 및 on-chip termination의 개념도를 [그림 5]에 나타내었다. [그림 5-(a)]와 같이 off-chip termination은 termination 저항 다음 단계 package 및 chip pad, ESD 회로 등의 chip 내부 회로에 의한 기생 성분(parasitics)이 stub의 형태로 보이게 되며 이로 인해 반사 잡음이 발생할 수도 있다. [그림 5-(a)]의 오른쪽 파형과 같이 package 및 chip 내부 회로에 의한 기생 성분 때문에 보이게 되는 stub는 Tx 쪽으로 reflection noise를 발생시키고, 이는 다시 Rx 방향으로 진행하여 결국 Rx는 모든 reflection noise를 보게 된다. 반면 [그림 5-(b)]와 같이 on-chip termination은 reflection을 상당 부분 제거할 수 있다^[18].

TFT-LCD의 source driver는 [그림 1]의 시스템 개념도에 나타난 바와 같이 COF(Chip On Film) package를 이용하기 때문에 chip 내부 뿐 아니라 package 상에 impedance 부정합이 존재하지 않도록 설계되어야 하고, Tx에서 전송한 신호의 에너지가 손실 없이 Rx에 전달될 수 있는 termination 방법을 선택, 적용하여야 signal quality가 보장된 신호가 Rx단에 전달될 수 있다.

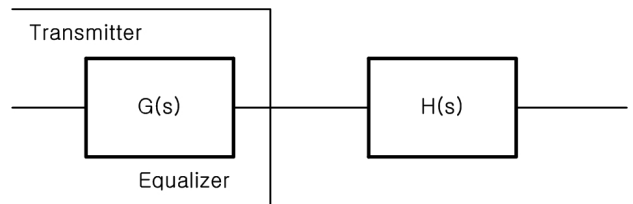
3. Equalization

주파수에 따른 신호의 감쇄(attenuation)는 equalization

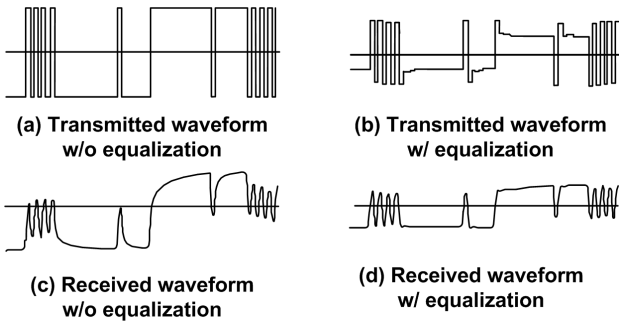
기법을 사용하여 보상할 수 있다. Equalization의 개념은 [그림 6]과 같이 신호선이 가지고 있는 전달함수(transfer function)가 $H(s)$ 라고 할 때 이것의 역함수 성격을 갖는 전달함수 $G(s)$ 를 Tx 또는 Rx에 포함시켜 결국 $G(s)H(s)$ 의 전달함수가 1이 되도록 하는 것이다^[18].

Tx 단에서는 high-frequency 성분을 키워서 channel쪽에 신호를 인가하는 방법을 사용하고 이를 위해 transition의 발생 여부를 판단하여 0에서 1로, 또는 1에서 0으로의 데이터 천이가 발생하면 그렇지 않을 때보다 voltage swing level이 커지도록 transmitter를 제어한다. Tx로부터 인가된 신호가 channel을 통과하면서 발생하는 고주파 성분의 손실을 고려하여 미리 더 큰 전압 또는 전류를 인가하는 방식을 흔히 pre-emphasis라고도 한다. [그림 7]은 pre-emphasis가 적용되지 않은 신호와 적용된 신호에 대하여 각각 Rx 단에 어떻게 나타나는지 개념을 설명한 그림이다.

Rx 단에서는 channel을 통과하면서 신호가 잃어버린



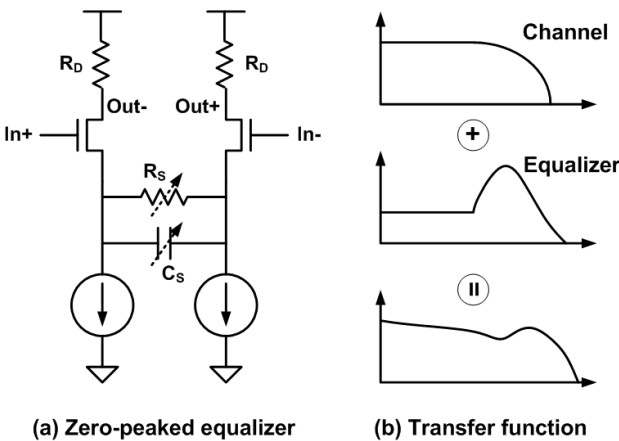
[그림 6] Equalized line의 블록도



[그림 7] Pre-emphasis(equalization)에 따른 송/수신단 파형

고주파 성분을 살려내기 위하여 filter를 이용하여 저주파 성분을 de-emphasis 함으로써 상대적으로 고주파 성분이 잘 드러나도록 하는 방법을 사용한다. [그림 8]에 수동 소자만을 이용한 간단한 equalizer 회로 및 동작 원리에 대하여 나타내었다^[21].

대화면 TFT-LCD TV용 모듈은 서론의 [그림 1]에 나타난 것과 같이 T/CON으로부터 source driver 사이의 거리가 가까운 것은 십여 cm부터 먼 것은 50cm 이상 떨어져 있으며, 신호가 전송되는 채널의 대부분이 source PCB trace로 되어 있다. Rx, 즉 source driver의 경우 equalizer를 포함하고 있다고 하더라도 어떤 데이터 전송율을 갖는 시스템에 적용될지 미지수이고 만약 시스템 사양을 알고 있다고 하더라도 50~60cm 길이의 source PCB의 어느 위치에 장착될지 모르는 상황이기 때문에 equalization level을 적절히 맞추어 설계하는 것이 어렵다. 반면 T/CON의 경우 어떤 driver가 어떤 source driver의 Rx 단에 연결될



[그림 8] Zero-peaked equalizer와 전달함수 특성

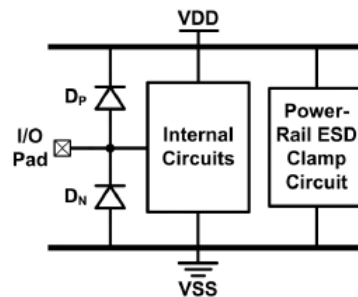
것인지 예측이 가능하기 때문에 Rx equalizer에 비해 상대적으로 적절한 level의 pre-emphasis 제어를 가능하게 한다. 어떠한 equalization 방법을 적용하든지 Tx 단의 pre-emphasis level과 Rx 단의 equalizer 수준을 적절히 맞추어 low-pass filter 특성을 갖는 channel에서의 신호의 손실을 보상해 주어 Rx에 양질의 신호가 인가될 수 있도록 시스템을 설계하는 것이 필요하다.

4. High-speed I/O

ESD(Electrostatic Discharge)로부터 회로를 보호하기 위하여 모든 I/O pad에 [그림 9]와 같이 ESD 보호 회로를 내장한다^[22]. 그러나 high-speed I/O의 경우, 이러한 ESD diode에 존재하는 parasitic capacitance 성분으로 인한 RC delay 및 신호 손실로 인해 성능이 저하될 수 있다.

예를 들어, giga-Hz 주파수 대역을 갖는 신호를 입력으로 받는 IC의 입력 pad에 일반적인 ESD 소자를 사용했다고 가정하면, 대부분의 일반적인 ESD 소자의 크기가 상당히 크기 때문에 매우 큰 parasitic capacitance가 존재하게 된다. 이 경우 입력 신호는 ESD 소자의 큰 capacitive load를 충/방전 하면서 Rx 입력단에 도달해야 하므로 giga-Hz의 속도로 switching 하는 고속 신호는 다음 단 회로가 동작하기에 충분한 level의 signal swing을 보장하지 못할 수도 있다. 결국 giga-Hz 대역의 신호를 chip 내부로 전달하지 못할 수 있다. 게다가 ESD 보호 회로의 parasitic capacitance 성분으로 인하여 pad에서 GND로 신호의 손실이 발생하기도 한다.

따라서, high-speed signal을 받아들이는 source driver 입력단의 I/O pad는 ESD 스트레스로부터 회로를 보호하



[그림 9] 일반적인 ESD 보호회로

는 본래의 기능에 충실한 것도 중요하지만 ESD 소자에 의한 parasitic capacitance 성분을 줄여야만 Tx로부터 전송된 신호를 손실 없이 Rx단에 전달할 수 있다. 예를 들어, 2GHz high-frequency 입력 pad의 ESD 보호 소자에 대하여 요구되는 loading 조건을 약 200fF으로 정의한 문헌도 있다^[23].

III. Power Integrity

TFT-LCD 패널 내의 TFT 소자는 20V 내외의 고전압으로 구동되기 때문에 이를 구동하는 source driver는 저전압과 고전압 소자를 모두 포함하고 있는 smart power IC의 형태를 가진다. 따라서 고전압으로 구동되는 회로 영역과 저전압으로 구동되는 회로 영역이 잘 분리되어 서로 간섭이 없도록 설계가 진행되어야 하며, 각각의 전원이 잡음 없이 잘 인가될 수 있도록 시스템 레벨에서 관리할 필요가 있다.

1. TFT-LCD의 Power Supply

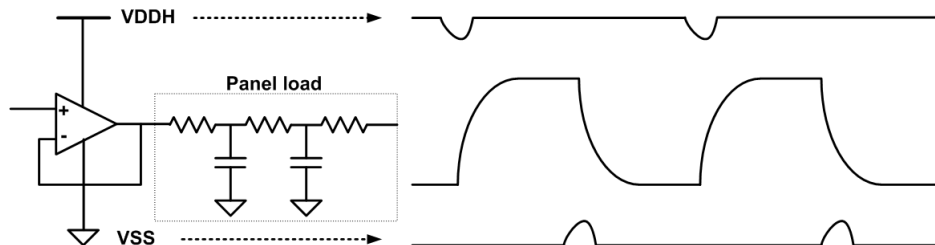
앞서 언급한 바와 같이 TFT-LCD 패널의 TFT 소자의 경우 20V 내외의 고전압이 필요하고, 이 power는 source PCB를 통하여 source driver에 전달된다. Low-voltage power를 고려하면 supply voltage 두 종류와 GND power 두 종류가 공급되어야 하는 것이다. Power를 plane 구조로 artwork 하여 PCB를 제작한다면 impedance control이 필요한 differential 신호선 및 기타 control 신호의 배선을 고려하고, 고전압 swing을 가지는 gate control 신호선과의 coupling이 발생하지 않도록 하기 위해 산술적으로 적어도 6층 이상의 PCB를 설계하여야 한다. 그러나 이는 생산 단가의 상승을 초래하기 때문에 cost-performance 측

면에서 신호간, power간, 그리고 신호와 power간 crosstalk가 발생하지 않도록 주의하여 PCB를 설계하는 것이 필요하다.

TFT-LCD 패널의 종류에 따라 source driver에서 동시에 구동하는 channel 수가 400여 개부터 1000여개 까지 다양하고, 큰 capacitive load를 갖는 패널의 data line을 구동하기 위하여 한 channel당 switching 하는 전류의 양이 크기 때문에 simultaneous switching으로 인하여 high-voltage power supply 단의 voltage drop 또는 ground bouncing이 나타날 수 있다. 이와 같은 과정을 [그림 10]에 나타내었다. 만약 source driver IC 내부 또는 source PCB 상에서 이러한 high-voltage power가 low-voltage power 사이에 coupling이 존재한다면 상대적으로 low-voltage 회로 영역에 나타나는 power supply noise가 커지게 된다. 서론에 설명한바와 같이 최근에는 clock embedding 방식을 이용한 interface가 사용되기 때문에 receiver 단에는 필연적으로 CDR 회로가 필요하게 되고, power supply noise가 큰 것은 결국 Rx 단에서 clock 신호와 data 신호의 복원이 어렵게 된다는 것을 의미한다. System level에서 이러한 고려를 하지 않는다면 결국 power supply noise immunity를 갖는 회로 설계에 대한 부담이 커질 수밖에 없다.

2. Power Design

시스템에 안정적인 전원을 공급하기 위해서는 source driver의 수백 개의 analog output buffer가 동시에 패널 load를 구동함으로써 발생하는 ground bouncing 또는 supply voltage fluctuation이 저전압용 power에 영향을 미치지 않도록 각 power supply간 shielding을 보장하여야 한다. PCB 뿐 아니라 chip 내부에도 coupling 경로가 존



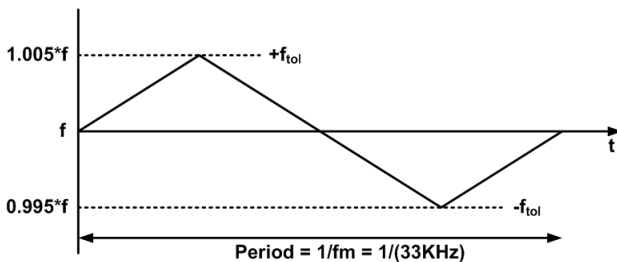
[그림 10] Source driver의 아날로그 출력버퍼가 패널 부하를 충/방전할 때 발생하는 power supply noise 개념도

재하지 않도록 power 및 GND단의 분리를 적절히 하는 것이 중요하다. 또한 대면적 TFT-LCD TV의 경우 PCB의 길이가 50~60cm에 이르기 때문에, 어느 source driver의 전원단을 보더라도 전압 강하가 발생하지 않도록 power supply node의 impedance 또한 신중하게 설계하여야 한다.

IV. EMI

전자 시스템에서 EMI(Electromagnetic Interference)는 중요하게 고려해야 할 noise 성분 중 하나이다. 대개 EMI를 줄이기 위하여 clock 신호에 의해 나타나는 주파수 성분의 peak spectrum을 완화하는 방법을 사용하고 있는데, 이를 위하여 어떤 중심 주파수를 기준으로 일정 부분 tolerance를 갖도록 clock 신호의 주파수를 주기적으로 변경하는 SSCG(Spread Spectrum Clock Generation) 방법을 이용한다. Modulation frequency(f_m)를 33KHz로 하여 $\pm 0.5\%$ 의 tolerance(f_{tol})를 가지는 SSC(Spread Spectrum Clock)의 시간에 따른 주파수 변화에 대한 그래프를 [그림 11]에 나타내었다. [그림 11]의 경우, clock 신호의 주파수 f 가 33KHz를 주기로 $1.005f$ 와 $0.995f$ 사이의 값을 가지면서 변하게 된다. SSCG 기능을 적용할 때에는 Tx에서 SSC를 위한 정밀한 기준 CLK 신호 생성 보장해야 할 뿐 아니라 AiPi 또는 A-PPmL 등과 같이 clock embedding 방식을 이용하여 Rx에서 CDR을 수행해야 할 경우 Rx단에서도 SSC를 잘 쫓아가면서 clock과 데이터를 복원할 수 있도록 CDR의 bandwidth를 설정해야 한다.

SSCG 방법 이외에도 scrambling/descrambling 방법을 이용하여, Tx에서 전송되는 데이터를 randomize 함으로써 디스플레이 데이터의 주파수 spectrum상 peak 성분이



[그림 11] Modulation frequency f_m , tolerance $\pm f_{tol}$ 을 갖는 SSC의 시간에 따른 주파수 변화

존재할 수 있는 데이터 패턴에 대하여 그 성분의 크기를 감소시키는 방법도 사용할 수 있다.

V. 결 론

본 고에서는 고속 intra-panel interface를 위한 시스템 설계 기술에 대하여 살펴보았다. 평판디스플레이 장치에 대한 고해상도, 고화질, 고계조의 소비자 요구 및 그에 따른 시장의 변화는 디스플레이 시스템의 고속화를 초래하였으며 이는 디스플레이 인터페이스의 발전을 이끌었다.

고속 신호가 송/수신되는 시스템을 설계할 때에는 chip 설계 기술 뿐 아니라 SI(Signal Integrity) 및 PI(Power Integrity), EMI를 고려한 시스템 설계 기술이 조화를 이루어야만 정상적인 동작을 보장할 수 있으며, 경우에 따라서는 chip 설계자가 자신이 설계한 chip이 최적의 성능을 발휘할 수 있는 시스템 사양을 고객에게 가이드 형태로 제공해야만 성공적인 설계에 이를 수 있다.

추가적으로, 본 고에서 직접적으로 다루지는 않았지만, 디스플레이 인터페이스 시스템이 고속 직렬 통신 시스템과 유사해짐에 따라 BER(Bit Error Rate), timing budget, noise budget, 시스템 bandwidth 등을 고려한 설계가 뒷받침된다면 더욱 견고한 high-speed intra-panel interface 시스템을 설계할 수 있을 것이다.

참고문헌

- [1] 성유창, TFT-LCD를 위한 고속 직렬 통신 기술 동향 소개, Information Display, 10권, 제2호, pp.14-20, 2009.
- [2] Electrical characteristics of low-voltage differential signaling (LVDS) interface circuits, TIA/EIA-644, National Semiconductor Corp., ANSI/TIA/EIA, 1996.
- [3] IEEE Standard for Low-Voltage Differential Signaling (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard, IEEE Std. 1596.3, 1994.
- [4] Open LVDS Display Interface (OpenLDI) Specification, National Semiconductor Corp. 1999.
- [5] J. Goldie, LVDS goes the distance!, Dig. Soc. Inf. Display'99 Digest, pp.126-129.
- [6] Digital Visual Interface (DVI) Revision 1.0, Digital Display Working Group (DDWG), April, 1999.

[7] *High-Definition Multimedia Interface Specification Version 1.3*, HDMI, June, 2006.

[8] *DisplayPort Proposed Standard Version 1.0 Draft1*, Video Electronics Standards Association (VESA), Aug., 2005.

[9] *TFP74x3 TFT LCD PANEL TIMING CONTROLLER WITH MINI-LVDS AND FLAT-LINK data sheet*, Texas Instruments, 2001.

[10] *The mini-LVDS Interface Specification : Application Report*, Texas Instruments, Aug., 2001.

[11] *RSDS Specification*, National Semiconductor Corp., May, 2001.

[12] A. Lee and D. W. Lee, *Integrated TFT-LCD timing controllers with RSDS column driver interface*, Dig. Soc. Inf. Display'00, pp.43-45.

[13] R. I. McCartney and M. Bell, *A third generation timing controller and column driver architecture using point-to-point differential signaling*, Dig. Soc. Inf. Display'04, pp.1556-1559.

[14] R. I. McCartney, M. J. Bell, and S. R. Poniatowski, *Evaluation results of LCD panels using the PPDS™ architecture*, Dig. Soc. Inf. Display'05, pp.1692-1695.

[15] M. J. Bell, *An LCD column driver using a switch capacitor DAC*, IEEE J. Solid-State Circuits, Vol.40, No.12, pp.2756-2765, Dec., 2005.

[16] M. -J. Park, Y. -J. Lee, T. -S. Kim, H. -S. Nam, H. -S. Song, D. -K. Jeong, and W. -C. Kim, *An advanced intra-panel interface(AiPi) with clock-embedded multi-level point-to-point differential signaling for large-sized TFT-LCD applications*, Dig. Soc. Inf. Display'06, pp.1502-1505.

[17] K. Yamaguchi, Y. Hori, K. Nakajima, K. Suzuki, M. Mizuno, and H. Hayama, *A 2.0Gb/s clock-embedded interface for Full-HD 10-bit 120Hz LCD drivers with 1/5-rate noise-tolerant phase and frequency recovery*, IEEE J. Solid-State Circuits, Vol.44, No.12, pp.3560-3567, Dec., 2009.

[18] W. J. Dally and J. W. Poulton, *Digital Systems Engineering*, 1998.

[19] J. -P. Lim, J. -H. Kim, D. -H. Baek, J. -Y. Lee, J. -C. Lee, Y. -M. Choi, J.-W. Park, K. -H. Ryu, J. -H. Hong, T. -K. Kim, W. -S. Lee, P. Kim, J. -S. Kim, Y. -K. Choi, and M. Lee, *A Reduced voltage differential signaling (RVDS) interface for chip-on-glass TFT-LCD*

applications, Dig. Soc. Inf. Display'09, pp.959-962.

[20] D. -H. Baek, J. -P. Lim, H. -S. Pae, J. -Y. Lee, W. Yu, Y. -M. Choi, Y. -H. Lee, S. -I. Lee, W. -S. Lee, D. -J. Lee, Y. -K. Choi, and M. Lee, *The enhanced reduced voltage differential signaling (eRVDS) interface with clock embedded scheme for chip-on-glass TFT-LCD applications*, Dig. Soc. Inf. Display'10, pp.70-73.

[21] V. Abramzon, *Analog-to-digital converters for high-speed links*, Ph. D. Dissertation, 2008.

[22] M.-D. Ker and Y.-W. Hsiao, *Recent Patents on Engineering 2007*.

[23] C. Richier, P. Salome, G. Mabboux, I. Zaza, A. Juge, and P. Mortini, *Investigation on different DSD protection strategies devoted to 3.3V RF applications (2GHz) in a 0.18um CMOS process*, Proc. EOS/ESD Symp., pp.251-259, 2000.

저 자 약 력

김진호



- 2000년 : 한양대학교 전자, 전자통신, 전파 공학과군 학사
- 2002년 : 한양대학교 전자통신전파공학과 석사
- 2008년 : 한양대학교 전자통신전파공학과 박사
- 2008년~현재 : 삼성전자 S.LSI 책임연구원
- 관심분야 : High-speed display interface, system level integration