

PLL 알고리즘을 사용한 단상 및 3상 계통연계형 인버터의 동기화 기법

全泰園[†], 李弘熙^{*}, 金興根^{**}, 魯義哲^{***}

Synchronization Techniques for Single-Phase and Three-Phase Grid Connected Inverters using PLL Algorithm

Tae-Won Chun, Hong-Hee Lee, Heung-Geun Kim, and Eui-Cheol Nho

요 약

태양광 발전시스템 등에서 전력을 공급하기 위한 계통연계 인버터에서 계통전압의 동기화를 위하여 PLL시스템이 많이 사용되어 왔다. 본 논문은 단상 및 3상 계통연계 인버터의 동기화 성능을 향상시키기 위하여 루프필터 및 PI 제어기가 없는 PLL 알고리즘을 제시한다. 단상 또는 3상 계통전압으로 유도한 2상 전압을 사용하여 위상 검출기 출력이 직류성분만 있으면서 동기화되었을 때 0이 되도록 궤환신호를 결정한다. 소신호 해석방법으로 비례제어기를 사용한 PLL시스템을 모델링하여 안정도 및 정상상태 오차를 관찰한다. 시뮬레이션 및 실험결과를 통하여 제시한 PLL알고리즘의 타당성을 확인한다.

ABSTRACT

A PLL system has widely used for synchronizing the grid voltage at the grid-connected inverter for supplying power from the PV generation systems. In this paper, a PLL algorithm without both the loop filter and PI controller is suggested for improving the performance of synchronization at the single-phase and three-phase grid connected inverters. In order that the output voltage of a phase detector in the PLL has only a dc voltage, and it approaches to 0 when the synchronization signal is locked to the grid voltage, the feedback signals are determined by using two-phase voltages. After the PLL system with a proportional controller is modelled with the small signal analysis, the stability and steady-state error are investigated. Through the simulation studies and experimental results, the performances of the proposed PLL algorithm are verified.

Key Words : PLL, synchronization, Grid-connected inverter, Proportional controller

1. 서 론

근래에 석유 가스의 가격 급등과 함께 화석연료에

의한 대기공해, 원자력발전의 방사선 방출 등 환경과 피 문제 때문에 태양광, 풍력, 연료전기 등 신재생에너지에 대한 관심이 급격히 높아지고 있다. 따라서 다양한 재생에너지원과 함께 배터리 등 에너지 저장장치의 에너지를 전력계통으로 효율적으로 전달하기 위하여 전력용 반도체 컨버터를 통하여 단상 또는 3상의 분산 그리드에 연결되어 진다. 여기서 원하는 유효 및 무효전력을 전송하기 위하여 계통 전압벡터 즉 전압의 위상을 정확하고 신속하게 검출하는 것이 계통에 연결

[†]교신저자 : 정회원, 울산대 전기전자정보시스템공학부 교수

E-mail : twchun@mail.ulsan.ac.kr

^{*}정회원, 울산대 전기공학부 교수

^{**}정회원, 경북대 전기공학과 교수

^{***}정회원, 부경대 전기공학과 교수

접수일자 : 2011. 4. 4

1차 심사 : 2011. 4. 12

심사완료 : 2011. 4. 20

된 인버터의 제어 성능에 큰 영향을 준다.^[1]

이 컨버터의 출력전압과 동기화시키기 위하여 Phase lock loop (PLL) 기법을 기반으로 하여 계통 전압벡터의 위상각을 측정하는 많은 기법들이 발표되었다. 2상 기준좌표계 α-β 또는 d-q축 전압을 필터링하여 계통전압의 위상각을 계산하는 방법은 필터에 의한 시간지연에 의해 성능이 저하된다는 문제가 있다.^{[2][3]} 3상 전압을 동기속도 2상 좌표계 전압으로 변환시킨 후, 이 2상 전압 중 q축 전압을 0으로 제어하면서 위상각을 계산하는 PLL기법이 발표되었다.^[4] 이 기법은 비교적 단순하나, 전압의 왜곡/불균형에 상당히 민감하며 PI제어기에 의한 시간지연이 있다는 단점이 있다. 고정좌표계 2축 정현파 신호 적분기를 사용하여 3상 계통전압의 불균형이나 왜곡에도 불구하고 정상상태오차를 최소화시키는 기법을 제시하였으며,^{[5][6]} 또한 단상 그리드 시스템에서 칼만필터 또는 예측제어 기법을 사용하는 연구가 발표되었다.^{[7][8]} 위의 논문에서 제시한 기법들은 많은 계산량을 요구한다는 문제점이 있다.

또한 PLL의 루프필터에 의한 위상지연에 의해 안정도가 저하되는 것을 최소화하기 위하여 H-∞ 또는 다중-오브젝트 제어 기법을 적용하거나 필터의 차단주파수 및 제어이득을 설계하는 논문들이 발표되었다.^{[9]-[11]}

본 논문에서는 PLL시스템에서 시간지연을 발생시키는 두 가지 요소 즉 루프필터와 PI제어기가 없는 PLL 알고리즘을 계통전압이 단상일 경우와 3상일 경우 각각 제시한다. 시뮬레이션 및 실험을 통하여 이 PLL 알고리즘 타당성을 확인한다.

2. 기존 곱형 PLL 구조

그림 1은 단상 계통전압의 위상검출기로 많이 사용되고 있는 곱형 PLL구조를 보인 것이다

이 PLL은 기준전압인 계통전압과 케환신호를 곱한 위상검출기 (phase detector, PD), 루프필터인 1차 저역필터, 증폭기 및 적분기로 구성된다. 먼저 계통전압 $V_g = V_p \cos(\omega_g t + \phi_g)$ 로 표현하고, 케환신호

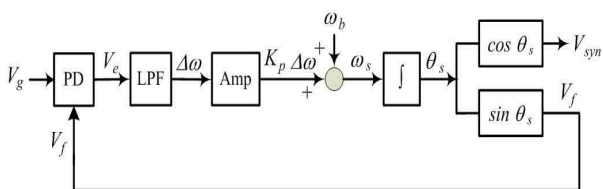


그림 1 곱형 PLL의 구조
Fig. 1 Structure of product-type PLL

$V_f = \sin(\omega_s t + \phi_s)$ 로 결정한 후 계통전압과 케환신호를 곱한 PD의 출력은 다음 식과 같이 표현된다.

$$V_e = V_g \cdot V_f = V_p \cos(\omega_g t + \phi_g) \cdot \sin(\omega_s t + \phi_s) \quad (1)$$

여기서, V_p 는 계통전압의 피크치, ω_g 와 ϕ_g 는 계통전압의 주파수 및 위상, ω_s 와 ϕ_s 는 케환신호의 주파수 및 위상이다. 이 PLL이 계통전압의 위상으로 lock될 때 $\omega_g = \omega_s = \omega_b (2\pi \times 60)$ 이 되며, 이때 PD 출력값은 다음 식과 같이 유도된다.

$$V_e = V_p \sin(\phi_g - \phi_s) + V_p \sin(2\omega_b t + \phi_g + \phi_s) \quad (2)$$

식(2)에서 보는 바와 같이 PD출력은 직류성분과 기본주파수의 두 배의 주파수로 발진하는 교류성분으로 구성된다. 이 PD출력에 포함된 교류성분을 감쇄시키기 위하여 루프필터로 1차 저역필터를 사용한다. 그런데 이 교류성분의 주파수가 기본주파수의 2배 정도 즉 기본주파수가 60Hz인 경우는 교류성분의 주파수가 120Hz 정도로 상당히 낮다. 교류성분을 많이 감쇄시키기 위하여 차단주파수를 감소시킬 경우 시간지연이 커지면서 안정도가 떨어진다. 반대로 차단주파수를 증가시킬 경우에는 저역필터에 의한 교류성분 감쇄효과가 떨어지므로 이 교류성분에 의하여 각속도를 적분하여 출력되는 위상 θ_s 에 비교적 큰 리플성분이 존재한다. 그리고 이 위상으로 계산되는 동기신호 V_{syn} 의 정현파에도 리플성분이 포함한다. 따라서 PLL시스템의 안정도와 동기신호의 왜곡 감소 등을 동시에 해결하는 것이 상당히 힘들다는 문제가 있다.

3. 제시한 PLL 알고리즘

계통연계 인버터가 단상일 경우와 3상일 경우 각각 시간지연의 원인이 되는 루프필터와 PI제어기가 없는 PLL 알고리즘을 설명한다.

3.1 단상 PLL 알고리즘

그림 2은 시간지연의 원인이 되는 루프필터와 PI제어기가 없는 단상 계통전압 동기화용 PLL 구조를 보인 것으로 계통전압 위상을 검출하는 PD, P 제어기, 적분기 및 케환신호 발생기 등으로 구성된다.

먼저 단상 계통전압을 다음 식과 전역필터 (All-pass filter, APF)를 사용하여 90 위상 지연시킨 전압 V_{gd} 를 발생시킨다.^[12]

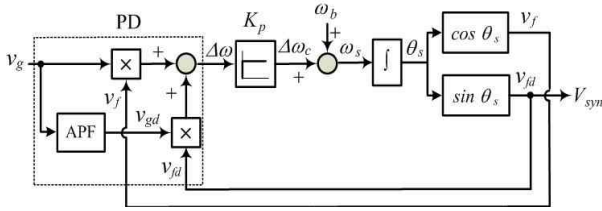


그림 2 단상 PLL의 구조
Fig. 2 Structure of single-phase PLL

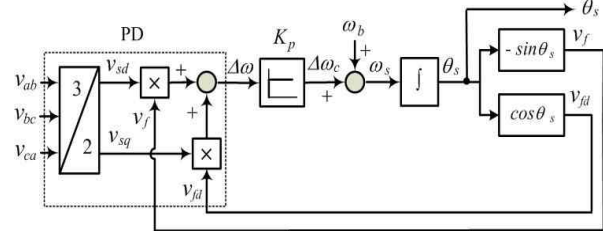


그림 4 3상 PLL의 구조
Fig. 4 Structure of three-phase PLL

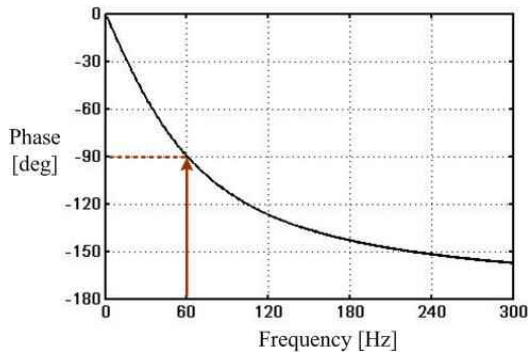


그림 3 주파수변화에 대한 APF의 위상
Fig. 3 Phase of APF with a variation of frequency

$$\frac{v_{gd}}{v_g} = \frac{\omega_b - s}{\omega_b + s} \quad (3)$$

여기서 계통전압의 주파수가 60Hz일 경우에 $\omega_b = 2\pi \times 60$ 이 된다. 식(3)을 주파수함수로 표시하면 다음 식(4)와 같다.

이 APF 출력전압의 크기는 주파수에 관계없이 계통 전압과 동일하고 위상은 그림3과 같이 주파수에 따라 변화되며, 주파수가 60Hz일 때 90 위상을 가짐을 알 수 있다.

$$\frac{v_g}{v_{gd}} = \frac{\omega_b - j\omega}{\omega_b + j\omega} = 1 \angle -2\tan^{-1}\left(\frac{\omega}{\omega_b}\right) \quad (4)$$

따라서 APF 출력전압 V_{gd} 는 계통전압 V_g 에 대하여 크기는 같으며 위상만 90 지연되므로 두 전압 식은 다음과 같이 표현된다.

$$V_g = V_p \sin(\omega_g t + \phi_g) = V_p \sin \theta_g \quad (5)$$

$$V_{gd} = -V_p \cos(\omega_g t + \phi_g) = -V_p \cos \theta_g \quad (6)$$

다음은 그림 2와 같이 위의 두 전압과 두 복환신호 V_f 와 V_{fd} 를 각각 곱한 후 더하여 계산된 PD의 출력 즉 각속도 변화량 $\Delta\omega$ 는 다음 식과 같이 유도된다.

$$\begin{aligned} \Delta\omega &= V_g \cdot V_f + V_{gd} \cdot V_{fd} \\ &= V_p \sin \theta_g \cdot \cos \theta_s + V_p \cos \theta_g \cdot (-\sin \theta_s) \\ &= V_p \sin(\theta_g - \theta_s) \end{aligned} \quad (7)$$

위의 식(7)에서 보는 바와 같이 PD 출력인 $\Delta\omega$ 는 직류값에 교류성분까지 포함되어 있는 식(2)와 달리 직류성분만으로 구성되어 있으므로 루프필터가 필요가 없음을 알 수 있다. 다음은 비례(Proportional, P) 제어기를 거쳐 이 P제어기 출력값인 $\Delta\omega_c$ 와 기본 각속도 ω_b 를 더하여 ω_s 를 계산한다. 이 각속도를 적분하여 위상각 θ_s 를 구하고 cosine과 sin함수로 복환신호 V_f 와 V_{fd} 를 각각 계산한다. 두 복환신호 중 V_{fd} 가 계통전압 동기신호 V_{syn} 가 되며, 기본 각속도를 중심으로 변화량을 조정하여 PLL의 두 입력신호 위상을 lock시킨다.

이 단상계통전압에 대한 동기신호는 단상계통 연계 인버터에서 유효전력 제어 시, 원하는 계통전류 값에 이 동기신호 V_{syn} 를 곱하여 교류 기준 계통전류를 발생시키는 데 사용할 수 있다.

3.2 3상 PLL 알고리즘

전압계통전압이 3상일 경우 계통 전압 동기화용 PLL 구조는 그림 4와 같으며, 기본 구성은 그림 2에서의 단상 PLL과 동일하다. 단, 계통전압이 단상일 경우에는 계통전압과 90° 위상 지연시킨 전압을 발생시키기 위하여 APF를 사용하였지만 3상 계통전압에서는 3상 선간전압으로 두 전압을 계산할 수 있다.

3상 선간전압을 상전압으로 변환시키면서 2상 고정좌표계로 변환한 d축 및 q축 전압 식은 각각 다음과 같다.

$$V_{ds} = \frac{1}{3}(V_{ab} - V_{ca})$$

$$= V_m \cos(\omega_g t + \phi_g) = V_m \cos \theta_g \quad (8)$$

$$V_{qs} = \frac{1}{\sqrt{3}} V_{bc}$$

$$= V_m \sin(\omega_g t + \phi_g) = V_m \sin \theta_g \quad (9)$$

여기서, V_m 는 상전압 피크값이다. 다음은 그림 4와 같이 d축 전압에 케환신호 $V_f = -\sin \theta_s$ 를, q축 전압에 케환신호 $V_{fd} = \cos \theta_s$ 를 각각 곱한 후 더하여 계산된 각속도 변화량 $\Delta\omega$ 즉 PD출력은 식(10)과 같이 유도된다.

$$\Delta\omega = V_{ds} \cdot V_f + V_{qs} \cdot V_{fd}$$

$$= V_m \cos \theta_g \cdot (-\sin \theta_s) + V_m \sin \theta_g \cdot \cos \theta_s$$

$$= V_m \sin(\theta_g - \theta_s) \quad (10)$$

식(10)과 식(7)에서 보는바와 같이 계통전압이 3상일 경우와 단상일 경우 모두 PLL의 출력인 동기위상 θ_s 가 계통전압 위상 θ_g 와 일치하면 PLL이 lock되면서 PD출력은 0이 된다.

단상 PLL과 같이 P제어기 출력값과 기본 각속도 ω_b 를 더하여 ω_s 를 계산하고 이 각속도를 적분하여 위상 각 θ_s 를 구하여 sin과 cosine함수로 케환신호 V_f 와 V_{fd} 를 각각 계산한다. 이 PLL에서 출력된 동기위상 θ_s 를 사용하여 3상 계통연계인버터에서 유효전력과 무효전력을 각각 제어할 수 있다.

3.3 PLL 시스템 해석

식(7)에서 단상 계통전압의 피크치 V_p 와 식(10)의 3상 계통 상전압의 피크치 V_m 모두 1로 단위화 시키고, PLL의 출력 위상 θ_s 과 계통전압의 위상 θ_g 의 차가 작다고 가정하면 식(7)과 (10)을 다음과 같이 근사화할 수 있다.

$$\Delta\omega = \sin(\theta_g - \theta_s) \approx \theta_g - \theta_s \quad (11)$$

PD 출력신호를 식(11)과 같이 계통전압 위상과 동기신호 위상의 차로 근사화시키면 PLL을 그림 5와 같이 등가시킬 수 있다.

선형화된 이 소신호 블럭도에서 페루프 전달함수 식은 식(12)와 같다. 이 전달함수에서 보면 P제어기 비례이득 K_p 값에 관계없이 안정됨을 알 수 있다.

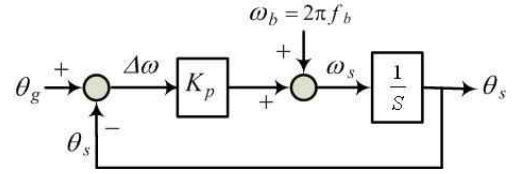


그림 5 PLL의 소신호 블럭도
Fig. 5 Small signal block diagram of PLL

$$G(s) = \frac{\theta_s(s)}{\theta_g(s)} = \frac{K_p}{s + K_p} \quad (12)$$

다음은 계통전압의 위상 θ_g 에 대한 동기 위상 θ_s 의 정상상태 오차를 체크하기 위하여 먼저 두 위상의 오차는 다음 식과 같다.

$$\Delta\omega = \frac{s}{s + K_p} \theta_g \quad (13)$$

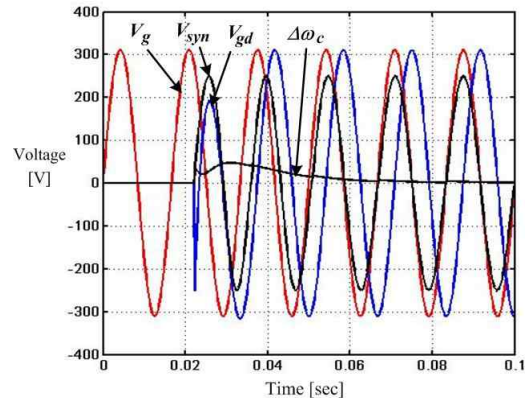
계통전압의 위상 θ_g 가 계단 입력 시 정상상태에서 두 위상의 오차 즉 정상상태 오차는 식(14)와 같이 0이 됨을 알 수 있다. 따라서 이 PLL시스템에서 PI제어기가 아닌 P제어기를 사용하더라도 정상상태 오차가 발생되지 않음을 알 수 있다.

$$e_{ss} = \lim_{s \rightarrow 0} \Delta\omega = s \times \frac{s}{s + K_p} \times \frac{1}{s} = 0 \quad (14)$$

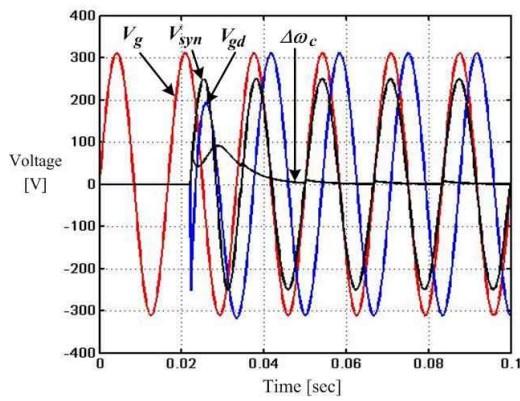
4. 시뮬레이션 및 실험결과

4.1 시뮬레이션 결과

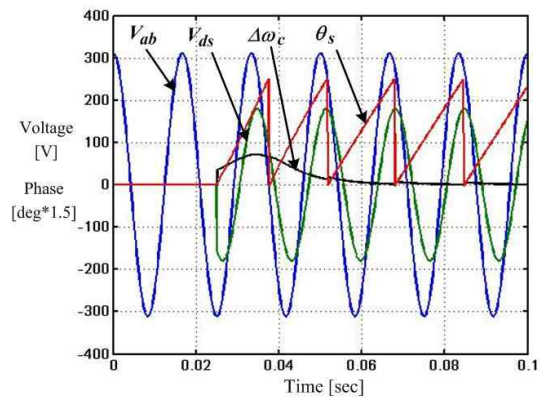
먼저 단상계통용으로 단상 PLL알고리즘에 대한 시뮬레이션을 수행한 결과를 보인다.



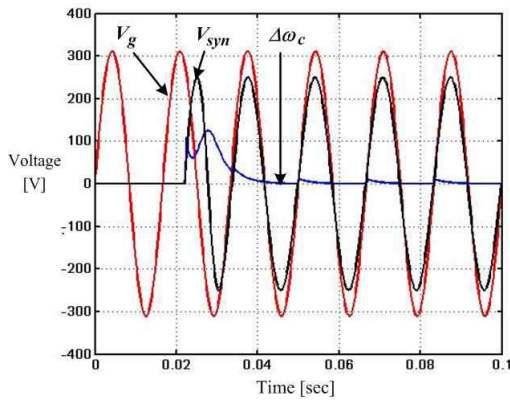
(a) 비례이득 = 0.3일 경우



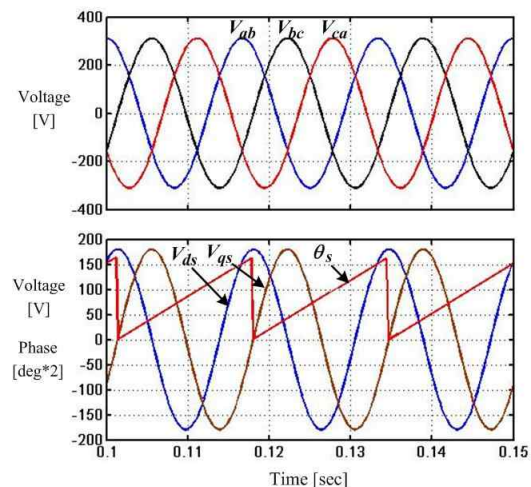
(b) 비례이득 = 0.6일 경우



(a) 과도 응답특성



(c) 비례이득 = 0.9일 경우



(b) 정상상태 파형

그림 6 단상 PLL에서 비례이득 변화 시 과도응답특성
Fig. 6 Transient responses for a variation of proportional gains at single-phase PLL

그림 7 3상 PLL의 응답
Fig. 7 Responses of three-phase PLL

그림 6은 $t=0.025\text{msec}$ 에서 PLL 알고리즘을 동작 시 P제어기 비례이득의 변화에 따라 220V 계통전압 V_g 에 대한 APF로 계통전압에 대해 90° 위상 지연전압 V_{gd} , P제어기 출력 $\Delta\omega_c$ 및 동기신호 ω_{syn} 의 과도응답 특성을 보인 것이다.

그림 6(a)는 비례이득이 0.3일 경우 응답특성을 보인 것으로 먼저 V_{gd} 는 APF에 의한 시간 지연으로 약 한 주기의 과도상태를 거친 후 계통전압과 크기가 같으면서 위상이 90° 지연됨을 볼 수 있다. 그리고 P제어기의 출력은 계통전압의 3주기정도 경과 후에 거의 0으로 수렴되면서 동기신호가 계통전압에 동기화된다. 그림 6(b)와 (c)는 비례이득을 0.6과 0.9로 즉 2배 및 3배로 증가 시 응답특성을 각각 보인 것이다. 전압 V_{gd} 는 비례이득 값에 영향을 받지 않으므로 그림 6(a)와 동일한 과도응답 특성을 보였으며, P제어기 출력은 비례이득이 증가함에 따라 같이 증가된다. 따라서 비례

이득이 0.6일 경우 동기신호가 동기 완료될 때까지 약 1.5주기정도 소요되고, 비례이득이 0.9일 경우는 한 주기정도로 단축된다.

위와 같이 비례이득을 증가시키면 동기신호의 동기화시간이 단축되나, 민감도가 증가되어 외부 노이즈 또는 계통전압 리플성분에 의해 PLL시스템의 안정도 문제가 발생할 수 있다.

그림 7은 계통전압이 3상일 경우 PLL알고리즘에 대한 시뮬레이션 결과이다. 그림 7(a)는 $t=0.025\text{ms}$ 에서 PLL알고리즘 적용 시 220V 선간전압 V_{ab} , d축전압, P제어기 출력 및 동기위상의 과도응답 특성을 보인 것이다. 식(8)과 (9)을 사용하여 3상 선간전압으로 d축 및 q축 전압을 계산하므로 APF를 사용하는 단상 PLL과 달리 이 두 전압계산 시 시간지연이 없다. 그리고

약 1.5주기 후에 P제어기 출력값이 0으로 수렴하면서 동기위상각이 d축 전압에 동기를 맞춘다. 그리고 그림 7(b)는 동기 후 3상 선간전압에 대한 d축 및 q축 전압 파형 및 동기 위상각의 파형을 보인 것이다.

4.2 실험결과

그림 8은 곱형 PLL기법을 사용 시 저역필터 차단주파수가 20Hz이고 이득이 150일 경우 계통전압, 동기신호, 궤환신호 및 저역필터 출력전압의 실험파형을 보인 것이다.

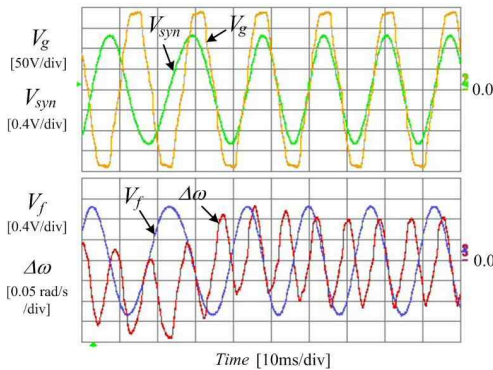
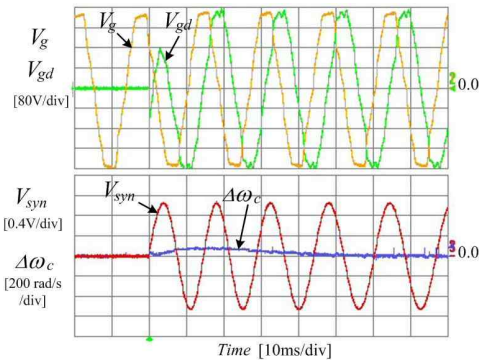


그림 8 곱형 PLL의 과도응답특성 실험결과
Fig. 8 Experimental results for transient responses of product-type PLL

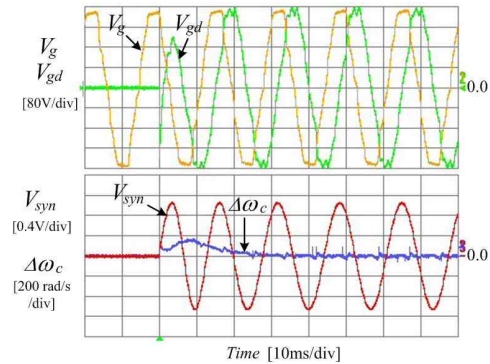
저역필터 출력을 보면 동기화 전 과도상태에서는 직류값과 함께 전원 주파수의 2배인 120Hz의 리플성분이 포함되어 있으며, 약 3주기 후에 동기화되면서 직류값만 0으로 수렴한다. 앞에서 언급한 것과 같이 저역필터에 의한 시간지연으로 동기화 수렴시간이 다소 길어지며 이 교류성분에 의하여 동기신호에 왜곡현상이 발생된다.

그림 9는 단상 PLL에서 비례이득 변화 시 실험결과를 보인 것이다. 그림 9(a)와 (b)는 각각 비례이득이 0.3과 0.6일 경우 계통전압, 위상지연 전압, P제어기 출력 및 동기신호의 과도응답 특성을 보인 것이다. 위상지연 전압은 APF의 시간지연 때문에 한 주기정도 과도상태를 거친 후 계통전압과 90° 위상지연의 정상파형으로 되었다. 비례이득이 0.3일 경우에는 동기신호가 약 3주기 후에 계통전압과 동기화 되었으며, 비례이득을 0.6으로 증가 시 동기화되는 기간이 약 1.5주기로 단축됨을 알 수 있다. 그림 9(c)는 그림 9(b)와 같은 상태에서 계통전압에 대해 동기신호가 동기화되는 과정을 정확하게 보기 위하여 계통전압과 동기신호를 같

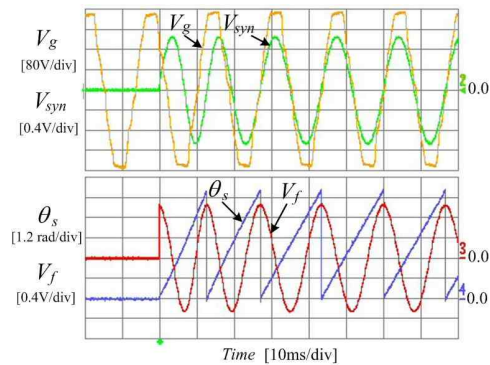
은 축으로 설정하였으며, 여기에 동기위상각 및 궤환 신호 파형도 보인 것이다.



(a) 비례이득 = 0.3일 경우



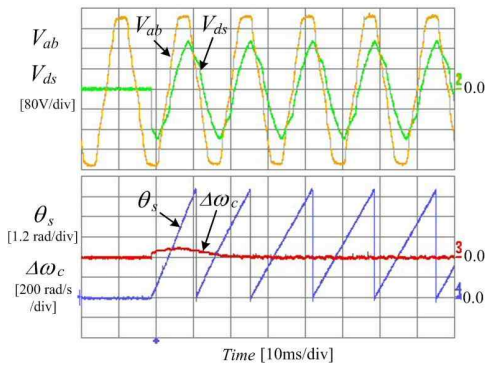
(b) 비례이득 = 0.6일 경우



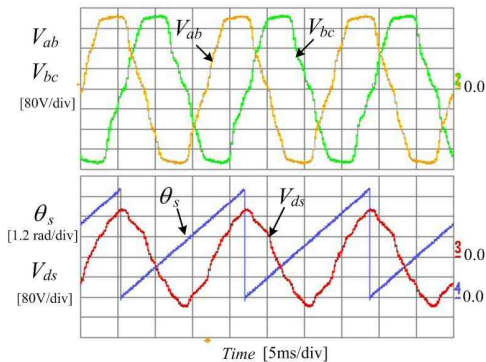
(c) 비례이득 = 0.6일 경우

그림 9 단상 PLL의 과도응답특성 실험결과
Fig. 9 Experimental results for transient responses of single-phase PLL

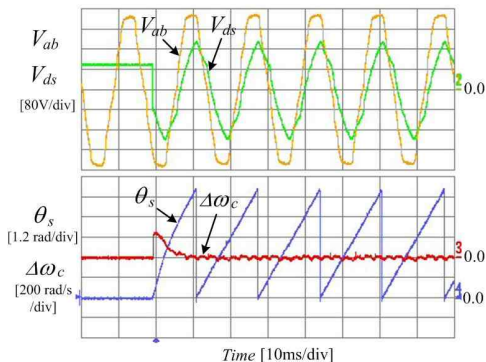
그림 10은 3상 PLL의 과도상태 및 정상상태의 실험결과를 보인 것이다. 그림 10(a)는 비례이득이 0.6일 경우 선간전압 V_{ab} , d축 전압, 동기위상각 및 P제어기 출력에 대한 실험결과이다.



(a) 과도상태 (비레이득 = 0.6 경우)



(b) 정상상태 (비레이득 = 0.6 경우)



(c) 과도상태 (비레이득 = 0.9 경우)

그림 10 3상 PLL의 실험결과
 Fig. 10 Experimental results of three-phase PLL algorithm

선간전압에 대하여 크기는 $1/\sqrt{3}$ 로 감소되고 30 위상지연되는 d축 전압에 동기위상각은 약 1.5주기 후에 동기화된다. 그림 10(b)는 PLL이 동기화된 후 정상 상태에서 두 상의 선간전압과 d축 전압 및 동기위상각 파형을 보인 것이다. 한편 그림 10(c)는 그림 10(a)에서 비레이득을 0.6에서 0.9로 증가 시 실험결과를 보인

것으로, P제어기 출력값이 증가하면서 동기화 되는 시간이 1주기 이내로 감소됨을 알 수 있다.

위의 실험결과를 보면 비레이득에 대한 각 파형의 과도응답 특성, 동기신호의 동기화 완료시간 등은 모두 시뮬레이션 결과와 거의 일치함을 알 수 있다. 특히 실험실의 교류계통전압 파형의 왜곡에 의하여 위상 지연 전압 및 d축 전압에도 왜곡이 발생되었다. 그런데 이 계통전압의 왜곡에도 불구하고 제시한 PLL 알고리즘을 사용한 동기신호 및 동기위상각의 계통전압 동기화에는 문제가 없음을 확인하였다.

5. 결 론

본 논문은 단상 및 3상 계통연계인버터에서 계통전압의 동기화에 많이 사용되고 있는 PLL시스템에서 루프필터와 PI제어기를 제거하여 안정도 및 과도 응답성을 향상시키는 PLL 알고리즘을 제시하였다. 이 PLL 알고리즘에서 PI제어기 대신 P제어기를 사용함에도 불구하고 PLL시스템의 안정성을 검증하고 정상상태 오차가 없음을 확인하였다. 시뮬레이션 및 실험을 통하여 계통전압이 단상 및 3상에 관계없이 1주기에서 1.5주기 이내에 동기화할 수 있음을 확인하였다. 이 PLL 기법은 계통연계인버터의 전력제어뿐만 아니라 무정전 장치 등에도 쉽게 적용할 수 있다.

본 연구는 2010년도 지식경제부의 재원으로 한국에너지기술평가원 (KETEP)의 지원을 받아 수행한 연구과제입니다. (No. 2010T100100465)

참 고 문 헌

- [1] F.Blaabjerg, R.Teodorescu, M.Liserre, and A.V.Timbus, "Overview of Control and Grid Synchronization for Disbuted Power Generation Systems", *IEEE Trans. Ind. Elect.*, Vol. 53, No. 5, pp.1398-1409, 2006, Oct.
- [2] F.M.Gardner, *Phase Lock Techniques*, New York : Wiley, 1979.
- [3] T.Timbus, M.Liserres, R.Teodorescu, and F.Blaabjerg, "Synchronization Methods for Three Phase Distributed Power Generation Systems, An Overview and Evaluation", *Conf Rec. of IEEE-PESC*, pp.2474-2481, 2005.
- [4] R.Y.Kim, S.Y. Choi, and I.Y.Suh, "Instantaneous Control of Average Power for Grid Tie Inverter Using

Phase D-Q Roatting Frame with ALL Pass Filter”, in *Proc. IEEE-IECON*, pp.274-279, 2004.

- [5] X.Yuan, W.Me, and J.Allmeling, "Stationary-Frame Generalized Integrators for Current Control of Active Power Filters With Zero Steady-State Error for Current Harmonics of Concern Under Unbalanced and Distorted Operation Conditions", *IEEE Trans. Ind. Appl.*, Vol. 38, No. 2, pp. 523-532, 2002, Mar./Apr.
- [6] R.I.Bojoi, G.Griva, V.Bostan, M.Guerriero, F.Farina, and F.Profumo, "Current Control Strategy for Power Conditioners Using Sinusoidal Signal Integrators in Synchronous Reference Frame", *IEEE Trans. Power Elect.*, Vol. 20, No. 6, pp. 1402-1412, 2005, Nov.
- [7] K. De Brabandere, T.Loix, K.Engelen, B.Bolsens, J. Keybus, J. Dresen, and R. Belmans, "Design and Operation of a Phase-Locked Loop with Kalman Estimator-Based Filter for Single-Phase Applications", in *Proc. IEEE-IECON*, pp. 525-530, 2006.
- [8] B.Yu, and L.Chang, "Improved Predictive Current Controlled PWM for Single-Phase Grid-Connected Voltage Source Inverter", in *Proc. IEEE-PESC*, pp. 231-236, 2005.
- [9] V.Suplin and U.Shaked, "Robust $H-\infty$ Control of Phase-Locked Loops with Polytopic type uncertainties", *Int. J. of Robust and Nonlinear Control*, pp. 305-314, 2001.
- [10] Y.S.Chou, Y.C.Chen, M.I.L.Mao, and F.R.Chang, "Loop Filter Design for Phase-Locked Loops with Delay: A Multi-Objective Control Approach", in *Proc. of the European Control Conference*, pp. 984-991, 2007.
- [11] 트란관빈, 전태원, 이흥희, 김흥근, 노의철, "단상 그리드 연결형 인버터의 동기화를 위한 PLL시스템 해석" *전력 전자학회 논문지*, 제13권, 제6호, pp. 447-452, 2008. 12.
- [12] M.Saitou and T.Shimizu, "Generalized Theory of Instantaneous Active and Reactive Powers in Single-Phase Circuits based on Hilbert Transform", *IEEE-PESC Conf Rec.*, pp. 1419-1424, 2002.

저 자 소 개



전태원(全泰園)

1959년 1월 30일생. 1981년 부산대 전기공학과 졸업. 1983년 서울대 대학원 전기공학과 졸업(석사). 1987년 동 대학원 전기공학과 졸업(공학박). 2005년~2006년 버지니아 공대 방문교수. 울산대 전기전자정보시스템공학부 교수. 당 학회 협력부회장.



이흥희(李弘熙)

1957년 10월 15일생. 1980년 서울대 공대 전기공학과 졸업. 1982년 동 대학원 전기공학과 졸업(석사). 1990년 동 대학원 전기공학과 졸업(공학박). 1994년~1995년 Texas A&M 방문교수. 현재 울산대 전기공학부 교수. 당 학회 협력부회장.



김흥근(金興根)

1956년 4월 24일생. 1980년 서울대 전기공학과 졸업. 1982년 동 대학원 전기공학과 졸업(석사). 1988년 동 대학원 전기공학과 졸업(공학박). 1990년~1991년 미국 Univ. of Wisconsin-Madison 방문교수. 2006년~2007년 미국 Michigan State University 방문교수. 경북대 IT대학 전기공학과 교수. 당 학회 감사 및 경상지부장.



노의철(盧義哲)

1960년 8월 2일생. 1984년 서울대 공대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1991년 동 대학원 졸업(공학박). 1997년~1998년 미국 Univ. of Wisconsin-Madison 방문교수. 2005년~2006년 미국 University of California-Irvine 방문교수. 1995년~현재 부경대 전기공학과 교수. 당 학회 편집위원장.