

디지털 고주파 기억 장치에서의 스퓨리어스 신호 저감 방법

A Method for Reduction of Spurious Signal in Digital RF Memory

강 종 진

Jong-Jin Kang

요 약

본 논문에서는 디지털 고주파 기억 장치(DRFM: Digital RF Memory)의 스퓨리어스 신호 저감 방법에 대하여 제안하였다. 스퓨리어스 특성은 디지털 고주파 기억 장치의 성능을 결정짓는 주요 요소이다. 제안한 방법은 입력되는 IF 신호에 랜덤 위상값을 가지는 LO 신호를 혼합하여 샘플링하여 스퓨리어스 신호를 저감하였으며, 랜덤 위상을 가지는 LO 신호는 직접 디지털 합성기(DDS: Direct Digital Synthesizer)의 고속 위상 제어 특성을 이용하여 생성하였다. 제안한 방법을 적용하여 5~10 dB의 스퓨리어스 특성이 향상됨을 확인하였다.

Abstract

In this paper, a method for reduction of spurious signal in Digital RF Memory(DRFM) is proposed. Spurious response is a major performance issue of DRFM. This method is based on mixing a random phase LO signal into input IF signal and sampling it. The random phase LO signal is generated by high speed phase shifting characteristic of Direct Digital Synthesizer(DDS). Through this technique, we achieved an enhancement of 5~10 dB of spurious response.

Key words : DRFM, Spurious, DDS, Electronic Attack, Electronic Warfare

I. 서 론

디지털 고주파 기억 장치(Digital RF Memory: DRFM)는 수신되는 위협 대상 레이더 신호를 디지털화하여 메모리에 저장하고, 특정 시간 후에 재 송신하거나(거리기만 재밍) 주파수를 변조하여(속도기만 재밍) 재 송신함으로써 적 레이더를 교란하는 전자 공격(EA: Electronic Attack) 장비의 핵심 기술이다^[1]. 현대의 레이더(radar) 및 추적기(seeker)들은 점차 전자 보호(EP: Electronic Protection) 기능을 보유하게 되어 표적 에코 신호의 성분(스푸리어스 등)을 분석하여 재밍 신호의 존재 여부를 판단하고 회피하는 기능을 보유하게 되었다. DRFM은 입력 신호를 디지털화하기 위한 양자화 과정에서 스퓨리어스 신호가

필연적으로 발생하게 된다. 그러므로 DRFM을 적용한 전자 공격 장비는 이러한 스퓨리어스 성분을 최소화하여야 재밍 성능을 높일 수 있다^{[1][2]}. 그러나 이러한 설계 및 응용 기술은 그 특수한 사용 목적으로 인해 널리 공개되지 않은 비익성 기술이기도 하다.

한편, 고속 디지털 회로 설계 기술의 발전으로 고속으로 정밀하게 주파수, 진폭 및 위상을 제어할 수 있고, 온도 등의 환경 영향을 거의 받지 않는 직접 디지털 합성기(DDS: Direct Digital Synthesizer)가 상용화 되었고, SDR(Software Defined Radio) 등의 응용 분야에 광범위하게 사용되고 있다.

본 논문에서는 DRFM으로 입력되는 IF 신호에 랜덤 위상값을 가지는 LO 신호를 혼합하여 샘플링함으로써 DRFM의 스퓨리어스 특성을 향상시키는 방

삼성탈레스 전자전연구소(EW R&D Center, Samsung Thales)

· 논문 번호 : 20110415-028

· 교신저자 : 강종진(e-mail : jongjin.kang@samsung.com)

· 수정완료일자 : 2011년 6월 27일

법을 제안한다. 랜덤 위상값을 가지는 LO 신호 발생에 고속 위상 제어가 가능하며, 구현이 용이한 DDS를 사용하였다.

II 장에서는 제안된 방법을 상세하게 설명하였고, III 장에서 실험 결과를 제시하였으며, IV 장에서 결론을 맺는다.

II. DRFM 설계 및 제작

DRFM의 일반적인 구조는 그림 1과 같으며, 입력되는 아날로그 신호를 저장하기 위한 샘플링 방법에 따라 amplitude encoding, quadrature encoding, phase encoding 방식이 있다^{[2]-[4]}.

종래에는 고속 동작을 위해 ADC(Analog to Digital Converter), DAC(Digital to Analog Converter) 및 메모리 등이 ASIC(Application Specific Integrated Circuit)으로 제작되었으나, 상용 기가-샘플링(giga-sampling)급 ADC, DAC 및 고속/대용량 FPGA(Field Programmable Gate Array) 등의 발달로 ASIC 제작없이도 저렴한 비용으로 고성능의 DRFM 제작이 가능하다. 특히 FPGA를 적용할 경우 펌웨어 수정이 원활하므로 DRFM 하드웨어 제작 및 재밍 기법 등의 개발을 효율적으로 수행할 수 있다^[5].

입력되는 아날로그 신호를 디지털화하기 위한 양자화 과정에서 ADC 해상도에 따라 그림 2와 같이 입력 신호의 주기 성분과 관계된 양자화 오차가 발생하게 되며, 그림 3(a)와 같이 스펙트럼상에서 스푸

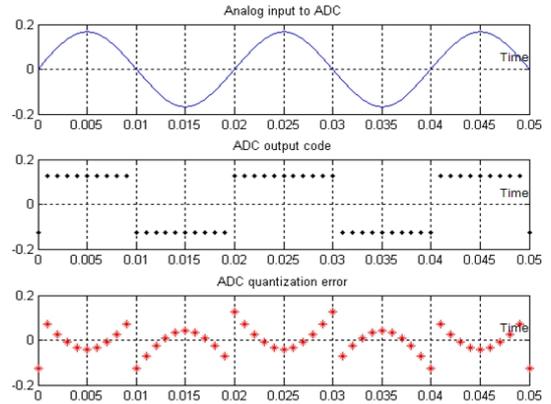


그림 2. ADC 양자화 오차
Fig. 2. ADC quantization error.

리어스 성분으로 나타내게 된다.

스푸리어스 성분을 저감시키는 방법으로 잘 알려진 디더링(dithering) 기법이 있으며, 이 기법은 양자화 전(前) 단계에서 입력 신호와 비상관인(uncorrelated) 소량의 랜덤 잡음을 추가하여 양자화하는 기법이다^[6]. 디더링 기법을 적용하는 경우, 그림 3(b)와 같이 잡음 레벨(noise floor)이 소량 상승하지만 스푸리어스 성분을 저감시킴으로써 ADC의 성능을 결정짓는 변수 중 하나인 SFDR(Spurious Free Dynamic Range)이 향상됨을 알 수 있다.

디더링 기법을 구현하기 위하여 샘플링 클럭에 지터(jitter)를 인가하거나^[7] 입력 신호에 노이즈를 인가하여^[8] 스푸리어스 성분을 저감시키는 방법이 소개되었으나, 이의 구현을 위해서는 지터/노이즈 발생 및 조절을 위한 추가적인 회로가 필요하며, 적절한 양의 신호를 인가하는 것이 쉽지 않다.

본 연구에서는 DRFM으로 입력되는 IF 신호와 랜덤 위상값(random phase)을 가지는 LO 신호를 혼합한 후 기저 대역으로 변환하여 샘플링 함으로써 DRFM 출력 신호의 스푸리어스 성분을 저감시키는 방법을 제안한다. 임의의 위상을 가지는 신호 발생을 위하여 디지털 위상 변위기(digital phase shifter)를 사용할 수 있으나, 별도의 모듈을 장착하여야 하므로 부피가 커지고 하드웨어 제작에 제약이 따른다. 따라서 본 연구에서는 구현이 간단하고 소형/경량화에 유리하며, 출력 신호의 주파수 및 위상을 고속으로 정밀하게 제어 가능한 DDS를 적용하였다.

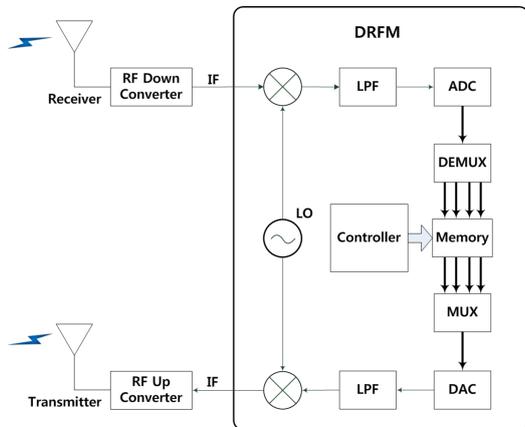


그림 1. 일반적인 DRFM 블럭도
Fig. 1. Block diagram of typical DRFM.

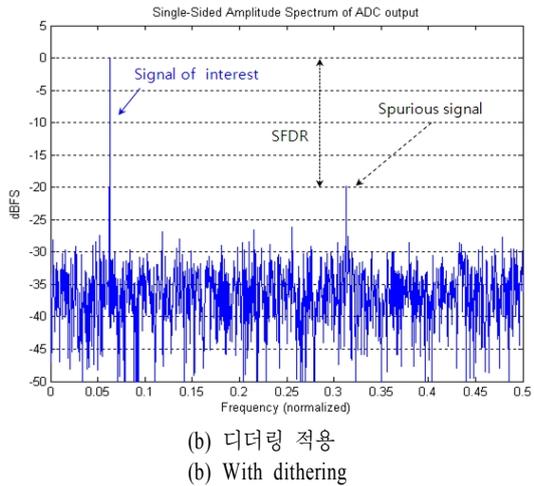
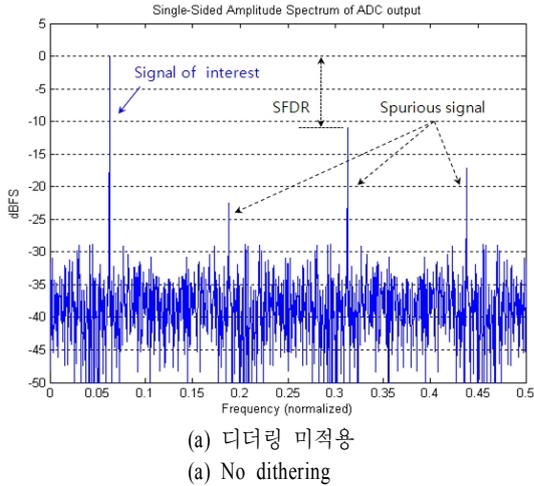


그림 3. 양자화된 신호의 스펙트럼
Fig. 3. Spectrum of quantized signal.

DDS는 주파수 및 위상 동조된 RF 출력을 발생하기 위하여 디지털 신호 처리 기법을 사용하며, phase accumulator와 phase to amplitude converter(lookup table) 및 고속 DAC로 구성된다^[9]. DDS는 출력 신호의 주파수를 1 μ Hz 이하의 해상도로 조절이 가능하며, 위상을 0.1도 이하로 정밀하게 제어 가능하다. 또한 아날로그 합성기(PLL+VCO)에 비하여 오버/언더슈트가 거의 없고, 출력주파수 및 위상을 수백 ns 단위로 고속 변경이 가능하다.

근래의 상용 DDS는 출력 신호의 위상값을 고속으로 제어할 수 있는 디지털 입력 포트를 가지고 있으며, FPGA 등으로 랜덤 시퀀스(sequence)를 생성하

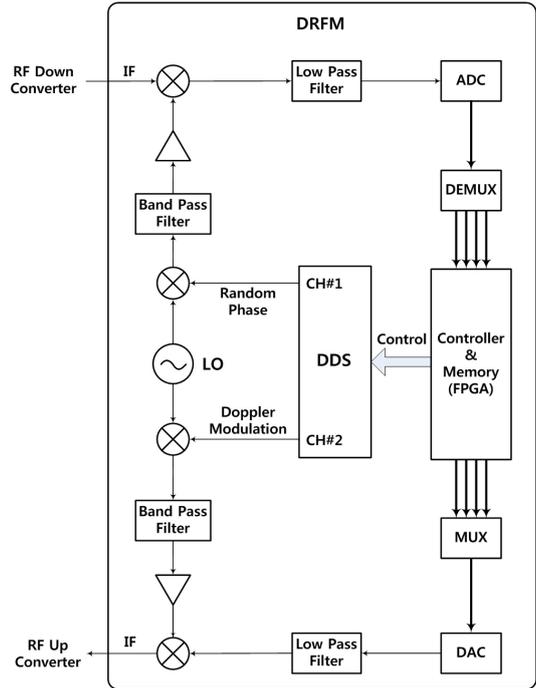


그림 4. 제안된 DRFM 블록도
Fig. 4. Block diagram of proposed DRFM.

고, 이를 이용하여 DDS의 위상을 고속으로 변경할 수 있다.

그림 4는 본 논문에서 제안하는 DRFM의 블록도이다. 제안된 방법에서는 독립적인 주파수 및 위상 제어가 가능한 2개 이상의 출력을 가지는 DDS를 사용하였으며, Analog Devices사의 AD9959 DDS를 적용하였다. 사용된 DDS는 360° 범위에서 14 bit의 위상 제어 해상도를 가지므로 약 0.022° 단위로 정밀한 위상 제어가 가능하다.

DDS의 CH1 출력은 스푸리어스 신호 저감을 위한 LO 신호의 랜덤 위상 변조용 채널이다. DDS의 CH2 출력은 부가적으로 속도기만 재밍(velocity deception jamming) 기법을 적용하기 위해 DRFM 출력 신호에 도플러 오프셋을 인가하기 위한 채널이다. DDS의 CH2 주파수를 적절히 조절함으로써 VGPO/I(Velocity Gate Pull Off/In) 재밍 기법을 구현할 수 있으며, 주파수를 랜덤으로 변경할 경우 VFT(Velocity False Target) 재밍 기법^[10]을 구현할 수 있다. 제안된 방법을 적용할 경우, 랜덤 위상을 가지는 LO 신호 발생 및 속도기만 재밍 기법을 하나의 DDS를 사용하

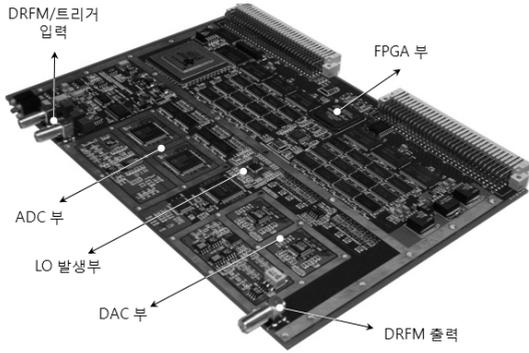


그림 5. 제작된 DRFM 하드웨어
Fig. 5. Designed DRFM hardware.

여 간단히 구현할 수 있고, 제어가 간단하며 부피 및 무게를 줄일 수 있다.

DRFM의 제어부는 고속 동작이 가능한 FPGA(EP-3SL70)를 적용하였다. 근래의 FPGA에는 내부에 대용량의 메모리를 갖추고 있어 별도의 외부 메모리 없이도 DRFM의 구성이 가능하다. FPGA의 내부 메모리를 사용하는 경우 고속 동작 및 제어가 용이한 장점이 있다.

그림 5는 제작된 DRFM 하드웨어이다. VME 6U 타입의 다층(10층) 레이어로 구성된 FR4 기판을 적용하였으며, 상용 ADC(ADC10D1500), DAC(AD9734), FPGA(EP3SL70), DDS(AD9959) 등을 사용하였고, 샘플링 방법은 amplitude encoding 방식을 적용하였다.

III. 실험 결과

그림 6은 스퓨리어스 특성 실험 구성도이다. 레이더 신호의 발생을 위하여 정밀한 펄스 발생이 가능

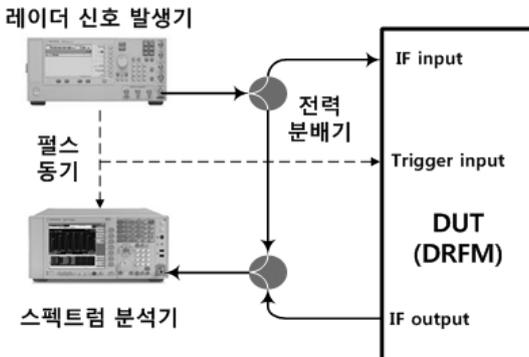


그림 6. 스퓨리어스 특성 실험 구성도
Fig. 6. Test setup for spurious response.

표 1. 실험 조건

Table 1. Test condition.

항목	조건
샘플링 클럭	1.25 GHz
입력 신호 주파수	78.125 MHz 외 13개
신호대 잡음비	50 dB
ADC 양자화 비트 수	10
랜덤 위상 변조 범위	$\pm 5^\circ$

한 벡터 신호 발생기(Agilent E8267D)를 사용하였으며, 스펙트럼 분석기(Agilent E4446A)를 사용하여 DRFM의 스퓨리어스 특성을 확인하였다.

표 1은 제안한 방법을 적용한 스퓨리어스 신호 저감 기법에 대한 실험 조건이다. 비교를 위하여 고정 위상을 가지는 LO 신호를 적용한 경우와 비교하였다.

그림 7은 고정 위상 LO 신호를 적용하여 샘플링한 경우의 스퓨리어스 특성이다. 입력 신호의 주파수는 샘플링 클럭의 1/16에 해당하는 78.125 MHz이며, 입력 신호의 3, 5, 7배에 해당하는 주파수에서 입력 신호 대비 각각 -39.48 dBc, -30.9 dBc, -31.75 dBc 크기의 스퓨리어스 신호가 발생되었다.

그림 8은 랜덤 위상을 적용한 실험 결과이다. 랜덤 위상을 적용함으로써 잡음 레벨(noise floor)이 소량 상승하였으나, 고정 위상을 적용한 경우보다 약 8

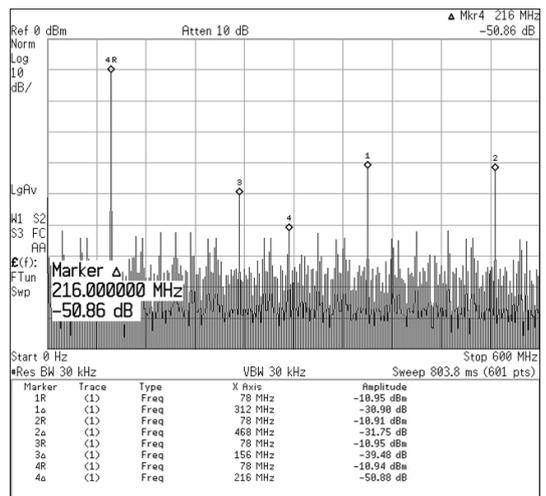


그림 7. 고정 위상 적용 스퓨리어스 특성(입력 신호 주파수=78.125 MHz)

Fig. 7. Spurious response with fixed phase(Input signal frequency=78.125 MHz).

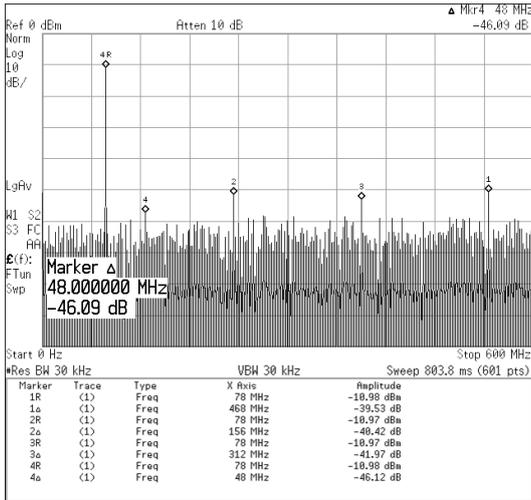


그림 8. 랜덤 위상 적용 스퓨리어스 특성(입력 신호 주파수=78.125 MHz)

Fig. 8. Spurious response with random phase(Input signal frequency=78.125 MHz).

표 2. 스퓨리어스 특성 실험 결과
Table 2. Test result of spurious response.

주파수 (MHz)	스푸리어스 최대값(dBc)		개선량 (dB)
	고정 위상	랜덤 위상	
78.1250	-30.90	-39.53	8.63
117.1875	-34.60	-39.86	5.26
156.2500	-27.65	-34.03	6.38
195.3125	-33.81	-39.92	6.11
234.3750	-30.52	-38.84	8.32
273.4375	-34.91	-39.48	4.57
312.5000	-40.26	-46.20	5.94
351.5625	-33.42	-40.65	7.23
390.6250	-30.61	-40.23	9.62
429.6875	-33.23	-38.66	5.43
468.7500	-29.32	-35.82	6.50
507.8125	-34.15	-41.24	7.09
546.8750	-31.50	-40.00	8.50
585.9375	-33.45	-38.58	5.13

dB 이상의 스퓨리어스 신호가 감쇄됨을 알 수 있다.

표 2는 입력 신호의 주파수를 나이퀴스트(Nyquist) 범위 내에서 변경해 가며 스퓨리어스 특성을 실험한 결과이다. 실험 결과로부터 입력 신호의 주파수에 따라 약 5~10 dB 정도의 스퓨리어스 특성이

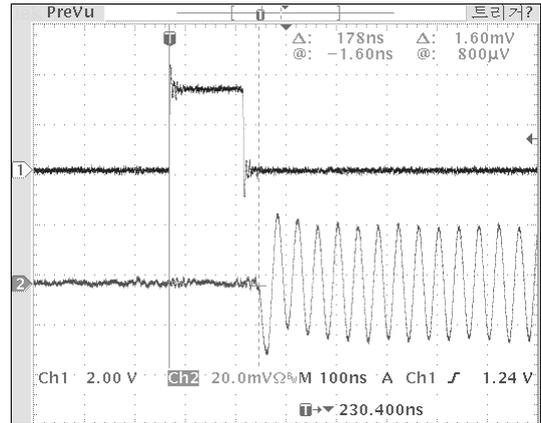


그림 9. DDS 주파수 천이 시간
Fig. 9. Frequency transition time of the DDS.

향상됨을 확인하였다.

랜덤 위상 변조 범위를 $\pm 1^\circ \sim \pm 15^\circ$ 로 변경해 가며 측정해 본 결과, $\pm 5^\circ$ 로 설정한 경우, 스퓨리어스 저감 성능이 가장 좋았다. 실험 결과로부터, 적용되는 ADC의 성능(해상도)에 따른 양자화 오차의 크기를 고려하여 위상 변조 범위를 적절히 조절할 필요가 있음을 알 수 있다. 제안한 방법의 경우 랜덤 위상의 변조 범위를 디지털 제어를 통하여 간단하게 변경이 가능한 장점이 있다.

그림 9는 DDS의 고속 랜덤 위상 신호 발생이 가능함을 확인하기 위하여 DDS의 출력 제어 시간을 측정된 그림이다. 제어 트리거가 인가된 시점으로부터 약 170 ns 이후 출력이 변경됨을 알 수 있다. DDS의 위상 제어 속도는 랜덤 위상의 대역폭을 결정짓는 요소이며, 스퓨리어스 성능에 영향을 미치는 변수가 된다.

IV. 결 론

본 논문에서는 DRFM으로 입력되는 IF 신호와 랜덤 위상값을 가지는 LO 신호를 혼합하여 샘플링함으로써 DRFM의 스퓨리어스 특성을 향상시키는 방법을 제안하였다. 랜덤 위상값을 가지는 LO 신호 생성에 고속으로 정밀한 위상 제어가 가능한 DDS를 사용하였다. 실험 결과를 바탕으로 제안된 방법을 적용한 경우, 약 5~10 dB 정도의 스퓨리어스 특성이 향상됨을 확인하였다.

제안된 방법은 DRFM의 입·출력 IF 신호에 적용되는 방법으로써 샘플링 방법과 무관하게 적용이 가능하므로 DRFM 설계 및 제작에 광범위하게 응용될 수 있을 것이다.

참 고 문 헌

[1] Filippo Neri, *Introduction to Electronic Defense System*, Artech House Inc., 2001.

[2] Phillip E. Pace, *Advanced Techniques for Digital Receivers*, Artech House Inc., 2000.

[3] D. Curtis Schleher, *Electronic Warfare in the Information Age*, Artech House Inc., 1999.

[4] 김재준, 이종필, 최창민, 임중수, "디지털 고주파 기억 장치 설계", 한국콘텐츠학회 춘계종합학술대회 논문집, 2(1), pp. 372-376, 2004년.

[5] Zongbo Wang, Meiguo Gao, Yunjie Li, Haiqing Jiang, and Sunguo Ying, "The hardware platform

design for DRFM system", *ICSP 2008, 9th International Conference on Signal Processing*, pp. 426-430, Oct. 2008.

[6] Richard Lyons, Randy Yates, "Reducing ADC quantization noise", *Technical note on Microwaves & RF Online*, <http://www.mwrf.com>, 2005.

[7] D. Gold, H. Ur, "Method for reduction of harmonics, caused by coarse quantization, suitable for digital RF memory", *IEEE Electronics Letters*, vol. 29, no 4, pp. 411-412, Feb. 1993.

[8] Application Note, *Dithering in Analog-to-Digital Conversion*, e2v Semiconductors, 2007.

[9] Technical Note, *A Technical Tutorial on Digital Signal Synthesis*, Analog Devices Inc., 1999.

[10] 이일근, 박동철, 유태선, 명로훈, 임중수, 조용희, 강희창, 레이더 공학과 전자전 응용, 대영사, 2006년.

강 종 진



선임연구원

[주 관심분야] 디지털신호처리, 전자전

2003년 2월: 동명대학교 정보통신 공학과 (공학사)

2005년 2월: 동명대학교 정보통신 공학과 (공학석사)

2005년 3월~2007년 12월: (주)정우이엔지 연구원

2008년 1월~현재: 삼성탈레스(주)