

---

# 아날로그메모리를 이용한 플래쉬 ADC

채용웅\*

Development of a Flash ADC with an Analog Memory

Yong-Yoong Chai\*

## 요 약

본 논문에서는 일반적인 플래쉬 ADC에서 저항열을 이용하여 기준전압을 생성한 것과는 달리, 부유게이트를 이용하여 기준전압을 생성한다. 제안된 플래쉬 ADC를 포함하는 파이프라인 ADC에서 행위모델 시뮬레이션을 수행했을 때 생성된 상기 플래쉬 ADC를 포함하는 파이프라인 ADC의 SNR은 약 77 dB, 해상도는 12 bit이고, 90 % 이상이  $\pm 0.5$  LSB 이내의 INL을 보여주고 있으며, INL과 마찬가지로 90 % 이상이  $\pm 0.5$  LSB 이내의 DNL 결과를 보였다.

## ABSTRACT

In this article, reference voltages in a general flash ADC are not obtained from a series of resistors but floating gates. When a behavior model simulation was performed in a pipelined ADC including the suggested flash ADC as a result of an ADC's overall function, it showed results that SNR is approximately 77 dB and resolution is 12 bit. And more than almost 90% showed INL within  $\pm 0.5$  LSB, and like INL, more than 90% showed DNL within  $\pm 0.5$  LSB.

## 키워드

keyword, Analog Memory, ADC, resistor array, floating gate, flash memory  
아날로그메모리, 아날로그 디지털 변환기, 저항열, 부유게이트, 플래쉬메모리

## 1. 서 론

플래쉬 ADC(analog digital converter)[1]~[4]는 변환기의 구조 중 가장 간단하며 동작속도는 가장 빠른 구조이다. 플래쉬 ADC는 저항열, 비교기열 및 인코더로 구성되어 있으며 N비트의 해상도를 가지기 위해  $2N$ 개의 저항과  $2N-1$ 개의 비교기가 필요하다. 플래쉬 ADC는 아날로그 입력 신호를 받아들여 디지털 출력

신호로 변환하는데 한 클럭의 주기가 걸리기 때문에 동작 속도가 매우 빠르다.

이번 연구에서 제안한 새로운 플래쉬 ADC는 일반적인 저항 어레이 대신 부유게이트(Floating-Gate)를 이용한 기준전압 생성기를 사용한다. 이렇게 제안한 플래쉬 ADC를 사용하게 되면 칩 면적이 현저히 줄게 되어 칩의 면적을 줄일 수 있을 뿐만 아니라, 저항의 에러 성분이 사라지기 때문에 정밀한 기준 전압을 얻

---

\* 계명대학교 전자공학과(yychai@kmu.ac.kr)

접수일자 : 2011. 06. 27

심사(수정)일자 : 2011. 08. 03

게재확정일자 : 2011. 08. 12

을 수 있게 된다.

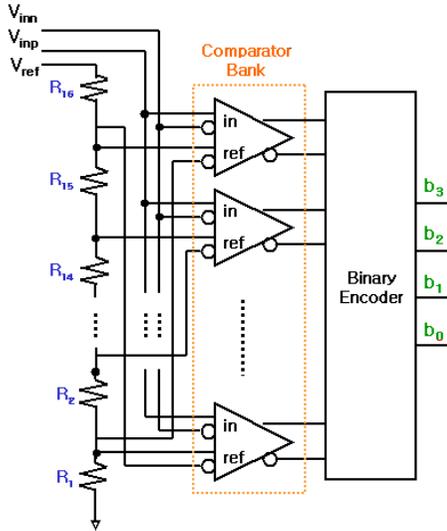


그림 1. 4 비트 플래쉬 ADC의 구조  
Fig. 1 A structure of 4 bit Flash ADC

## II. 플래쉬 ADC

플래쉬 ADC는 그림 1에서와 같이 아날로그 입력 신호가 비교기의 한 쪽 입력에 인가되고 기준 전압이 저항열에 인가된다. 저항열에 의해 생성된 기준 전압들은 비교기의 나머지 입력에 인가되어 각 비교기에서 입력신호가 기준전압보다 크면 HIGH, 작으면 LOW를 출력한다. 따라서 비교기에서 나오는 디지털 신호는 온도계 코드(thermometer code) 형태를 나타낸다. 온도계 코드 형태의 출력을 인코딩을 쉽게 하기 위해 온도계 코드 검출기를 통해 여러 출력 중 하나의 코드를 HIGH로 바꾸며 이 회로는 여러 가지 구조로 구현이 가능하다. 플래쉬 ADC는 저항열로 인해 면적 및 전력소모 측면에서 단점을 지니게 되며 해상도가 높아질수록 비교기 수가  $2N$ 의 지수함수로 증가하여 사실상 8 bit 이상의 해상도를 필요로 하는 ADC에는 사용하기 어렵다[5][6].

설계하고자 하는 12 bit 파이프라인 ADC는 4개의 스테이지에서 각 스테이지마다 4 bit의 디지털 출력이 나와야 한다. 따라서 플래쉬 ADC는 4 bit의 해상도를

가지면 된다. 즉 플래쉬 ADC는 저항 24개, 16개와 비교기 24-1개, 15개가 필요하다.

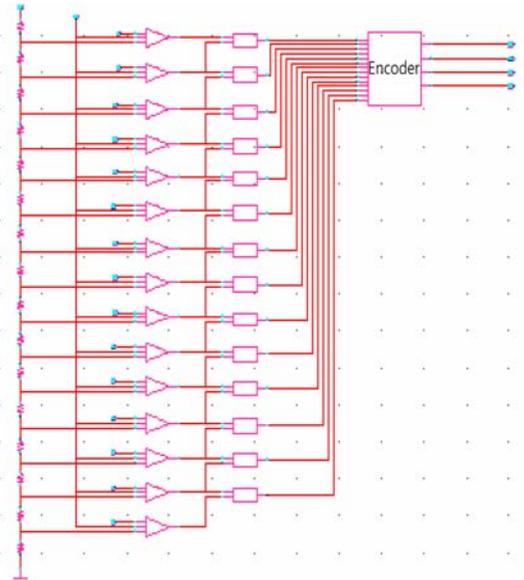


그림 2. 4 비트 플래쉬 ADC  
Fig. 2 4 bit Flash ADC

4 bit 플래쉬 ADC의 구조를 그림 2가 보여주고 있다. 각 비교기는 입력 신호가 기준전압에 비해 적으면 LOW 높으면 HIGH를 출력하기 때문에 플래쉬 ADC의 출력은 입력 신호보다 작은 기준전압을 받아들이는 비교기까지는 모든 출력을 HIGH로 출력하는 온도계 코드 형태를 나타낸다. 인코더를 쉽게 하기 위해 비교기의 출력 중 1 bit만을 HIGH로 만들어 주어야 한다. 따라서 XOR를 사용하여 비교기의 모든 출력 중 1 bit만을 HIGH로 만들어 준 후 인코딩하였다.

온도계 코드로 출력되는 비교기의 출력 중 단 1 bit만을 HIGH로 만들어 주므로 다음 단의 인코더 회로에서 보다 쉽게 신호를 인코딩 할 수 있게 해준다. 그림 3에서 보여주는 인코더 회로는 아날로그 입력신호를 비교기와 XOR에서 처리한 후 최종적으로 4 bit의 디지털 출력 신호를 생성하게 된다. 그러므로 각 스테이지의 플래쉬 ADC는 각각 4 bit의 디지털 신호를 출력하게 된다.

인코더회로는 디지털 입력 신호 15bit를 인코딩하여 4 bit의 디지털 출력 신호를 만든다. 첫 번째 스테

이전의 플래쉬 ADC에서 만들어진 4 bit의 디지털 출력은 MSBs이며 마지막 스테이지의 플래쉬 ADC에서 만들어진 4 bit의 디지털 출력은 LSB(least significant bit)이다.

그림 3은  $V_{DD} = 3V$ ,  $V_{SS} = 0V$ 를 인가하고 50KHz sine과 신호를 입력하였을 때의 플래쉬 ADC의 출력 신호를 보여준다. 기준전압은 3V로 인가하여 저항열에 의해 기준전압들이 생성되며 입력의 변화에 따라 생성된 기준전압들에 대응하는 디지털 신호인 b2, b3, b2, b1, b0 bit가 출력되는 것을 볼 수 있다.

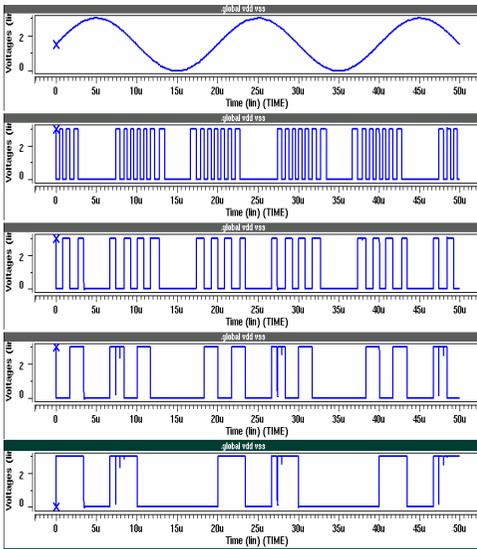


그림 3. 플래쉬 ADC의 출력 신호  
Fig. 3 Output signal of flash ADC

### III. 제안된 플래쉬 ADC의 구조

플래쉬 ADC는 개념적으로 간단하고 실제 가장 빠른 동작 속도를 가지고 있다. 저항열, 비교기 및 인코더로 구성되어지며 아날로그 입력 신호를 디지털 출력 신호로 변환시키는데 한 클럭 주기만을 필요로 하므로 가장 빠른 동작 속도를 나타낸다. 플래쉬 ADC는 저항을 사용하므로 수동소자의 부정합이 변환에 오차를 발생시킨다.

그림 4는 새롭게 제안된 플래쉬 ADC의 구조를 보여주고 있다. 기존의 플래쉬 ADC(그림 1)에 사용되었

던 저항열 대신 아날로그 메모리를 이용하여 기준전압을 생성하고 있다. 저항은 칩 구형에 있어서 너무 큰 면적을 차지하게 되며 공정상의 오차로 인해 정확한 기준전압을 생성하지 못한다. 또한 저항을 통해 흐르는 DC전류로 인하여 많은 전력소모를 가져 오게 된다. 따라서 칩면적이 계속 작아지고 있는 현재의 추세로 본다면 아날로그 메모리를 이용하여 칩면적을 저항보다 월등히 작게 제작 할 수 있다. 그러므로 아날로그 메모리를 이용하여 기준전압을 생성한다면 저항보다 정확한 기준전압을 생성할 수 있으며 전력소모 또한 저항열을 이용하였을 때 보다 월등히 줄어든다.

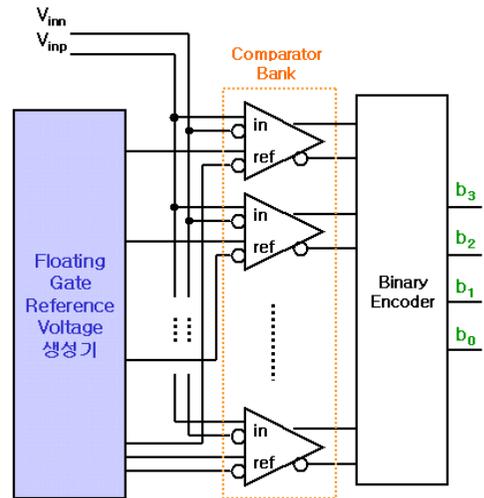


그림 4. 부유게이트를 이용한 Flash ADC의 구조  
Fig. 4 A structure of flash ADC using floating gate

### IV. 아날로그 메모리

아날로그 메모리는 폴리실리콘으로 구성된 부유게이트에 전하량을 조절하는 비휘성 메모리이다. 디지털 메모리의 경우 0, 1로 즉 Low, High 인 두개의 값만을 저장할 수 밖에 없지만 아날로그 메모리의 경우 전하량에 따라 무수한 값을 저장할 수 있으므로 집적도를 높일 수 있다. 그러므로 아날로그 메모리가 집적회로에 유용하게 쓰인다[7]~[8].

본 고에서 설계에 사용하고자 하는 메모리는 기존

의 EEPROM의 문제점, 즉 얇은 SiO<sub>2</sub> 층을 위한 멀티 실리콘 공정으로 인한 낮은 수율과 높은 단가 등을 극복하기 위해서 표준 CMOS 공정에서 제작 가능한 싱글폴리 EEPROM이다. 이 싱글폴리 EEPROM은 R. McParland 에 의해 제안되었다.

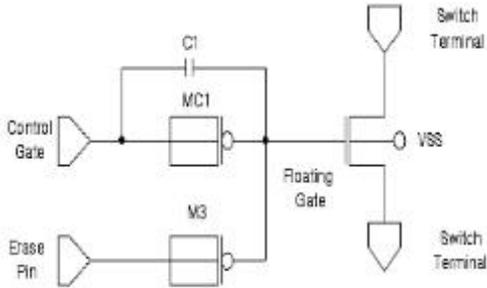


그림 5. 소거 게이트를 포함한 싱글폴리 EEPROM  
Fig. 5 A single poly EEPROM with erasing gate

상기 그림에서 nfet, pfet1 과 pfet2 로 구성된 부유 게이트의 전자량에 의해 정보가 저장된다. 메모리 셀의 동작은 쓰기동작, 소거동작, 읽기동작으로 구분된다. 쓰기동작시 Hot-Electron 인젝션 방식으로 컨트롤 게이트(c\_gate)에 전압을 인가한 후 드레인에 고전압을 인가했을 때 소스 전극에서 드레인 전극으로 이동하는 전자가 채널의 포화영역에서 강한 전계로 인해 가속되어 높은 운동 에너지를 갖게 된다. 그러면 부유 게이트의 전자수가 증가하며 트랜지스터의 문턱전압이 상승한다. 소거동작시 Fowler-Nordheim 방식으로 소거게이트(e\_gate)에 전압을 인가하고 난 후 나머지 게이트는 접지시킨다. 그러면 부유게이트의 전자수가 감소하게 되며 문턱전압을 낮아지게 된다. Fowler-Nordheim 방식은 Fowler와 Nordheim에 의해 밝혀진 물리적 현상으로 전극 사이 산화막에 고전계가 인가된 경우 터널링 전류가 전계에 대해 지수함수적으로 증가하는 현상을 말한다. 읽기동작은 쓰기동작이나 소거동작이 끝났을 때 부유게이트에 남아있는 전자량, 즉 전압을 읽기 위한 동작이다. 기본적인 쓰기동작과 소거동작이 끝나면 외부에서 인가되는 높은 전압이 제거 되고 부유게이트에 저장된 전자는 SiO<sub>2</sub>의 높은 에너지 장벽에 갇히게 된다. 만약 외부 전원이 제거가 되더라도 부유게이트의 전자가 여전히 잔

류하여 정보를 저장한다. 그러므로 싱글폴리 EEPROM은 비휘성 특성을 가진 메모리로 정의된다.

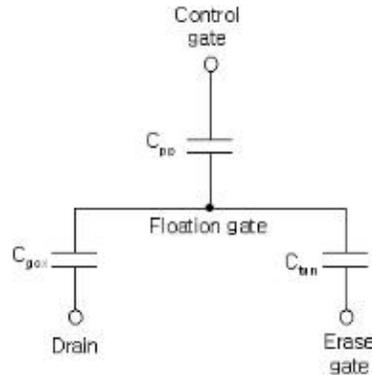


그림 6. EEPROM의 등가회로  
Fig. 6 An equivalent circuit of EEPROM

상기 그림은 그림 5의 등가회로를 보여준다. 회로에서 C<sub>pp</sub>, C<sub>gox</sub>, C<sub>tun</sub>은 부유게이트와 각 MOS 디바이스 채널 사이의 커패시터 용량이다. EEPROM의 등가회로에서 계산된 식 (1)과 (2)는 각각 프로그램시의 커플링 비와 소거시의 커플링 비를 나타낸다. 커플링 비가 클수록 프로그램하거나 소거시 전기장의 영향이 증가하므로 C<sub>pp</sub>는 커야하고 C<sub>tun</sub>은 작아야 한다. 이러한 효과를 위해 그림 6의 커패시터 C<sub>1</sub>을 싱글폴리 EEPROM 회로에 추가시켰다.

$$Kw = \frac{C_{pp}}{C_{pp} + C_{gox} + C_{tun}} \quad (1)$$

$$Ke = 1 - \frac{C_{tun}}{C_{pp} + C_{gox} + C_{tun}} \quad (2)$$

표 1에서는 셀의 쓰기 동작, 소거 동작, 읽기 동작에 필요한 전압을 보여주고 있다. 이와 같은 프로그래밍 전압은 하이닉스 0.35um 표준 CMOS 공정에 의해 결정되는 전압값이다. 여기에서 프로그래밍 전압은 공정에 따라 달라 질 수 있다.

표 1. 아날로그 메모리의 동작전압(단위:V)  
 Tabel 1. Operating voltage of analog memory

	소스	드레인	Gate	E_gate	Test
Erase	0	0	0	8~10	부유
Prog	0	2	2~5.5	0	부유
Read	0	출력	1.8	0	1.5

현재까지의 아날로그 메모리는 더블폴리 EEPROM을 이용한 연구가 주로 이루고 있다. 왜냐하면 싱글폴리 EEPROM은 프로그램시와 소거시에 사용되는 메카니즘이 다르고 사용되는 전압 또한 다르기 때문에 실제 메모리로 동작시키기 위해서는 많은 어려움이 있기 때문이다. 하지만 비용면이나 수율면 등이 더블폴리 EEPROM보다는 싱글폴리 EEPROM이 뛰어나다. 그러므로 싱글폴리 EEPROM을 이용하면 보다 많은 장점을 지니게 된다.

이러한 싱글폴리 EEPROM에 일정한 전하, 즉 전압을 인가하기 위하여 프로그래밍을 할 수 있는 회로를 필요로 한다. 이 시스템은 피드백으로 설계를 하여야 한다. 피드백을 통한 시스템은 프로그래밍 하고자 하는 전압을 정확하게 만들어 낼 수 있다.

### V. 파이프라인 아날로그-디지털 변환기의 행위 시뮬레이션

#### 5.1. C 언어를 이용한 행위모델 모의실험프로그램

ADC 시스템의 동작 여부, 선형성 등을 예측하기 위해 ADC의 성능에 영향을 줄 수 있는 모든 오류 성분을 고려하여 행위 모델 모의실험을 수행하였다.

모의 실험 응용 프로그램을 생성하기 위해 사용한 프로그램 언어는 'C언어'이며, 개발된 프로그램은 입력으로 ADC의 기본 사양, 즉 스테이지의 수, 스테이지 당 출력 bit 수, 여러 어프셋이나 에러 성분, 입력 신호 주파수, 샘플링 주파수 등이 적힌 파일을 입력으로 받아 ADC의 성능에 대한 결과로 몇 개의 파일을 생성한다. 먼저 ADC의 전체 성능을 간략하게 정리한 파일을 생성하는데 이 파일에는 사용자가 파일로 입력한 ADC의 사양, 해상도, INL/DNL(Integral/Differential Non-linearity)의 최대 값, SNDR(Signal

to Noise and Distortion Ratio), SNR(Signal to Noise Ratio) 등의 정보가 담긴다. 또 다른 생성 파일은 시뮬레이션을 수행한 ADC의 INL/DNL, fft (Fast Fourier Transform) 시뮬레이션 결과를 각각 배열 형태로 저장한 텍스트 파일이다.

모의실험 프로그램의 순서는 다음과 같다. 먼저 원하는 분석 형태-INL/DNL 또는 FFT가 선택되고, 입력 파일에서 주어진 여러 에러 성분을 변수에 담고, 거기에 랜덤값을 고려하여 성분의 부정합을 생성한다. 스테이지 수를 고려해서 어프셋 에러와 코드 에러 값을 얻고 난 다음, 분석 형태에 따라 입력 신호를 넣게 된다. INL/DNL을 얻고자 한다면 선형신호를, FFT 시뮬레이션을 하려면 사인파를 입력으로 한다.

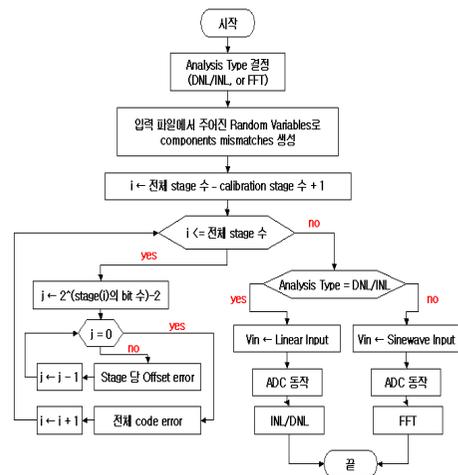


그림 7. 행위 시뮬레이션 프로그램 흐름도  
 Fig. 7 A flowchart of behavioral simulation program

이제 입력에 따라 ADC 동작을 수행하게 되고, 원하는 ADC의 성능에 대한 정보를 담은 파일을 생성한 후 프로그램을 종료한다. 그림 7에 이 순서의 흐름을 나타내었다.

#### 5.2. 행위 시뮬레이션 조건

그림 8은 설계하고자 하는 파이프라인 ADC로서, 본 구조를 갖는 ADC의 성능을 알아보기 위해서 행위 시뮬레이션을 수행하였다. ADC의 기대 성능은 12-bit 수준에서 DNL 및 INL의 기본 목표가 ±0.5LSB라고 가정하였다. 입력된 시뮬레이션 조건은 표 2와 같다.

그림에서 4-bit A/D가 제안된 플레쉬의 구조를 갖는다.

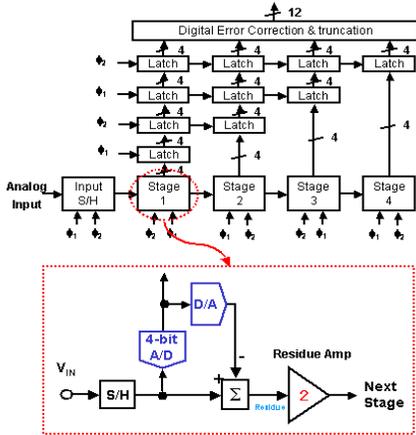


그림 8. 행위 시뮬레이션을 수행한 ADC의 구조  
Fig. 8 A structure of ADC using behavioral simulation

5.3. 행위 시뮬레이션 결과

표3은 위의 조건으로 행위모델 시뮬레이션을 수행했을 때 생성된 ADC 전체 성능의 결과를 간단하게 요약한 파일의 내용이다. SNR 약 77 dB, 해상도 12 bit으로 원하는 결과가 얻어 졌음을 알 수 있다.

응용 프로그램을 통해 생성된 INL, DNL, fft 결과 파일들은 정보를 텍스트 형태로 담고 있다. 분석을 쉽게 할 수 있도록 이 파일들을 MatLab에서 loading 하여 그래픽 형태의 결과를 얻었다.

표 2. 행위 시뮬레이션 조건  
Table 2. A condition of behavioral simulation

- Number of stage : 4 stages
- Number of Bits per stage : 4 bits
- capacitor mismatch : 0.1 %
- resistor mismatch : 1 %
- Operational Amplifier offset : 10 mV
- FeedThrough voltage per stage : -200 mV
- FeedThrough variation per stage : 20 %
- Operational Amplifier input parasitic capacitance : 5 pF
- Input Frequency : 9 MHz
- Sampling Frequency : 70 MHz

표 3. 행위 시뮬레이션 후 생성된 출력파일  
Table 3. Output file of behavioral simulation

```

*** Simulation Results ***
Resolution = 12.000000 bit
Maximum DNL = 0.600061
Maximum INL = 0.639001

Signal to noise ratio = 77.225148db
Signal to distortion ratio = 82.870706db
Signal to noise and distortion ratio
= 76.178404db
    
```

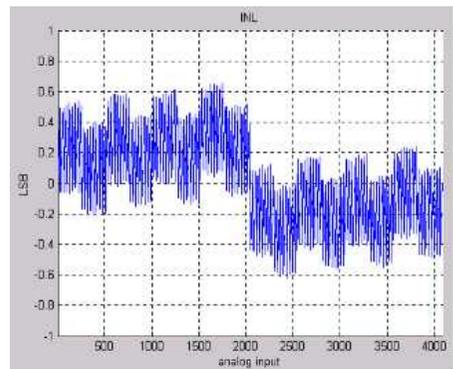


그림 9. Integral Non-Linearity 출력  
Fig. 9 Output of Integral Non-Linearity

그림 9는 INL 결과이다. 거의 90 % 이상이 ±0.5 LSB 이내의 INL을 보여주고 있음을 알 수 있다.

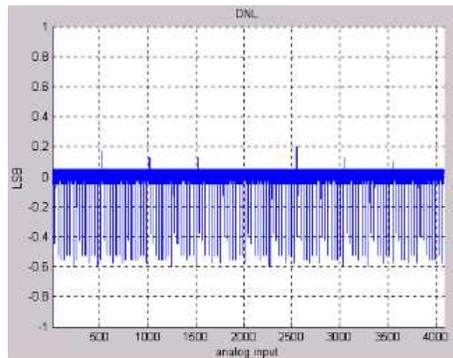


그림 10. Differential Non-Linearity 출력  
Fig. 10 Output of Differential Non-Linearity

그림 10은 DNL 결과를 나타내는데 INL과 마찬가지로 90 % 이상이  $\pm 0.5$  LSB 이내의 DNL의 결과를 내었다. 따라서 이 구조를 사용할 때 DNL 및 INL이 동시에 만족됨을 알 수 있다.

마지막으로 그림 11은 fft 시뮬레이션 결과이다. 그림으로부터 기대 해상도인 12 bit이 충분히 나옴을 알 수 있다.

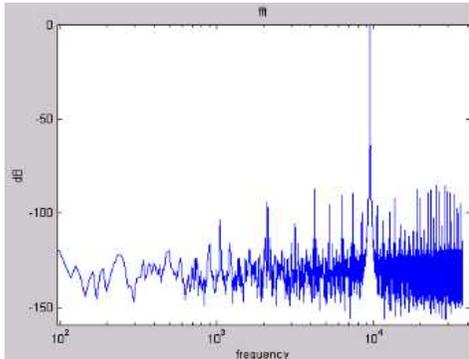


그림 11. Fast Fourier Transform 시뮬레이션 출력  
Fig. 11 Output of Fast Fourier Transform Simulation

#### IV. 결 론

본 연구에서 제안한 새로운 플래쉬 ADC는 일반적인 저항열로 구현되던 기준전압을 아날로그 메모리를 이용하여 생성하는 것을 제안하였다. 기존의 파이프라인 ADC의 스테이지에 사용되는 4 bit 플래쉬 ADC의 저항열은 기준전압을 만들기 위해 24개의 저항, 즉 16 개를 사용하여 칩을 레이아웃시 칩 면적을 많이 차지하고 있을 뿐만 아니라 공정에 의한 저항의 예러 성분으로 정확한 기준전압을 생성하지 못하여 해상도를 높이는 데 어려움이 있다.

상기 문제를 해결하기 위해 본 논문에서는 저항열 대신 아날로그 메모리를 사용하여 기준전압을 설정하였다. 아날로그 메모리는 하이닉스 0.35 $\mu$ m 표준 CMOS 공정에서 설계한 것으로 쓰기 동작, 소거 동작, 읽기 동작에 필요한 전압이 있다. 제안한 아날로그 메모리를 사용하여 기준전압을 생성한다면 저항보다는 훨씬 작은 면적에 정확한 기준전압을 생성할 수 있다. 또한 저항에 지속적으로 흐르는 DC전류 즉 전

력소모가 줄어들게 된다.

이와 같이 아날로그 메모리를 이용하여 파이프라인 ADC를 설계하면 시스템에서 플래쉬 ADC가 차지하고 있는 면적을 줄이므로 전체 시스템의 크기를 줄일 뿐만 아니라 저항 성분의 오차 또한 줄일 수 있게 되어 고해상도를 필요로 하는 응용분야에도 사용할 수 있다.

향후 아날로그 메모리를 이용한 기준 전압 생성회로를 설계하여 회로의 특성을 측정하고 이 회로를 사용하여 전체 파이프라인 ADC를 설계할 것이다.

#### 참고 문헌

- [1] C. Sandner et al., "A 6-bit 1.2-GS/s low-power flash-ADC in 0.13 $\mu$ m digital CMOS," IEEE J. Solid-State Circuits, Vol. 40, pp. 1499-1505, Jul. 2005.
- [2] McParland, R. J.; Singh, Ranbir. 1.25V, Low Cost, Embedded flash Memory for Low Density Applications. 2000 symposium on VLSI circuits Digest of Technical paper. June 2000.
- [3] C. Paulus et al., "A 4GS/s 6b flash ADC in 0.13 $\mu$ m CMOS," in Symposium on VLSI Circuits Digest of Technical Papers, pp.420-423, Jun. 2004.
- [4] 채용웅, "압력측정용 A/D 변환기의 OPAMP 개발", 한국전자통신학회, 5권, 4호. pp. 435-442, 2010.
- [5] 김창복, Pipeline 방식을 이용한 고성능 ADC 설계에 관한 연구, 한국OA학회논문지, 제6권, 2호, pp.101-107, 2001.
- [6] Behzad Razavi. Principles of Data Conversion System Design, IEEE Press, 1995
- [7] R. Harrison, P. Hasler, and B. A. Minch, "Floating-gate CMOS analog memory cell array," in Proc. Int. Symp. Circuits and Systems, Monterey, CA, 1998.
- [8] R. Harrison, A. Bragg, P. Hasler, A. Minch and P. Deweerth, "A CMOS Programmable analog memory-cell array using floating-gate circuits," IEEE Transactions on circuits and systems, Vol. 48, No. 1, pp. 4-11. 2001.

저자 소개



**채용웅**(Yong-Yoong Chai)

1985년 8월 서강대학교 졸업  
(공학사)

1991년 4월 Oklahoma State Univ. 졸업(공학석사)

1994년 12월 Oklahoma State Univ. 졸업(공학박사)

계명대학교 전자공학과 교수

※ 관심분야 : 혼성모드 집적회로 설계