

# 18000-3 PJM 모드 태그의 동기부 및 복조부 하드웨어 설계

## Hardware Design of the Synchronizer and the Demodulator of a 18000-3 PJM Mode Tag

전 돈 국\*  
(Don-Guk Jeon)

양 훈 기\*\*  
(Hoon-Gee Yang)

### 요 약

본 논문에서는 18000-3 모드 3로 국제표준화된 13.56MHz RFID PJM(Phase Jitter Modulation) 모드 태그의 동기부 및 복조부 설계를 위해서 최근에 제안된 동기, 복조 알고리즘을 최적화하여 설계하고 구현하는 과정을 보인다. 두 알고리즘을 분석하여 불필요한 레지스터 사용을 최소화하고 국제표준에 근거하여 구현하며, 시뮬레이션 및 테스트는 모델심(Modelsim)과 알테라(Altera) FPGA를 이용하여 검증한다. 3개의 상관기로 구성된 동기부를 구현하기 위해서 총 1,024(16bit × 64cycle)개의 레지스터를 사용하고, 2개의 상관기를 갖는 복조부를 구현하기 위해서 128(2bit × 64cycle)개의 레지스터를 사용한다. 마지막으로 동기부, 복조부를 연동시켜 시뮬레이션을 수행하여, 잡음환경에서 SNR -2dB일 경우에는 87%의 성공률을, 4dB 이상일 경우에는 100% 성공함을 보인다.

### Abstract

In this paper, we present the design procedure of the synchronizer and the demodulator of a 13.56MHz RFID PJM tag, which was standardized in ISO 18000-3 mode 3. We optimize the algorithms in order to minimize the number of registers and implement them based on international standard. The designed module is simulated by Modelsim and FPGA. The synchronizer is composed of 3 correlators that is implemented by 1,024(16bit × 64cycle) registers. The demodulator is composed of 2 correlators that is implemented by 128(2bit × 64cycle) registers. The simulation performed with the demodulator integrated with the synchronizer shows that it works at about 87% success rate with the test data of SNR -2dB and 100% with those of SNR 4dB.

**Key words** : RFID, PJM mode, synchronizer, demodulator, correlator, FPGA

† 본 논문은 2010년도 교육과학기술부의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업(No 2010-0025385) 및 2010년 광운대학교 교내연구비 지원으로 이루어졌음.

\* 주저자 및 교신저자 : (주)에이스테크놀로지 연구원

\*\* 공저자 : 광운대학교 전자융합공학과 교수

† 논문접수일 : 2010년 6월 30일

† 논문심사일 : 2010년 12월 8일

† 게재확정일 : 2010년 12월 9일

## I. 서 론

RFID(Radio Frequency Identification)은 전파신호를 통해 비접촉식으로 사물에 부착된 얇은 평면 형태의 태그를 식별하여 정보를 처리하는 시스템을 말하며, 판독 및 해독 기능을 하는 판독기와 고유 정보를 내장한 전파 식별 태그, 운용 소프트웨어 및 네트워크로 구성된다[1].

RFID 시스템은 태그의 전원 유무에 따라 수동형과 능동형으로 나뉘며 전파 특성에 따라 134kHz 이하, 13.56MHz, 433MHz, 860~960MHz(UHF) 및 2.45GHz 주파수 대역을 사용한다. HF 대역인 13.56MHz RFID는 출입통제 보안, 스마트카드 등에 사용되며 최근에는 물류시스템 관리에 사용되기 시작하여 관심이 집중되고 있다.

13.56MHz RFID 표준이 기술되어 있는 무선접속 국제표준인 ISO 18000 시리즈는 파트 1, 2, 3으로 나뉘며 그중 파트 3 모드 3에 PJM(Phase Jitter Modulation) 모드 규격을 명시하고 있다. PJM 모드는 최근에 표준화 작업이 완료 되었으며, ILT(Item Level Tag) 태그 기술이 시장에서 점점 요구됨에 따라 최대 8개의 채널을 사용하여 리더와 태그가 송, 수신할 수 있는 PJM 모드의 중요성이 더욱 부각되고 있다[2-4].

PJM 모드는 다중 채널을 이용한 통신을 하기 때문에 단일 채널을 이용한 ASK 모드보다 태그 인식 속도가 월등히 빠른 장점이 있지만, 태그의 입력신호에 대한 포락선 검출이 불가능하여 페이로드(Payload) 데이터 시작 시점을 추출하는 동기화의 어려움이 있으며 두 PJM 신호의 위상차가 매우 작아 위상을 복조하는데 있어 어려움이 따른다[5].

최근 국내에서는 앞에서 설명한 PJM 모드의 단점을 해결할 수 있는 RFID 태그의 동기 방법[5] 및 복조 방법[6]이 발표되었다. 따라서 본 논문에서는 국내에서 유일하게 발표된 PJM 모드 태그의 동기 방법 및 복조 방법을 분석하고 하드웨어 구현에 맞게 최적화한 방법을 제안하며, HDL(Hardware Description Language)를 이용하여 국제표준에 준하는 태그의 동기부 및 복조부를 하드웨어로 설계하는 과정을 보인다. 최종적으로

FPGA(Field Programmable Gate Array)에 프로그래밍하여 [5,6]에서 제안하는 알고리즘의 유효성을 검증하고자 한다. 2절에서는 [5]에서 제안된 동기 알고리즘을 분석하고 최적화한 방법을 제안하며, 하드웨어로 설계하는 과정을 보인다. 3절에서는 [6]에서 제안된 복조 방법에 대하여 2절과 같은 절차를 보인다. 4절에서는 설계한 동기부의 완료 신호를 복조부와 연동한 후, 하드웨어 성능 검증을 위한 타이밍 시뮬레이션 파형과 FPGA를 이용한 테스트 결과를 보이며 5절에서 결론을 맺는다.

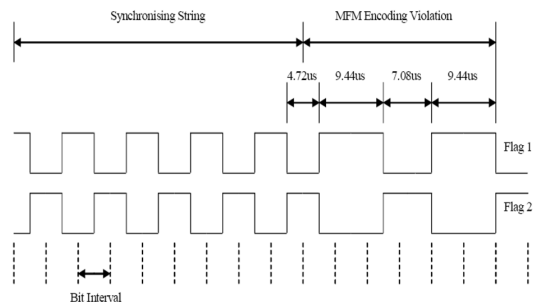
## II. 동기 방법 및 하드웨어 설계

13.56MHz RFID PJM 모드 국제표준에서 interrogator는 반드시 명령어의 시작을 알리는 <그림 1>과 같은 MFM(Modified Frequency Modulation) flag와 함께 R=>T 신호가 보내져야 한다고 명시되어 있다.[3]

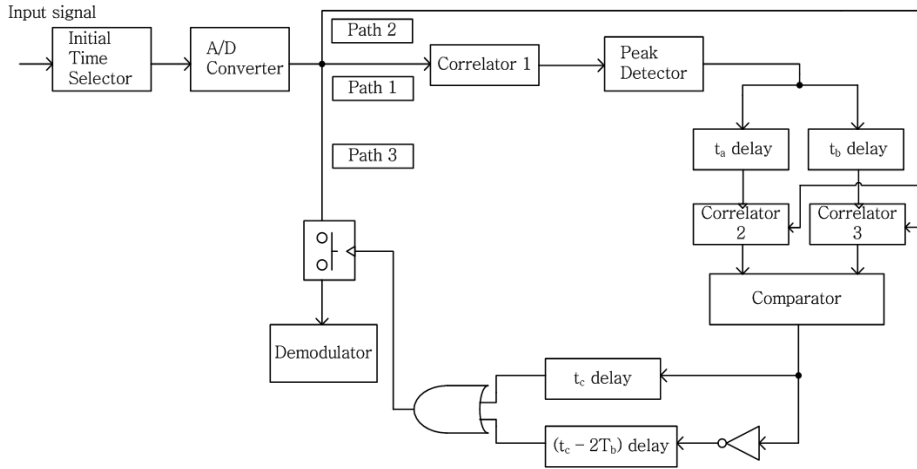
<그림 2>는 이러한 기능을 하는 동기부 회로를 블록 다이어그램으로 나타낸 것이다[5].

### 1) 상관기 1

A/D를 거쳐 양자화가 진행된 PJM 입력신호가 동기를 맞추기 위해 첫 번째 단계인 상관기 1 블록에서 MFM 플래그의 Synchronising String 부를 이용하여 coarse 동기를 한다. 신호의 첫 부분인 <그림 1>의 프리앰블 신호가 들어오게 되면 Synchronising String 9비트와 같은 형태를 띤 <그림 3>의 템플릿

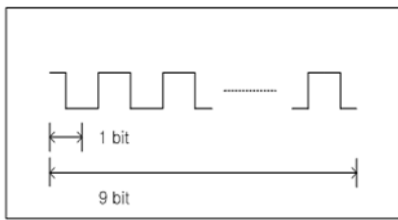


<그림 1> MFM 플래그  
<Fig. 1> MFM Flag

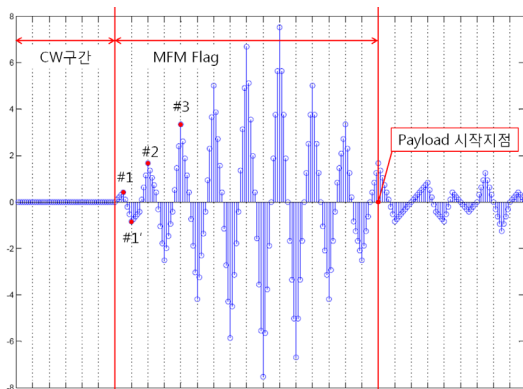


<그림 2> 동기부 블록 다이어그램  
(Fig. 2) Block diagram of synchronizer

과 상호상관(Cross-correlation)하게 된다. 그 결과 <그림 4>와 같은 피크가 나타나는 출력을 발생시킨다. 템플릿 크기는 수신신호의 신호대 잡음비와 관계가 있으므로 수신기 RF 스펙 및 동작 거리가 정



<그림 3> 상관기 1 템플릿  $C_1$   
(Fig. 3) Template  $C_1$  of correlator 1

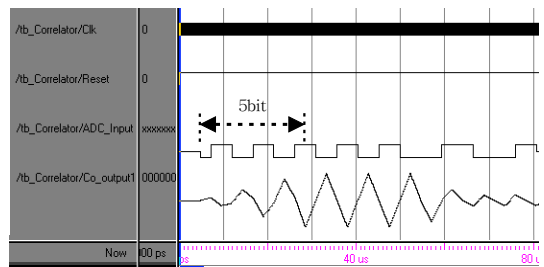


<그림 4> 상관기 1의 출력 파형  
(Fig. 4) Output waveform of Correlator 1

해지면 적당한 크기를 정할 수 있다. 본 하드웨어 구현에서는 상관기 1의  $C_1$  템플릿을 9비트에서 앞 5비트만을 템플릿으로 취하였다.

상관기 1을 구현하기 위해 10비트 입력버퍼와 템플릿을 320(5비트 × 64Cycle)개의 레지스터로 구성하였다. <그림 5>는 본 논문에서 설계한 상관기 1의 타이밍 시뮬레이션 파형이다.

입력 신호와 LUT(Look-Up Table)에 저장되어 있는 템플릿 값에 대해서 상관 연산을 하여 피크를 발생시킨다. 5비트의 템플릿으로 구성되어 있기 때문에 5비트 이후 9비트 까지는 상관관계가 같아 동일한 형태의 피크가 나타난다.



<그림 5> 상관기 1 타이밍 시뮬레이션 파형  
(Fig. 5) Timing simulation waveforms of correlator 1

## 2) 피크-검출기(Peak-detector)

상관기 1에서 발생한 출력에 의해 피크가 발생되

고 피크-검출기에 의해 그 위치가 감지된다. 이에 앞서 노이즈에 의해 발생하는 거짓 피크를 필터링해야 한다. 잡음 환경에서는 상관기 1의 출력 값이 첫 번째 피크와 비슷하거나 더 큰 값이 발생할 수 있다. 이를 해결하기 CW(Continuous Wave)의 진폭을 안다고 가정하고 <그림 4>의 #1'의 절대값 보다 작은 것은 거짓 피크로 간주하게 한다.

본 논문에서 실시한 피크-검출기의 시뮬레이션 결과, 노이즈에 의해 #1'과 #2사이에서 거짓 피크가 검출되었다. 이에 #1' 절대값에 1.7배를 하여 두 번째 피크 값 이전의 거짓 피크를 필터링 하였다. 따라서 본 설계에서는 #1'의 이론적 상관 값인 6.029의 1.7배를 하여 피크의 값이 10.249 보다 클 경우에 피크로 인정하고 아니면 노이즈로 판단하게 하였다. 또한 제안된 알고리즘에서는 #1~#3 위치의 피크가 모두 양수 구간이다. 따라서 음수 구간은 무시하도록 설계하여 #2, #3만이 검출되게 하였다.

피크가 검출된 후 프리엠블 파형의 특성을 이용하면 그 위치를 파악할 수 있다. 그 기능은 상관기 2와 3에서 담당하게 된다.

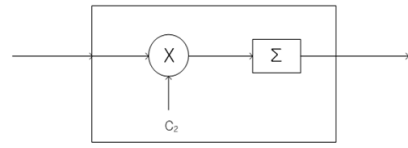
피크 검출을 위해서는 다양한 방법이 사용될 수 있고 사용방법에 따라 #1 피크도 검출될 수 있다. 이 경우에는 상관기 2, 3번 외에 추가 상관기 하나가 더 사용되며, 구체적인 방법에 대해서는 본 논문에서 생략한다.

### 3) 상관기 2, 3

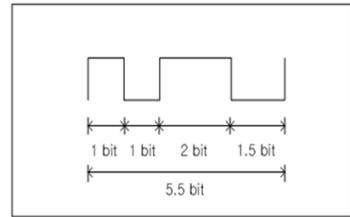
<그림 6>은 상관기 2와 3의 블록 다이어그램과 템플릿  $C_2$ 를 보여준다.  $C_2$ 는 프리엠블의 Synchronising String 마지막 1.5비트와 violation 비트 시작 4비트로 총 5.5비트로 구성된다. 따라서 352(5.5비트 × 64Cycle)개의 레지스터에  $C_2$  값을 저장하였다.

<그림 2>의 path2로 입력이 들어가면 상관기 2, 3의 동작이 바로 시작되는 것이 아니라 피크가 검출된 뒤 각각  $5.5 T_b$ 와  $3.5 T_b$  후에 수신되는 입력 값을 받아들여 상관 연산을 하게 된다.

<그림 7>은 본 논문에서 설계한 상관기 2, 3의 타이밍 시뮬레이션 파형으로써, <그림 4>의 #2의



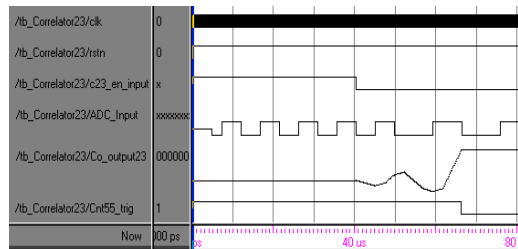
(a) 상관기 2, 3



(b) 템플릿  $C_2$

<그림 6> 상관기 2, 3

<Fig. 6> Correlator 2, 3 (a) correlator 2, 3, (b) Template  $C_2$



<그림 7> 상관기 2, 3 타이밍 시뮬레이션 파형

<Fig. 7> Timing simulation waveforms of correlator 2, 3

위치에서 피크가 검출 되었다고 가정하고 <그림 2>의  $T_a$  delay 블록을 거친 후, 상관기 2의 출력 파형을 나타낸 것이다. 정확한 템플릿의 시작 위치에서 상관기 2가 동작하였기 때문에 템플릿 마지막 파형의 위치에서 피크 값이 출력된다. 이와 같이 상관기 2와 3의 출력 값을 비교하면 검출된 피크의 위치를 알 수 있다.

<그림 8>은 이러한 알고리즘을 타이밍 관계도로 나타낸 것이다. <그림 8>의 CASE 1인 경우, #2의 피크가 검출되었을 경우를 나타낸 것으로  $t_a$  delay 후의 상관기 2의 연산 시점이 템플릿의 모양과 일치하므로 연산이 끝나는 시점의 출력 값이 상관기 3보다 크게 된다. 이때 페이로드 시점까지 남은 시간  $t_c$ 인  $3 T_b$ 만큼 지연 후 복조기 동작신호를 인

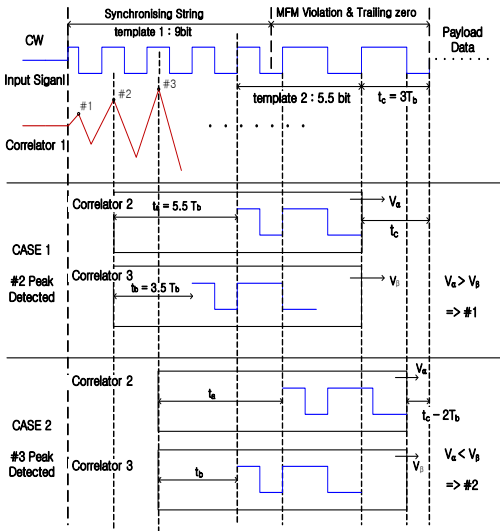
### III. 복조 방법 및 설계

동기가 완료되면 동기완료 신호는 복조부의 Enable 신호로 인가되며, 그 신호에 의해 복조부가 동작을 하게 된다.

[6]에서 제안한 복조 방법은 각각의 상관기 출력  $X_1$ ,  $X_2$ 의 값을 <표 1>과 같은 조건으로 데이터를 판별하는 것이다. 그러나 본 논문에서 제안하는 방법은 <그림 10>과 같이 상관기 A, B의 출력을 절대값을 취해 비교함으로써 <표 1>과 동일한 복조 결과를 얻게 된다. 또한 하드웨어 설계시 회로가 좀 더 간소화될 수 있다.

실제로 [6]의 방법을 구현한 결과 4,838 LEs (Logic Elements)가 사용되었고, 반면에 <그림 10>은 4,820 LEs가 사용 되어 본 논문에서 제안한 방법이 하드웨어를 구성하는데 있어서 18 LEs 만큼 적게 소요됨을 확인하였다.

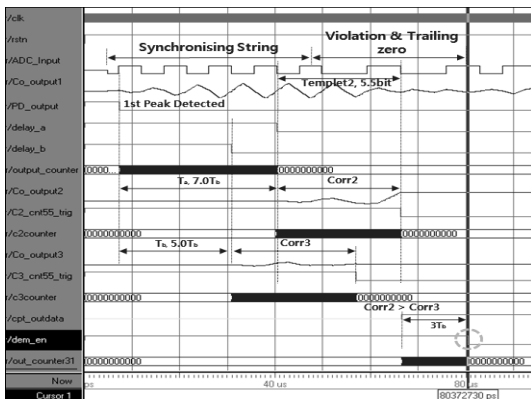
<그림 10>은 본 논문에서 제안하는 복조 방법으로써, '0'과 '1'의 64개 샘플링 형태를 템플릿으로 취하는 상관기 2개와 비교기로 구성되어 있다. 각각의 템플릿을 저장하기 위하여 64(1비트 × 64Cycle)개의 레지스터 두 개를 사용하였으며 64주기마다 상관기 A와 상관기 B의 결과를 비교하여 A가 크면



<그림 8> 동기부 전체 타이밍 관계도  
<Fig. 8> Timing relative diagram of synchronizer

가한다. 반면 CASE 2인 경우에는 #3의 피크를 검출하였을 경우로  $t_b$  delay 후에 상관기 3의 연산 시점이 템플릿의 모양과 일치하게 되어 상관기 3의 값이 2보다 크게 된다. 이 때에는 페이로드 시작 시점까지 남은 시간이  $t_c - 2T_b$  가 되어  $1T_b$ 만큼 지연 후 복조기에 동작 신호를 인가한다.

<그림 9>는 <그림 8>의 CASE 1의 경우를 가정하고 잡음이 없는 데이터를 생성하여 입력 값으로 인가한 후 타이밍 시뮬레이션을 수행한 파형이다.

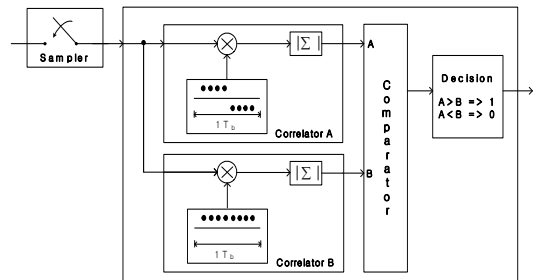


<그림 9> 동기부 타이밍 시뮬레이션 파형  
<Fig. 9> Timing simulation waveforms of synchronizer

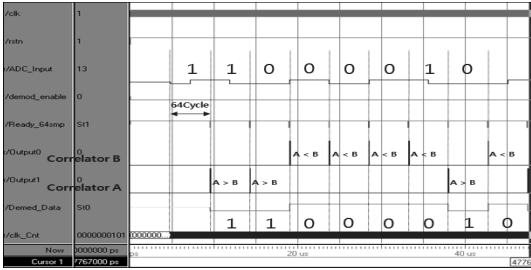
<표 1> 데이터 판정 조건

<Table 1> Conditions of data judgement

조 건	판정 값
$X_1 + X_2 > 0$ & $X_1 - X_2 > 0$	$\hat{d} = 1$
$X_1 + X_2 > 0$ & $X_1 - X_2 < 0$	$\hat{d} = 0$
$X_1 + X_2 < 0$ & $X_1 - X_2 > 0$	$\hat{d} = 0$
$X_1 + X_2 < 0$ & $X_1 - X_2 < 0$	$\hat{d} = 1$



<그림 10> 복조기  
<Fig. 10> Demodulator



〈그림 11〉 복조기 타이밍 시뮬레이션 파형  
 〈Fig. 11〉 Timing simulation waveforms of demodulator

비트 ‘1’을 B가 크면 비트 ‘0’을 출력하게 된다. <그림 11>은 본 논문에서 구현한 복조기의 타이밍 시뮬레이션 파형을 보인다.

#### IV. 시뮬레이션 및 하드웨어 검증

구현한 하드웨어를 시뮬레이션 하기 위해 매텔랩 프로그램을 이용하여 생성된 데이터를 입력으로 구성하였으며, 타이밍 시뮬레이션은 Modelsim 6.1f를 사용하였다. 본 논문에서 설계한 하드웨어는 Verilog-HDL로 구현하였고 Altera DE2-70 보드에 탑재되어 있는 Cyclone II FPGA에 Quartus 9.0으로 합성한 출력파일을 프로그래밍하여 검증하였다[7].

<그림 12>는 동기부의 동기완료 신호를 복조부의 인에이블 신호로 연결하여 합성한 후 타이밍 시뮬레이션을 수행한 파형이다. CW 구간에는 90도인 지점이 0이므로 상관기 출력 값이 ‘0’으로 변화가 없다가 프리앰블 신호가 들어오면 그림과 같이 피

〈표 2〉 잡음 환경에서의 하드웨어 성능  
 〈Table 2〉 Performance of hardware with noise

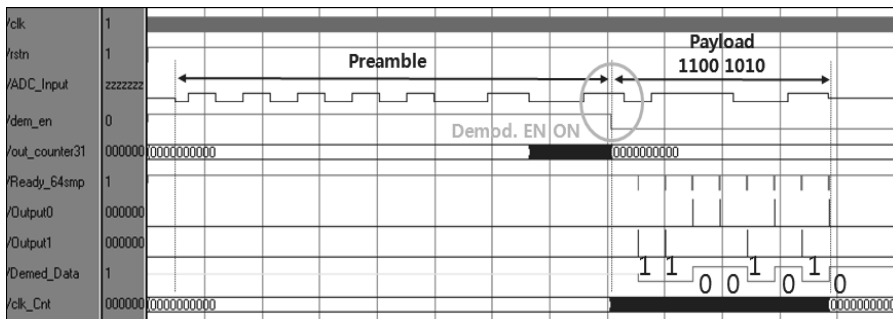
구분	-2dB	0dB	2dB	4dB	6dB	8dB
실패	39	18	6	0	0	0
성공	261	282	294	300	300	300
성공률 (%)	87	94	98	100	100	100

크를 발생시킨다. 발생된 피크를 피크-검출기 알고리즘에 의해 검출 하였고, 다음에 각각  $5.5 T_b$ 와  $3.5 T_b$  지연된 이후 상관기 2와 3이 실행되었다.

상관기 2의 출력 값이 상관기 3보다 커  $3 T_b$  지연 후 복조기의 인에이블 신호가 Low로 천이되었다. 그 때부터 복조기가 동작되어 64주기 마다 상관기 A와 B의 출력 값을 비교하여 A가 크면 데이터 비트 ‘1’을, B가 크면 ‘0’으로 복조 된다. 복조기에 입력된 바이너리 파형은 “01000010”이 MFМ 인코딩된 것이며 복조기에서 출력된 데이터 값이 입력 값과 정확히 일치함을 알 수 있다.

잡음 환경에서의 테스트를 위해 백색 가우시안 노이즈 모델을 적용하였으며, SNR -2dB에서 8dB까지의 PJM 신호를 매텔랩을 이용하여 300회 생성한 다음, 본 논문에서 설계한 하드웨어의 입력으로 인가하여 타이밍 시뮬레이션을 수행하였다.

시뮬레이션 결과 중, 동기부에서 피크를 검출하여 정확한 지점에서 동기완료 신호를 출력하고, 입력된 페이로드 데이터와 복조부의 출력 데이터가 같을 경우를 성공으로 보았다. <표 2>는 그 결과를



〈그림 12〉 동기 및 복조기 타이밍 시뮬레이션 파형  
 〈Fig. 12〉 Timing simulation waveforms of synchronizer and demodulator

나타낸 것으로써, SNR 4dB 이상인 경우에는 100% 성공하였으며 -2dB 이하인 경우에는 성공률이 90% 미만으로 떨어지는 것을 확인하였다.

## V. 결 론

본 논문에서는 공개된 PJM 모드 태그의 동기부 및 복조부 알고리즘을 구현에 맞게 최적화된 방법을 제안하였으며, Verilog-HDL을 사용하여 구현 하였다. 동기부 1차 상관기에서 불필요한 템플릿의 수를 줄이고 복조부의 비교기 블록에서 가산기로 사용하던 방법을 절대값을 취함으로써 소요되는 하드웨어 용량을 줄이도록 설계하였다. 또한 설계된 모듈은 ISO 18000-3 모드 3에 정의 되어있는 PJM 모드 표준의 샘플 데이터를 이용한 검증 결과를 통하여 동작의 정확성을 확인 하였고, 잡음 환경에서 SNR -2dB인 경우에는 87%의 성공률을, 4dB 이상에서는 100% 동기화 및 복조가 성공함을 보였다.

## 참 고 문 헌

- [1] 한국정보통신기술협회 용어사전, <http://word.tta.or.kr>
- [2] Klaus Finkenzeller, *RFID Handbook 2nd Edition*, John Wiley & Sons, Ltd, 2003.
- [3] EPCglobal Inc., *EPCTM Radio-Frequency Identity Protocols Class-1 Generation-2 HF RFID Protocol for Communications at 13.56MHz, Version 1.0.1*, EPCglobal Inc., February 2008.
- [4] 강유성, "UHF와 HF 대역의 RFID 기술의 국제 표준화 논쟁," *TTA 표준화 동향*, 2007. 12.
- [5] 윤재혁, 양훈기, 양성현, 강봉순, 배지훈, 최길영, "13.56MHz RFID PJM 모드의 동기화 방법," *한국통신학회논문지*, 제34권, 제12호, pp.1506-1513, 2009. 12.
- [6] 윤재혁, 양훈기, "샘플링에 의한 RFID-PJM 모드의 복조 방법," *한국통신학회논문지*, 제35권, 제1호, pp.117-124, 2010. 1.
- [7] Terasic Technologies, *DE2-70 user manual version 1.01*, Altera Corporation, 2007.

## 저자소개



전 돈 국 (Jeon, Don-Guk)

2010년 9월 ~ 현재 : (주)에이스테크놀로지 연구원  
 2010년 : 광운대학교 공학석사(임베디드SW공학 전공)  
 2005년 4월 ~ 2008년 8월 : (주)케이디이컴 주임연구원  
 2005년 : 강원대학교(舊 삼척) 공학사(전자공학 전공)



양 훈 기 (Yang, Hoon-Gee)

1993년 2월 ~ 현재 : 광운대학교 전자융합공학과 교수  
 1992년 : 미국 SUNY at Buffalo 공학박사(전기 및 컴퓨터공학 전공)  
 1987년 : 미국 SUNY at Buffalo 공학석사(전기 및 컴퓨터공학 전공)  
 1985년 : 연세대학교 공학사(전자공학 전공)