

# LED 구동회로와 반도체 집적회로

황인철 <강원대학교 교수> · 이영제 · 조계현 <페어차일드 코리아 반도체 선임연구원>

## 1. LED 구동회로의 시장동향

고휘도 LED 구동회로의 시장은 에너지 절감과 탄 소비출 저하에 대한 전세계적인 공감대가 이루어져 기존 조명의 LED 조명으로의 대체를 추진하는 2010년을 기점으로 급격한 성장을 이룰 것으로 보인다. 표 1에서 볼 수 있는 바와 같이 2010년에 LED 구동회로 시장이 12억불 수준에 이르고, 2009년 기준으로 36(%)의 성장률을 기록할 것으로 보인다. 또한 2017년까지 연평균 성장률은 평균 20(%)를 웃돌 것으로 예상되어, 2017년의 경우 전세계 시장이 47억불 수준에 이를 것으로 보인다. 각 지역별 규모와 성장률을 살펴보면 아시아 태평양 지역의 시장 규모가 가장 커서 2010년의 경우 전체의 48(%)가 이 지역에서 소비될 것으로 예상되고, 이 비율은 2017

년까지 꾸준히 유지될 것으로 보인다. 같은 기간 성장률은 미주 지역에서 가장 클 것으로 예상되나 그 차이는 크지 않고 전 세계적으로 고르게 성장할 것으로 예측된다.

## 2. LED 구동회로

### 2.1 LED구동회로의 일반 이슈

LED 구동회로를 설계할 때 여러 가지 고려사항이 있지만, 그 중에서 가장 중요한 것은 전력효율이다. 효율은 투입전력이 변환기나 구동회로에서 낭비되는 전력 없이 LED에 전달되어 광으로 출력되는 비율을 보는 것이며, 국내 고효율 기자재 인증의 기준은 LED의 정전류 회로단을 제외한 상태에서 85(%) 이상이다. 그러나 실제 정전류 회로단 구성 시 발생하는

표 1. 고휘도 LED 구동회로의 시장 동향

Region	2010	2011	2012	2013	2014	2015	2016	2017	Average Annual Growth Rate, % 2010-17
	\$Million	\$Million	\$Million	\$Million	\$Million	\$Million	\$Million	\$Million	
America	370	598	881	1090	1218	1312	1441	1615	23.4
EMEA	255	363	598	774	848	891	965	1046	22.3
APAC	584	694	1011	1311	1504	1731	1900	2107	20.1
<b>Total Consumption (\$ Million)</b>	<b>1210</b>	<b>1655</b>	<b>2489</b>	<b>3175</b>	<b>3570</b>	<b>3935</b>	<b>4306</b>	<b>4768</b>	<b>21.6</b>

NOTE: Totals may not be exact, due to rounding

LED-HBIC

ElectroniCast Consultants

효율저하를 고려하면, 에너지 절약을 위해서는 더욱 높은 수준의 효율이 요청된다고 할 수 있다.

정부에서는 고효율 인증품목을 확대하여 고효율 LED 조명기기 보급을 추진하고 있으며 이와 관련하여 LED 조명 고효율 인증 현황을 살펴보면 2009년 기준으로 LED 교통신호등 65업체 587개 모델이 인증을 받았으며, LED 유도등으로는 9개 업체 61개 모델이 인증을 받았다. 또한 2010년 7월부터 KS 규격 (광효율)은 컨버터내장형(KSC7651)과 외장형(KSC7652)은 각각 제품 용량별 50~60(lm/W)로, 매입·고정형(KSC7653)은 45~75(lm/W), 가로·보안등(KSC7658)은 65~75(lm/W)로 각각 상향 조정할 예정이다.

세계적으로 구동회로의 효율 수준은 그림 1에서 보는 바와 같이 Semicon west의 자료에 따르면 현재 수준이 대략 84[%] 정도인 것으로 나타났으며 향후 92[%]까지 성장 가능할 것으로 예상하고 있다. 따라서 LED 구동회로의 효율개선은 지속적으로 추진될 것이며, 업체들마다 독자적인 기술과 특허를

확보하여 차별화된 제품을 제공할 수 있을 것으로 기대된다.

두번째 고려사항은 LED의 사용기간을 보장하기 위한 구동회로의 장수명을 확보하는 것이다. LED를 이용한 조명기기에 사람들이 기대하는 가장 중요한 성능 지수 중에 하나가 바로 장수명이다. 보통 LED의 경우 50,000시간 이상의 내구 수명을 얻을 수 있는 것으로 알려져 있다. 그러나 이러한 수명 값은 기구물의 내구성과 방열 방법, 구동회로의 수명 등이 뒷받침 될 때 얻을 수 있게 된다. 그러나 지금까지 구동회로의 경우 수명이 LED 자체 수명에 미치지 못하게 되어, 전체적 수명이 20,000시간을 넘기 힘들다 (Lighting Research center, SPIE 2009). 이러한 수명 확보에 가장 장애가 되는 것이 구동회로에 필수 소자로 사용되는 전해 컨덴서이다. 전해 컨덴서는 구동회로에 사용되어 저주파 필터링을 수행하고, DC의 리플을 평활화하는 필수 기능을 수행하게 되는 데, 재료의 특성상 수명이 제한되어 전체 LED 조명기구의 수명을 단축하는 원인이 된다. 따라서 전압 평활 회로

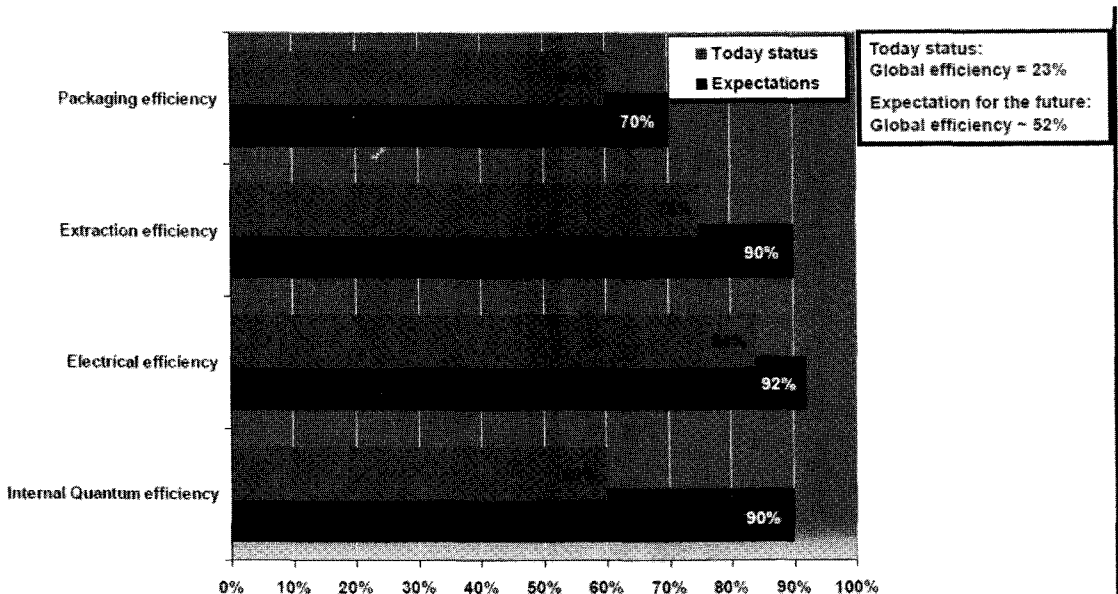


그림 1. LED 구동회로의 부분별 효율 분석

가 필요 없는 펄스형 LED 구동회로가 DC 구동형 회로보다 더 좋은 선택이 될 것으로 보인다.

그 외에 중요한 고려사항은 dimming 효율 개선과 multi-channel 지원 여부, 그리고 IC 외에 외부소자의 최소화 같은 이슈들이 LED 구동회로 개발 분야에서 주요하게 다루어질 것으로 보인다.

## 2.2. 기본적인 LED 구동회로의 이해

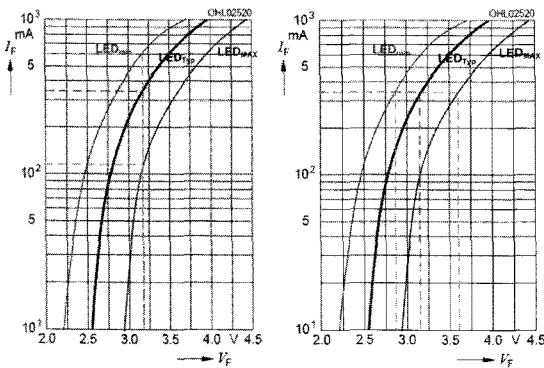


그림 2. LED 구동방식 비교

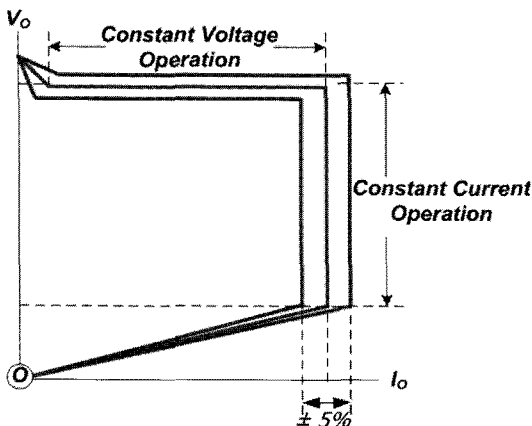


그림 3. 전원회로의 출력 전류-전압 특성곡선

LED 구동회로는 LED를 부하로 구동하는 전원회로를 이해하면 된다. 부하로서 LED는 그림 2에 주어진 바와 같이 포워드 전압( $V_F$ ) 이상에서 전류가 양단

전압에 대해 지수적으로 증가하고, 온도가 올라갈수록 포워드 전압은 줄어든다. 또한 조명용 파워 LED의 경우 그림에서와 같이 포워드 전압의 산포가 큰 특성을 갖는 것이 일반적이다. 따라서 그림 2 (a)에서와 같이 전압 모드로 구동하면 다이오드의 특성상 전류 변동 민감도가 크기 때문에, 광량 또한 전압 변동에 민감하게 바뀌게 되어 제어가 어렵게 된다. 또한 산포를 반영하면, 전압모드에서 LED마다 광량이 바뀌는 문제를 갖게 된다. 이 때문에 그림 2 (b)에서와 같이 전류모드로 구동하여 산포에 따른 광량의 변화를 방지하는 것이 중요하다. 그러나 이 경우에 포워드 전압의 변동이 LED마다 발생하게 되므로 LED 구동회로는 일정 전류에서 전압 변동 범위를 넓게 설계할 필요가 있다.

그림 3은 일반적인 전원 회로의 출력 전류-전압 특성을 나타낸다. 동작영역은 CC(Constant Current) 모드와 CV(Constant Voltage) 모드의 두 가지 영역으로 나눌 수 있다. 출력 전압이 구동회로의 headroom 전압 이상 올라가면, 먼저 구동회로는 CC 모드에 들어간다. CC모드에서는 출력 전압이 일정 범위 내에서 변하더라도 전류 값이 일정하게 유지되어 LED 구동회로에서와 같이 출력이 항상 full 부하 상태에 있고, 전술한 바와 같이 온도가 높아지면서 LED의 포워드 전압이 떨어지는 상태에서도 일정한 전류를 구동하기 위해서는 이와 같은 CC모드에서 구동하는 것이 유리하다. 전원 회로의 출력 전압이 일정 전압 이상 올라가면 CV 모드에 들어가는데, LED 구동회로에서 이 모드는 단지 과전압 보호에 사용될 수 있다. 위에서 언급한 바와 같이 LED 포워드 전압의 산포에 대응하기 위해서는 전원회로의 CC 모드 범위가 최대한 넓게 설계될 필요가 있다.

## 2.3 LED 구동회로의 종류

CC모드 동작을 위해 가장 간단한 구조의 LED 구

특집 : LED 조명 응용 기술

동회로는 그림 4에서와 같이 정전압에 LED를 직렬 array로 연결하고 저항을 이용해 전류를 제한하는 방법이다. 그러나 이러한 회로는 1.5(V), 10(mA)의 저전압, 저전류 응용에 적합하며, 그 이상의 용량을 소모하는 응용에서는 효율이 떨어져서 적합하지 않다. 요즘 널리 사용되는 power LED의 경우 보통  $V_F$ 가 3(V) 정도에 동작 전류 350(mA)를 요구한다. 이 경우 LED 두 개 이상 직렬 연결하면  $V_F$ 에 따른 전압 요구조건을 만족하기 위해 상대적으로 고전압 전원이 필요하게 되고, 전류제한 저항에서의 전압 head-room이 효율을 낮추는 원인이 된다. 이에 따라 기존의 고효율 SMPS 방식의 AC전원이나 DC 전원 회로를 이용하여 LED를 구동하는 회로가 실제 제품에 적용되고 있으며 종류는 접지방식에 따라 non-isolation변환기와 isolation 변환기의 두 가지 방식이 있다.

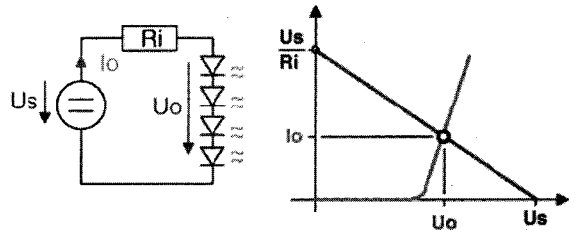
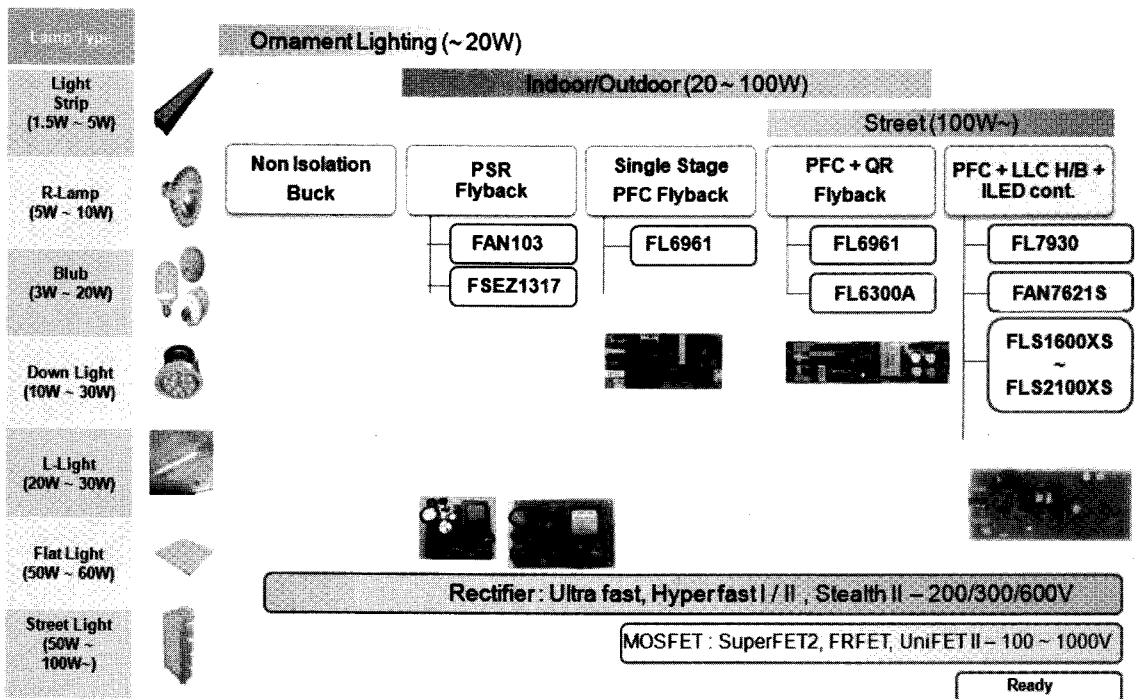


그림 4. 저항 제한된 LED 구동회로

Non-isolation 변환기에는 감압용 Buck 변환기와 승압용 boost 변환기가 있으며, Buck-boost변환기가 한 회로로 통합된 변환기도 많이 사용되고 있다. Isolation 변환기는 주로 트랜스포머를 이용하여 전 원측과 LED 부하측을 접지 분리하는 방식으로 구성 된다. 종류에는 Flyback변환기와 Resonant변환기가 있고 주로 용량이 큰 LED 구동회로에 적용된다.

그림 5는 Fairchild사의 제품을 기준으로 용량



(Source: Fairchild Semiconductor)

그림 5. 용량에 따른 LED구동회로의 종류

에 따른 LED 구동회로의 구조별 분류를 보여준다. 실내용 20[W] 이하의 저전력 LED 전구의 경우 non-isolation type의 DC-DC 변환기를 사용하고, 실내/실외 겸용 100[W] 이하의 중전력 LED 전구는 기본적으로 flyback 변환기를 많이 사용하며, 소비 전력 용량에 따라 저전력 쪽에서는 PSR (Primary-Side Regulated) flyback을 그리고 고전력 쪽에서는 resonant 변환기를 많이 사용한다. 그리고 그 이상의 전력을 요구하는 경우는 PFC/LLC Half bridge 변환기를 많이 사용한다. 다음의 두 절에서는 Fairchild사의 제품을 기준으로 각각의 LED 구동회로의 동작을 설명하고 기존 구조의 한계를 극복하기 위해 제안된 해법들에 대해 논의하도록 한다.

### 2.3.1 Non-isolation LED 구동회로

전원용 DC-DC 변환기는 안정화된 전압을 공급하는 것을 목표로 설계되었으나, LED 구동회로는 안정

화된 전류를 필요로 하기 때문에 LED 구동회로는 LED에 직렬 연결된 sensing 저항을 이용하여 변환된 전압을 측정하고 내부 기준 전압에 정합되도록 제어 루프를 제어하는 방식으로 동작한다. 이 때 센싱되는 전압 값이 상당히 작기 때문에(이 전압은 전력손실을 야기) 구동 IC와 sensing 저항이 공동 접지를 사용하게 된다. 따라서 전력 변환기와 LED가 하나의 전류 루프 안에 있기 때문에 전력 용량이 제한되는 문제가 있다.

그림 6은 전형적인 Buck 변환기를 이용한 LED 구동회로이다. 그림에서와 같이 AC 입력전압은 전파 정류되어 DC로 변환되고 LED열을 구동하는 전류는 저항에서 전압으로 변환되어 DC 기준전압  $V_{ref}$ 와 같은 값을 갖도록 부계환 제어된다. Buck 변환기는 보통 MOSFET를 전원 쪽에 연결하게 되는데, 이 경우 gate 구동 전압이 전원전압 이상 level shift되어야 하기 때문에, MOSFET 구동에 문제가 발생한다. 따라서 그림에서와 같이 MOSFET를 접지에 가깝게 배치하면, 그와 같은 gate 구동 전압의 부담을 줄일 수

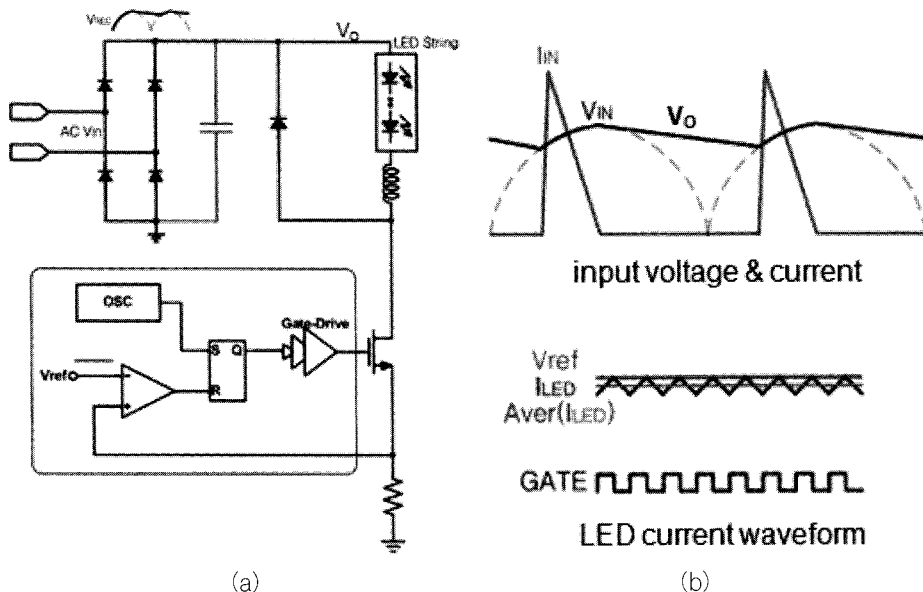


그림 6. 기존의 Buck 변환기형 LED 구동회로

있다. 동작원리를 살펴보면 그림 6 (b)와 같이 브리지 다이오드는 전원전압( $V_{IN}$ )이 출력전압( $V_O$ )보다 큰 경우에 도통되어 출력에 전원전압이 전달되고, 반대의 경우는 다이오드에 의해 차단되어 컨덴서 전압을 유지한다.

그러므로 출력에 사용된 콘덴서는 출력전압을 평활화하여 리플이 적은 DC 전압을 만드는 데 사용된다. MOSFET가 on되면 LED에 흐르는 전류는 선형적으로 증가하고, off되면 전류는 선형적으로 감소하게 된다. 이와 같은 인덕터의 전류 변동을 저항 R을 통해 센싱하여  $V_{ref}$ 에 케환시켜 고이득 op-amp를 이용해 정합을 하게 되면, MOSFET 구동 펄스의 on-time이 조절되어 원하는 전류값에서 CC모드로 동작하게 된다. 이와 같은 방식은 외부소자의 수가 최소화되고, DC 영역에서 설계되므로 설계가 상대적으로 쉽다. 그러나 그림 6에서 보는 바와 같이 전원측에서 공급되는 전류와 전압이 위상 및 모양에서 일치하지 않기 때문에 역률이 낮고, 정류기의 AC 리플 전압을 제거하기 위한 콘덴서 사용으로 인해 구동회로 전체의 수명이 단축되는 문제점이 발생한다. 이를 해결하기 위한 한가지 방안은 그림 7에서와 같이 PFC기

능을 갖는 Buck변환기를 사용하는 것이다. 동작원리는 전파 정류된 전압을 필터링 없이 그대로 사용하거나 일반적으로 사용하는 전해 커패시터 대신 작은 값을 갖는 커패시터를 사용하고, Buck 변환기의 기준 전압 또한 이상적인 형태의 전파 정류된 정현파 신호를 DSP 처리를 통해 합성하여 둘 간에 정합이 되도록 케환 루프를 구성하는 것이다. 이렇게 함으로써 그림에서와 같이 전원 단의 전압과 전류간 위상을 보상하게 되어 역률을 1에 가깝게 높일 수 있고 THD 또한 우수한 성능을 갖게 된다. 기준 전압으로 사용되는 정현파는 디지털 ROM에 정현파 샘플값을 저장해 놓고, 클럭에 따라 로드하여 DAC를 통해 합성하는 디지털 주파수 합성기의 기법을 사용하면 쉽게 구현할 수 있다. 그림 8은 PFC 기능을 갖는 Buck변환기의 성능을 측정한 것이다. 역률이 개선되어 1에 가깝게 되고, THD와 효율 또한 기준이 DC형 Buck 변환기에 비해 우수한 성능을 나타낸다. 여기서 주목할 만한 사실은 LED 구동회로가 순수 아날로그 회로만이 아니라 DSP를 포함한 디지털 회로의 비중이 높아진다는 것이다. 이는 향후 진행될 LED 구동회로의 발전 방향을 보여주는 좋은 예라 할 수 있다. 아날로그 방

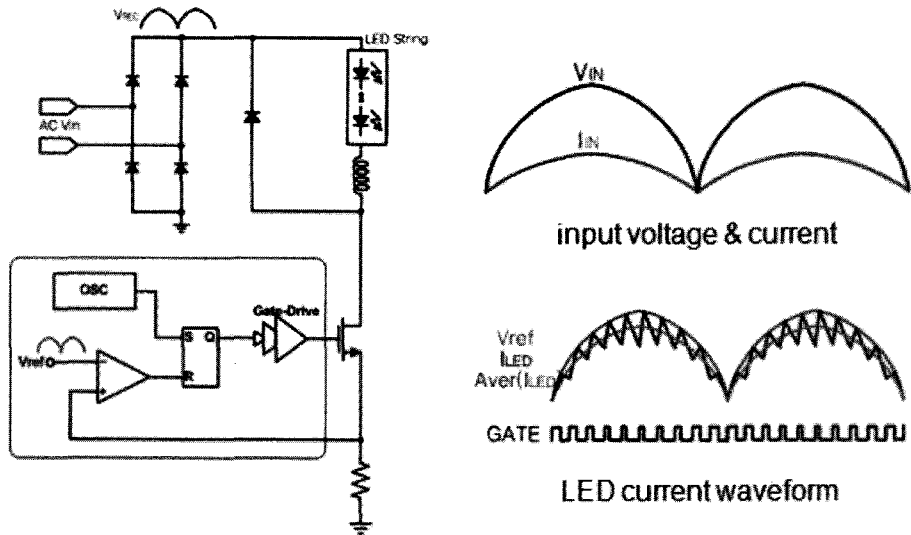
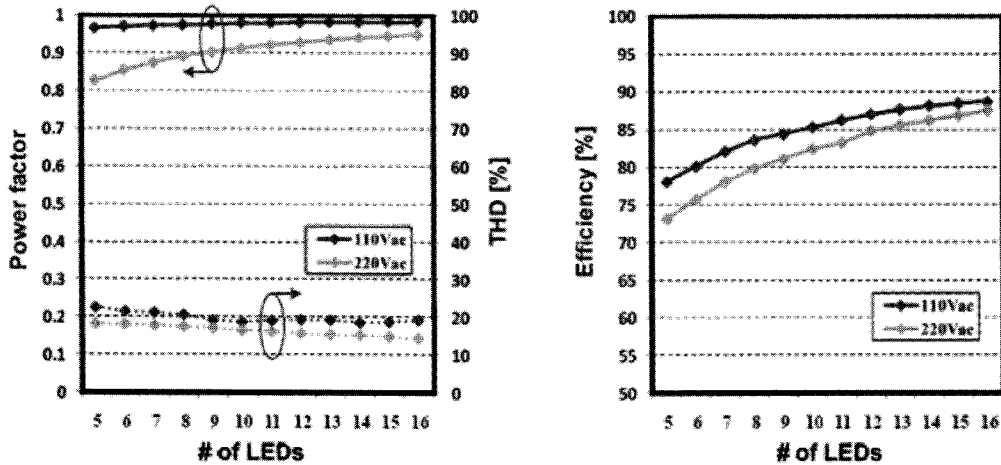


그림 7. 제안된 PFC 가능형 Buck 변환기



	110V <sub>AC</sub> , 5W	220V <sub>AC</sub> , 5W
PF	0.98	0.92
THD	18 %	16 %
Efficiency	85.3 %	82.4 %

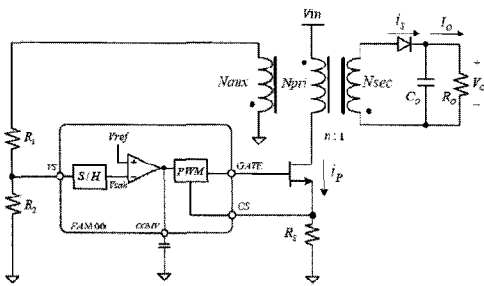
그림 8. PFC 기능형 Buck 변환기의 성능

식의 전원회로에서 성능개선이 한계에 다다름에 따라 디지털 신호처리를 이용한 아날로그 회로의 제어를 이용하여 아날로그 회로의 성능을 개선하고자 하는 시도가 많이 발견되고 있다.

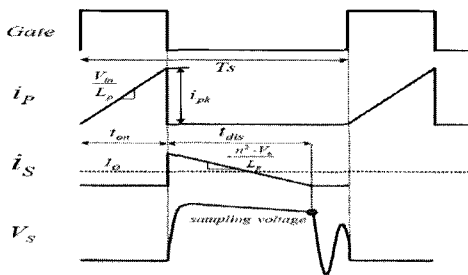
따라서 점점 더 복잡한 디지털 제어 알고리즘이 필요하게 되고 이는 곧 디지털 회로의 비중이 점차 높아지게 될 것으로 예상된다. 또한 LED 구동회로는 다양한 인체 또는 사물 감지 센서를 포함하고, 통신기능까지 포함하는 스마트 전원회로로 발전하고 있다. 이러한 경향으로 인해 단일 반도체 기판에 정확도가 높은 아날로그 회로와 파워 스테이지뿐만 아니라 디지털 회로와 심지어 초고주파 회로까지 집적되는 시도가 이루어질 것으로 예상된다. 그러나 파워 스테이지에 의한 저주파 스위칭 잡음은 아날로그, 디지털 회로 등의 다른 회로에 심각한 간섭효과를 유발하게 되어 IC 설계자 입장에서는 실패율을 낮추기 위해 기판을 통한 스위칭 간섭효과를 미리 예측할 수 있는 CAD 툴의 지원이 시급히 필요하게 되었다.

### 2.3.2 PSR Flyback 변환기

일반적으로 중간 정도의 출력전력을 얻기 위해서는 flyback 변환기를 많이 사용하게 되는데, 일정한 출력전압과 전류를 얻기 위해서 2차측에 TL431과 같은 shunt regulator나 op-amp 같은 외부 소자와 1,2차측 절연을 위한 opto coupler를 사용하게 된다. 그러나 그러한 방식은 feedback loop 구성에 따른 안정도 문제로 인해 설계가 어렵고, 외부 소자의 사용이 늘어나는 단점을 갖는다. 이와 같이 외부 소자의 사용에 따른 경제적인 비용 상승 문제와 시스템의 안정도를 증가시키기 위하여 최근에는 1차측에서 2차측에 나타나는 출력전압과 출력전류를 예측하는 방법이 제안되고 있다. 그림 9는 1차측에서 보조 마그네틱 커플링을 이용하여 2차측에 발생하는 출력전압과 전류를 검출하는 방법을 나타내고, 이를 이용하여 일정한 값을 갖는 출력전압(CV)과 출력전류(CC)를 유지하는 방법을 나타낸다.



(a)



(b)

그림 9. PSR Flyback회로의 블록도(a) 및 동작 파형(b)

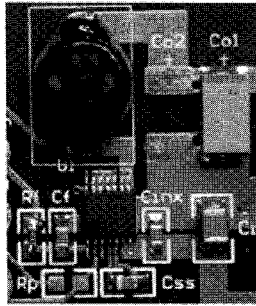
동작원리는 그림 10에서와 같이 MOS가 turn-on 되면, 1차측 인덕터에 전류가 충전되고 MOS가 off 되는 순간 1차측은 전류가 차단되고 동시에 2차측에 전류가 전달되기 시작한다. 2차측에는 1차측에 충전되었던 전류가 다 방전될 때까지 전류가 흐르게 되어 그림과 같이 MOS가 off시에 최대값을 갖는 삼각파형을 갖게 된다. 이에 따라 2차측 전류는 1차측 보조 연결단에 전압을 유도하게 되고, 전류의 기울기에 따라 일정한 전압값을 갖게 된다. 이 전압을 sample & hold 회로를 이용해 측정하여 기준전압에 정합하도록 궤환 루프를 제어하면, Gate 펄스의 duration이 조절되어 2차 측에 원하는 CV 값을 유지하도록 제어할 수 있게 된다. CC 모드 제어는 방전시간(tdis)을 측정하여 gate 펄스의 on-time을 결정하도록 궤환 루프를 제어한다.

### 3. 반도체 집적화

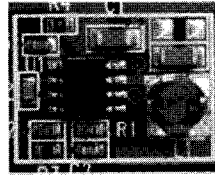
단일칩 SMPS는 discrete SMPS나 모듈 SMPS에 비해 많은 장점을 갖는다. 대표적으로 생각할 수 있는 것은 그림 11에서 볼 수 있는 바와 같이 IC에 외부 부품 수가 현격히 줄게 되고, 그럼으로써 footprint의 크기가 줄고 PCB 레이아웃이나 배치의 문제를 고민할 필요가 없게 된다. 그러나 그보다 더 중요한 개선점은 switching 잡음의 문제다. 전원회로의 switching잡음은 EMI 이슈나 여타 다른 회로의 동작에 장애를 일으키기 때문에 최대한 줄이는 것이 유리한데, 그림 10에서 볼 수 있는 바와 같이 단일 packaged SMPS의 경우 측정되는 잡음의 수준이 눈에 띄게 줄어드는 것을 알 수 있다.

그러므로 반도체 집적화의 궁극적인 목표는 단일 칩 SMPS를 구현하는 데 있다. 즉 AC 전원부터 LED 부하에 연결할 때까지 외부 부품이 전혀 없는 단일 패키지의 IC를 구현하는 것을 뜻한다. 이러한 시도는 이미 저전력 전원회로에서 시작되었으며, 이미 상당한 진전을 이루었다. 단일 칩 SMPS는 크게 두 가지 방향으로 진행된다. 하나는 파워 스테이지, 아날로그 회로, 디지털 회로 등을 각각 다른 공정으로 제작하여 개별적인 die를 하나의 패키지에 집적하는 SIP(System In Package) 기술이 있다. 이는 쉽게 생각해서 소규모 모듈을 연상하면 되는데, 그림 11과 같이 각각의 회로에 대한 반도체 IC를 개별적으로 제작한 후에 die 상태로 bonding 및 연결하여 단일 package안에 집적하는 것을 뜻한다. 이렇게 하면 회로의 특성에 따라 공정 선택이 자유롭기 때문에 파워 스테이지의 경우는 내압이 큰 공정을 선택하여 제작할 수 있고, 궤환 제어에 사용되는 아날로그 회로나 디지털 회로는 가격이 싸고 속도가 빠른 표준 공정을 이용할 수 있다. 그러나 이러한 방식은 packaging 과정에 많은 부담을 주기 때문에 test 비용과 packaging 비용의 증가를 가져오고 전체적인 시스





Low-level discrete (DEV A)



Medium-level discrete (DEV B)



전력 SOC (Pwr SOC)

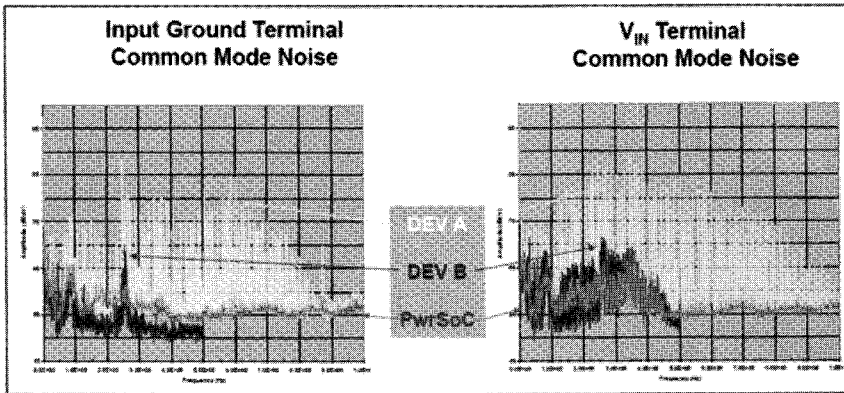
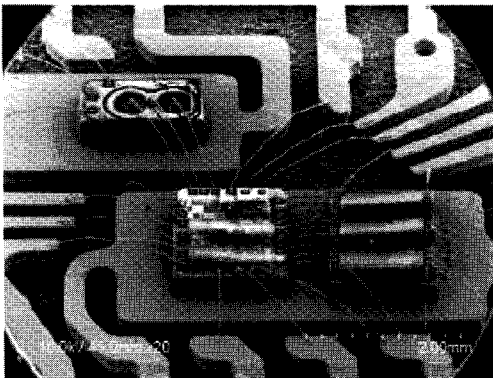
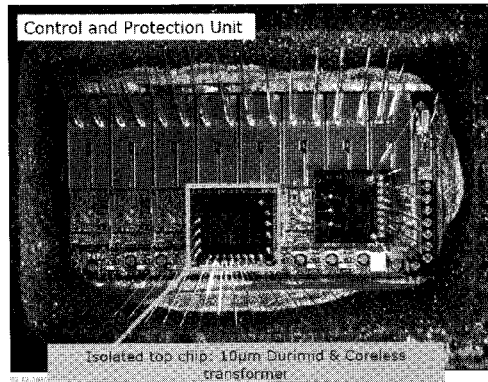


그림 10. 반도체 SOC화에 따른 효과



(a)



(b)

그림 11. SIP화된 SMPS 회로 : 단층 집적(a), 다층 집적(b)

템 단가 상승으로 연결될 수 있다.

이 기술은 이미 상당한 진전을 이루어서 그림 11 (b)에서 볼 수 있는 바와 같이 단층 집적뿐 아니라 다

층 집적을 하고 있으며, transformer를 비롯한 passive 소자도 package 안에 집적하는 것이 가능하게 되었다.

특집 : LED 조명 응용 기술

SIP가 진행된다면 다음 단계로 SOC(System On Chip)화가 진행되는데, SIP와의 차이점은 단일 반도체 기판에 모든 회로를 집적한다는 것이다. 이를 위해서는 파워 스테이지 집적을 위한 고압 공정뿐 아니라, 기존의 아날로그, 디지털 회로의 성능을 유지할 수 있도록 고속 저잡음 공정 또한 단일 반도체 기판 위에 같이 제작되어야 한다. 그림 12는 SOC 설계된 SMPS의 한 가지 예를 보여준다. 용량은 800(mW) 급으로 저용량 전원회로로 설계되었다. SOC 집적회로를 제작함에 있어서 가장 큰 장애물은 인덕터를 집

적하는 것이다. 반도체 회로 상에 인덕터를 집적하는 것은 통신이나 오디오/비디오 같은 다른 응용분야에서 이미 오래전부터 이슈화되었던 문제이다. 그 이유는 기본적으로 반도체 회로가 평면소자(planar device)를 이용해서 제작되고 공심으로 사용할 수 있는 물질이 존재하지 않고 단순히 SiO<sub>2</sub>의 유전체를 사용할 수 있을 뿐이어서 반도체 기판 위에 Q값이 높은 인덕터를 제작한다는 것이 기본적으로 불가능하기 때문이다. 그림의 회로에 4개의 인덕터를 볼 수 있는데, 평면상에서 금속선을 감는 것으로 제작하며 이를

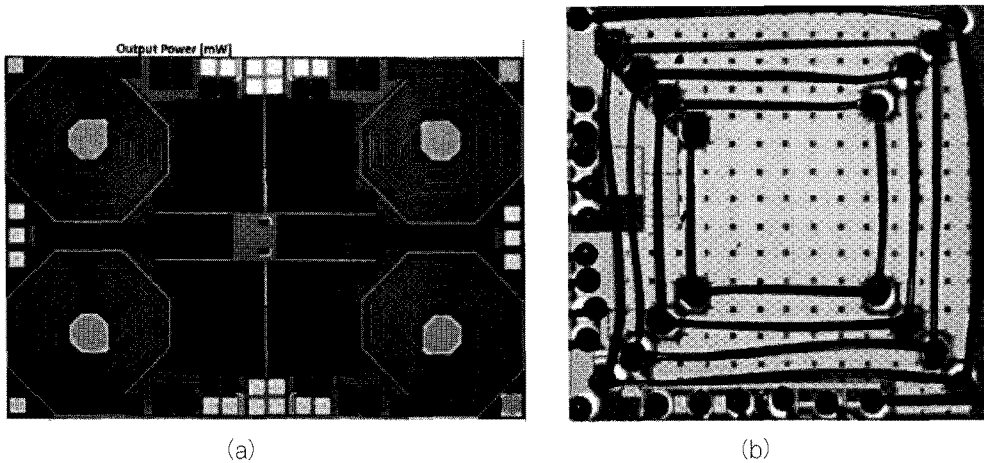


그림 12. SOC화된 SMPS회로 : spiral 인덕터 회로(a), bond wire인덕터 회로(b)

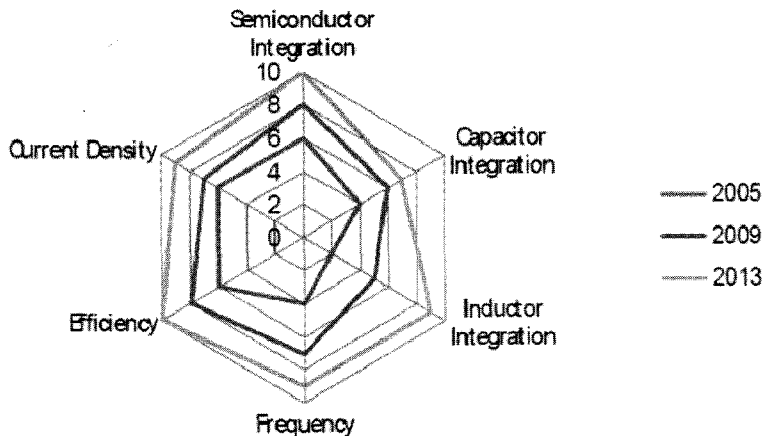


그림 13. 기술 이슈별 SOC화 진행상황도

spiral 인덕터라고 부른다. 예상할 수 있는 바와 같이 금속선의 두께가 얇고 외선으로 갈수록 자속밀도가 떨어지며, 바로 아래에 접지된 반도체 기판이 있기 때문에 Q값이 보통 10~15 정도의 낮은 값을 갖게 된다. 따라서 SOC에 가장 큰 장애가 되는 부분은 인덕터의 집적을 이루는 것이라 할 수 있다. 이를 해결하기 위한 한 가지 방안으로 그림 12 (b)에 주어진 것과 같이 bond wire를 이용해 루프를 구성하는 것이 있다. 그러나 양산성에 문제가 있어 아직은 실험실 수준의 작업이 진행중일 뿐이다. 그림 13은 각각의 기술 이슈별로 SOC 진행에 대한 상황을 보여주는 도표이다. 그림에서 알 수 있는 바와 같이 파워 반도체 집적이나 효율 개선은 이미 상당히 진전이 되었고, 파워 소자 단위 면적당 전류밀도(파워 소자의 크기를 결정하는 요인)와 switching 주파수의 개선 또한 뒤를 이어 진전을 보이고 있으나, 인덕터와 커패시터와 같은 passive소자의 집적은 가장 뒤떨어져서 진행되고 있는 것을 알 수 있다. 그러나 가까운 장래에 그러한 기술적 장애가 해결되어 SOC형 LED 구동회로에 적용되어 가격과 form factor 측면에서 획기적인 발전을 이룰 수 있을 것으로 기대된다.

#### 4. 결 론

LED 구동회로는 SMPS의 발전된 기술을 따라 지난 수년간 효율과 수명 측면에서 많은 발전을 이루었고, 현재 상용화 수준의 많은 제품들이 발표되고 실제로 retrofit 제품에 적용되고 있다. 이러한 SMPS 회로기술의 발전과 더불어 반도체 집적화에도 많은 발전을 이루었으나 아직 수동소자의 집적 측면에서 더 많은 기술 발전이 요구되는 상황이다. 회로기술의 발달은 필연적으로 기존의 아날로그기반의 전력회로뿐 아니라 디지털 제어용 DSP의 혼성 신호 집적을 요구하게 되었고, 이는 아날로그-디지털 상호간 간섭의 문제를 해결하고 혼성신호 통합 검증 시스템의 개발

을 요구하게 되었다. 따라서 반도체 설계용 CAD 프로그램을 제작하는 다수의 회사와 반도체 제조 업체들이 이 분야에 집중 투자할 것으로 예측되며, 기존의 많은 수의 통신용 IC 설계자들이 전력용 IC 설계분야로 넘어오면서, 타 기술과의 접목을 통한 SOC 회로 기술의 발전이 기대되는 상황이다.

#### ◇ 저 자 소 개 ◇



**황인철(黃仁哲)**

1970년 10월 1일생. 1993년 고려대학교 전자전산공학과 졸업. 1995년 고려대학교 대학원 전자공학과 졸업(석사). 2000년 고려대학교 대학원 전자공학과 졸업(박사). 2001년 University of Illinois, Urbana-Champaign Research Associate. 2007년 삼성전자 LSI사업부 책임연구원. 2007년 3월~현재 강원대학교 전기전자공학부 교수.



**이영제(李咏帝)**

1977년 3월 2일생. 2003년 동아대학교 전자공학과 졸업. 2002년~현재 페어차일드 코리아 반도체 Development group 선임연구원.



**조계현(曹桂鉉)**

1973년 3월 27일생. 1998년 강원대학교 전기공학과 졸업. 2000년 강원대학교 전기공학과 졸업(석사). 2004년 강원대학교 전기공학과 졸업(박사). 2004년~현재 페어차일드 코리아 반도체 System & Application group 선임연구원.