

# G-PON TC 계층을 위한 이더넷 정합기의 구현

종신회원 정 해\*, 준회원 안 유 광\*

## Implementation of an Ethernet Adapter for the G-PON TC Layer

Hae Chung\* *Lifelong Member*, Eu Kwang Ahn\* *Associate Member*

### 요 약

G-PON은 FTTH를 효율적으로 구현하는 한 방안이며 이더넷, IP 패킷, TDM 신호 등을 수용할 수 있는 GEM 프레임에 가지고 있다. 그 중에서도 이더넷은 캠퍼스, 가입자 액세스, 캐리어 서비스에 있어서 가장 널리 사용되는 제 2 계층 프로토콜이므로 G-PON 시스템은 이더넷 인터페이스를 우선적으로 제공해 주어야 한다. 본 논문은 G-PON TC 칩에서 이더넷 프로토콜을 수용하기 위해 ITU-T G984.3에서 제시한 Ethernet over GEM 규격을 바탕으로 기가급의 이더넷 정합기를 구현한다. 정합기는 각각의 이더넷 프레임을 하나 또는 여러 개의 GEM 프레임에 매핑하고 GEM 헤더 생성, 프레임의 캡슐화, 분할 및 재조립 기능을 가진다. 특히, 구현된 정합기는 규격에는 없지만 중요한 기능인 MAC 주소를 논리적 연결을 확인하는데 역할을 하는 port-ID로 바꾸어 주는 변환기를 내장하고 있다. 이 정합기는 FPGA로 구현되며 논리분석기와 이더넷 분석기를 이용하여 프레임 분할과 조립, 주소 학습 기능과 처리율 등을 확인한다.

**Key Words** : Ethernet Adapter, G-PON, FTTH, GEM Frame

### ABSTRACT

The G-PON is an efficient solution to implement the FTTH and have GEM frame to accommodate various protocols like Ethernet frames, IP packets, and TDM signals. Above all, the Ethernet is one of the most widely used 2nd layer protocol in the campus, the subscriber access, and the carrier service. So G-PON system has to provide an Ethernet interface with top priority. In this paper, we implement a gigabit Ethernet adapter based on Ethernet over GEM in the ITU-T G.984.3 to accommodate Ethernet protocol in the G-PON TC chip. The adapter maps each Ethernet frame to a single or multiple GEM frames and has several functions including generation of the GEM header, encapsulation of frames and the SAR. In particular, the adapter have converter (LUT) MAC address to port-ID which is a key to identify logical connections though it is not defined in specification but important. We implement the adapter with a FPGA and verify the functions of segmentation and reassembling, MAC address learning, and throughput with the logic analyzer and the Ethernet analyzer.

### I. 서 론

정부의 기가 코리아 (Giga Korea) 정책은 4세대 (4G) 이동통신 이후 찾아올 기가급 통신환경에 대비하는 것으로 이를 이루기 위해서는 유선환경의 뒷받

침이 되어야 할 것이다. 따라서 맥내에서도 멀지 않은 장래에 기가급의 유선 인프라가 보급될 것으로 보인다. UBcN (Ultra Broadband Convergence Network), 즉 초광대역통합망에서는 일반가정에서도 1 Gbps의 전송속도를 제공하기 때문에 FTTH (Fiber to the

\* 이 논문은 2008년도 정부재원 (교육인적자원부 학술연구조성사업비)으로 한국학술진흥재단 (현 한국연구재단)의 지원을 받아 연구되었음 (KRF-2008-521-D00317).

\* 금오공과대학교 전자통신과 통신망연구실(hchung@kumoh.ac.kr)

논문번호 : KICS2011-02-125, 접수일자 : 2011년 2월 25일, 최종논문접수일자 : 2011년 4월 22일

Home)의 도입이 필수적이다. FTTH 기술은 광케이블을 각 가정까지 직접 연결하여 데이터의 고속 전송을 보장함으로써 서비스의 다양화와 고품질, 고속화를 가능하게 한다.

FTTH는 구성하는 방식에 따라 크게 능동소자를 사용하는 AON (Active Optical Network)과 수동소자를 사용하는 PON (Passive Optical Network)으로 구분되며, 망사업자들은 유지보수가 편한 PON 방식을 선호하는 편이다. 그리고 PON은 액세스 방식에 따라서 TDMA (Time Division Multiple Access) 방식과 WDMA (Wavelength Division Multiple Access) 방식으로 구분되고, TDMA 방식은 B-PON (Broadband PON), E-PON (Ethernet PON), G-PON (Gigabit capable PON)으로 구분할 수 있다<sup>14</sup>. 그 중에서도 E-PON과 G-PON은 국내에서 많이 적용되고 있고, 전자는 1 Gbps에서 10 Gbps로 발전하며 상호운용성 표준이 진행 중이며<sup>5,6</sup>, 후자는 2.4 Gbps에서 출발하여 추후에는 더 높은 전송률을 제공할 것이다<sup>7</sup>.

E-PON은 말 그대로 이더넷 프레임용 기본 전송 형식으로 사용하지만, G-PON에서는 전송도구로 GEM (G-PON Encapsulation Method) 프레임을 사용하며, 이를 통하여 이더넷 프레임, IP (Internet Protocol) 패킷, TDM (Time Division Multiplexing) 신호 등 다양한 프로토콜을 수용할 수 있다. 이와 같이 신호들을 처리하기 위해서는 정합기능이 필수적이며 저속의 신호가 G-PON에 연동되는 경우 G-PON 망 내의 데이터 통신 노드는 저속에서 고속으로 변환처리 능력이 필요하다<sup>8-10</sup>.

그 중에서도 이더넷은 캠퍼스, 가입자 액세스, 캐리어 서비스 등 가장 널리 사용되는 제 2 계층 프로토콜이므로 G-PON 시스템에서도 이더넷 인터페이스를 우선적으로 제공해야 할 것이다. 본 논문에서는 G-PON TC (Transmission Convergence) 칩에서 이더넷 프로토콜을 수용하기 위해 ITU-T G.984.3에서 제시한 Ethernet over GEM 규격을 따르는 기기급의 이더넷 인터페이스를 갖는 정합기를 구현한다. 이 정합기는 각각의 이더넷 프레임을 하나 또는 여러 개의 GEM 프레임에 매핑한다. 이를 위하여 GEM 헤더의 생성, 프레임을 캡슐화, 분할과 재조립의 기능을 가진다. 특히, 구현된 정합기는 규격에는 없지만 중요한 기능인 MAC (Media Access Control) 주소를 Port-ID (Port Identifier) 로 바꾸어 주는 변환기를 내장하였다. 여기서, Port-ID는 G-PON에서 논리적 연결을 제공하며 프레임의 목적지를 확인하는데 중요한 역할을 한다. 이러한 기능들을 FPGA (Field

Programmable Gate Array)로 구현하며 논리분석기와 이더넷 분석기를 이용하여 설계된 기능들을 확인한다.

논문의 구성은 다음과 같다. II절에서 G-PON 시스템의 개요에 대해 살펴보고, III절에서는 이더넷 정합기의 구현 방법에 대해 설명한다. 그리고 IV절에서는 구현된 이더넷 정합기의 기능을 논리 분석기와 이더넷 분석기를 통해 검증하고, 마지막 V절에서 결론을 맺는다.

## II. G-PON의 시스템의 개요

G-PON 시스템은 Ethernet, IP, TDM 등과 같이 다양한 서비스 망의 프로토콜을 수용한다. 그림 1은 ITU-T G.984.3에 명시된 G-PON 계층 구조이다.

G-PON TC 계층은 상위 계층의 OMCI (Optical Network Unit Management and Control Interface), GEM Client와 연결된다. GEM Client는 다양한 서비스 망의 프로토콜을 수용하고, 이는 GEM 정합기와 연결된다. GEM 정합기와 DBA (Dynamic Bandwidth Assignment) Control, PLOAM (Physical Layer OAM Operations, Administrations and Maintenance)은 GTC (G-PON TC) 프레임링 부계층과 연결된다. GTC 프레임링 부계층은 정합기에서 전송되는 데이터와 DBA 정보, PLOAM 등을 G-PON TC 프레임으로 다중화 또는 역 다중화한다.

G-PON TC 프레임은 ONU (Optical Network Unit)가 OLT (Optical Line Termination)에게 버스트 형태로 전송하는 상향 프레임과 125  $\mu$ s 주기로 OLT가 ONU들에게 전송하는 하향 프레임으로 구분된다. 상향 프레임과 하향 프레임은 구조의 차이는 있으나 데이터 영역인 GEM 프레임의 구조는 동일하다. 그림 2는 하향 프레임 구조이다.

하향 프레임은 오버헤드 영역인 PCBd (Physical Control Block downstream)와 GEM 프레임으로 구성

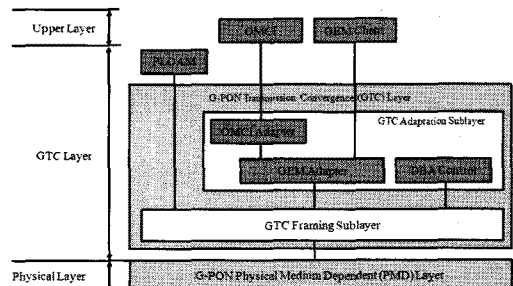


그림 1. G-PON 계층 구조  
Fig. 1. Hierarchical structure of G-PON.

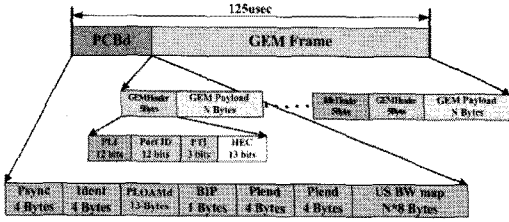


그림 2. G-PON 하향 프레임  
Fig. 2. Downstream frame of G-PON.

된다. PCBd의 USBW map (Upstream bandwidth map) 영역은 활성화된 ONU 개수의 따라 그 영역의 크기가 결정된다. 따라서 GEM 프레임 영역은 PCBd의 길이에 따라 가변적인 크기를 가진다. GEM 프레임의 구성은 GEM 헤더와 GEM 유료부하로 구성되며, 전송할 프레임이 없을 경우에는 5 바이트의 Idle 헤더 '0xB6AB31E055'를 전송함으로써 수신 측에서 동기를 유지할 수 있도록 한다.

GEM 헤더는 PLI (Payload Length Indicator), Port-ID, PTI (Payload Type Indicator), HEC (Header Error Control)로 구성된다. GEM 유료부하의 길이를 표시하는 PLI는 12 비트로 1에서 4096까지의 길이를 가지며 처리해야 할 사용자 데이터의 길이가 4096 바이트 이상일 경우 분할된다. Port-ID는 12 비트로 GEM 유료부하가 전달되어야 할 경로를 나타낸다. GEM 유료부하에 분할 정보를 표시하는 PTI는 3 비트로 그림 3과 같이 GEM 프레임에 적용되며, 그 값이 2 진수 '001'이면 분할되지 않은 데이터임을 의미하고 PTI의 값이 2 진수 '000'이면 분할된 데이터임을 의미한다. 즉, PTI는 처리할 데이터의 길이와 남아있는 GTC 유료부하의 길이에 따라서 결정된다. HEC는 PLI, Port-ID, PTI 정보에 기초한 13 비트의 HEC 부호이며, GEM 프레임에 동기 유지 및 오류를 검출한다<sup>[11]</sup>.

그림 4는 GEM으로 이더넷 매핑을 위한 프레임의 구조이다. 이더넷 프레임은 GEM 프레임의 유료부하로 전송된다. GEM 유료부하에는 이더넷 프레임의 IFG (Inter Frame Gap)과 선행자 (preamble), 구분자 (delimiter), EOF (End of Frame delimiter)를 제외한 데이터가 전송된다. 따라서 GEM 헤더의 PLI는 GEM 유료부하 영역으로 매핑되는 데이터의 길이에 의해, Port-ID는 이더넷 프레임의 목적지 주소에 의해 생성된다. 각각의 이더넷 프레임은 하나의 GEM 프레임이나 다수의 GEM 프레임으로 매핑되며, GEM 프레임은 오직 하나의 이더넷 프레임<sup>[12]</sup> 매핑하는 구조를 가진다.

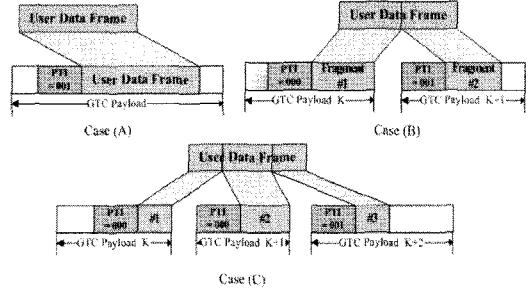


그림 3. GEM 프레임과 GTC 유료부하  
Fig. 3. Payload of GTC and GEM frame.

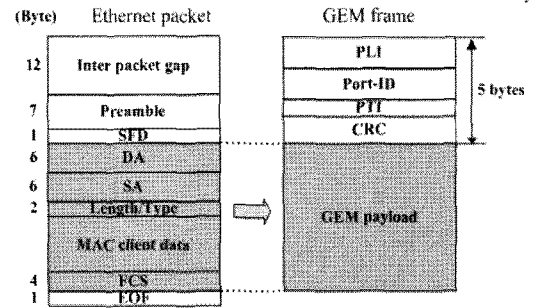


그림 4. GEM으로 이더넷 매핑을 위한 프레임의 구조  
Fig. 4. Frame structure for Ethernet mapping to GEM frame.

### III. 이더넷 정합기의 구현

#### 3.1 이더넷 정합기의 구조

본 논문에서 설계한 이더넷 정합기는 그림 5와 같이 크게 송신부, 수신부, LUT (Look Up Table)로 구성된다. 송신부는 목적지 주소 추출기 (Destination Address Extractor), 이더넷 프레임 길이 카운터 (Ethernet frame length Counter), GEM 헤더 생성기 (Header Generator), 분할버퍼 (Segment Buffer)로 구성되고, 수신부는 재조립 버퍼 (Reassembly Buffer), 발신지 주소 추출기 (Source Address Extractor)로 구성된다.

송신부는 GMII (Gigabit Media Independent Interface)로부터 유입된 이더넷 프레임으로부터 GEM 헤더를 생성하고 이더넷 유효 데이터를 추출한 후, GEM 프레임을 만들어 G-PON 프레임에 전달한다. GEM 헤더의 정보는 목적지 주소 추출기와 길이 카운터를 통해 생성된다.

수신부는 G-PON 구간으로부터 GEM 프레임을 수신하여 각 프레임의 헤더를 제거하고, 분할된 경우에는 두 개 이상의 GEM 프레임의 유료부하를 이어

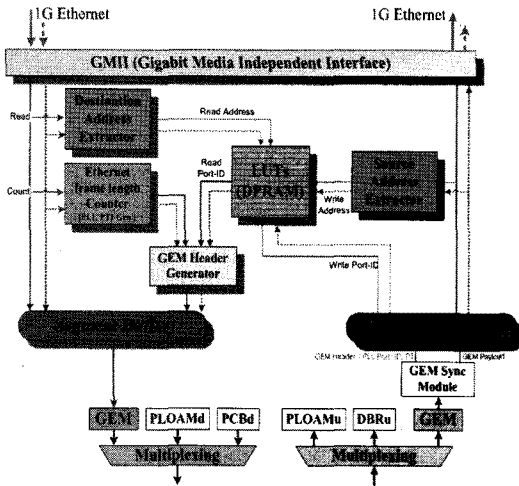


그림 5. 이더넷 정합기의 구조  
Fig. 5. Structure of Ethernet adaptor.

붙여서 이더넷 프레임의 복원하고 이를 GMII로 보낸다. 수신부에서의 LUT는 GEM 프레임에서 복구된 이더넷 프레임의 발신지 주소에 대응하는 Port-ID를 저장하는 역할을 한다. 송신부에서의 LUT는 GMII로부터 오는 이더넷 프레임의 목적지 주소에 해당하는 번지에 저장된 Port-ID를 출력하여 GEM 헤더를 생성하는데 필요한 정보를 제공한다.

3.2 이더넷 정합기의 송신부

그림 6은 세부적인 이더넷 정합기 송신부의 블록 다이어그램이며, 그림 내의 화살표는 데이터 패스와 속도를 나타낸다.

이더넷 정합기의 송신부의 동작은 GMII에서 TX\_EN 신호와 TXD<0:7>가 유입되면서 시작하여 버퍼와 GEM HEC Encoder, 다중화기를 거쳐 GTC 프레임의 유료부하로 전송한다. 이더넷 데이터 버퍼에 프레임이 유입될 때는 1 Gbps (125 MHz 클럭)로 저장되고, 송출 시는 G-PON의 하향 전송속도인

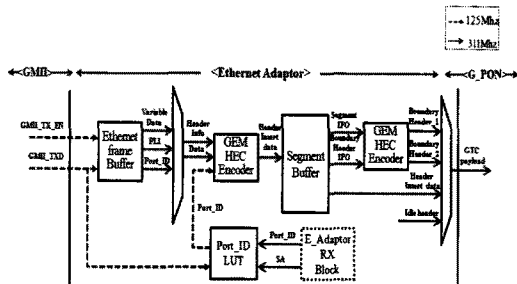


그림 6. 이더넷 정합기의 송신부의 블록 다이어그램  
Fig. 6. Ethernet adaptor transmitter block diagram.

2.48832 Gbps (311.04 MHz 클럭)로 출력된다.

유효 데이터의 길이는 버퍼 저장 시에 계수한다. 송신 이더넷 프레임 버퍼 (frame buffer)에서 다중화기를 거쳐 출력되는 GEM 헤더 정보와 데이터를 가지고 GTC 유료부하의 남은 길이를 고려하지 않고 HEC를 생성한다.

그림 2와 같이 G-PON 프레임은 125 μs 주기로 유료부하가 끝나고 PCBd가 등장하며, PCBd 다음에 반드시 GEM 헤더가 나오게 구성되어 있다. 따라서 송신해야 할 GEM 프레임이 다음 PCBd의 위치와 겹치게 되면 GEM 프레임을 분할되어야 한다. 그러므로 생성된 GEM 헤더와 데이터는 분할버퍼에 전달된다. 그림 7은 분할버퍼에 사용되는 DPRAM (Dual Port RAM) 출력 신호의 제어 순서도이다. 순서도는 클럭이 입력될 때마다 한 번씩 수행된다.

Segment\_DPRAM 출력 신호의 제어 순서도는 다음과 같은 변수를 정의한다.

- GTC\_payload\_EN: GTC 유료 부하의 영역을 표시
- Segment\_EN: GEM 프레임의 분할 여부를 표시
- Data\_wait\_EN: DPRAM의 출력을 기다리는 데이터의 여부를 표시
- Data\_write\_end\_EN: DPRAM의 한 프레임의 데이터가 모두 저장되었음을 표시

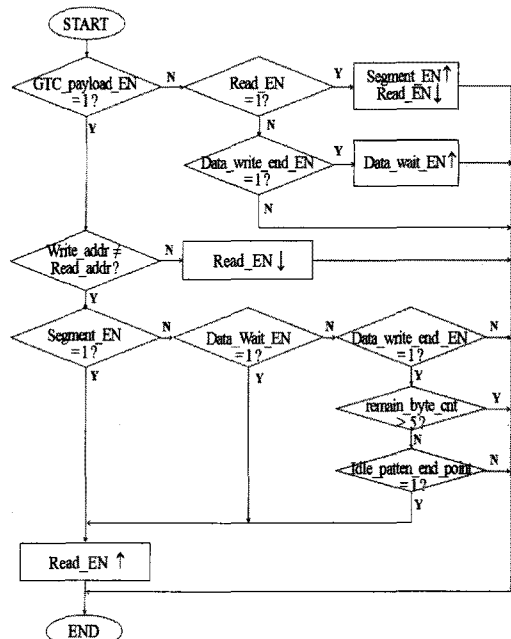


그림 7. Segment\_DPRAM의 출력 제어 순서도  
Fig. 7. Control flow diagram of segment\_DPRAM output.

- Idle\_patten\_end\_point: Idle\_Header를 위한 영역이 끝남을 표시
  - Write\_addr: DPRAM의 Write 주소 값
  - Read\_addr: DPRAM의 Read 주소 값
  - remain\_byte\_cnt : GTC 유료부하의 남은 길이
- Segment\_DPRAM은 위와 같은 변수를 고려하여 저장한 데이터를 출력한다. 출력되는 데이터 중 분할이 이루어진 데이터의 헤더 정보는 GEM HEC Encoder를 통해 다시 GEM 헤더를 생성하고, 다중화기를 거쳐 GTC 유료부하로 전송한다.

### 3.3 이더넷 정합기의 수신부

그림 8은 이더넷 정합기 수신부의 블록 다이어그램이다. 이더넷 정합기의 수신부는 G-PON 구간에서 GTC 프레임이 유입되면 GEM HEC Decoder를 통해 오류가 없는 GEM 프레임만을 처리한다. 수신된 GEM 프레임은 역 다중화기를 거쳐 PLI, PTI, Port-ID와 발신지 주소, GEM 유료부하로 구분된다. PLI, PTI, GEM 유료부하는 재조립 버퍼로 전송되고, Port-ID와 발신지 주소는 LUT로 전송된다. 재조립 버퍼는 PLI, PTI를 이용하여 분할된 데이터를 재결합한다. 재결합된 데이터는 다중화기를 거쳐 최소 IFG와 선행자, 구분자를 덧붙여서 311.04 MHz 클럭으로 수신 이더넷 프레임 버퍼에 저장된다. 저장된 이더넷 프레임은 data\_valid 신호와 함께 125 MHz 클럭으로 GMII로 전송된다.

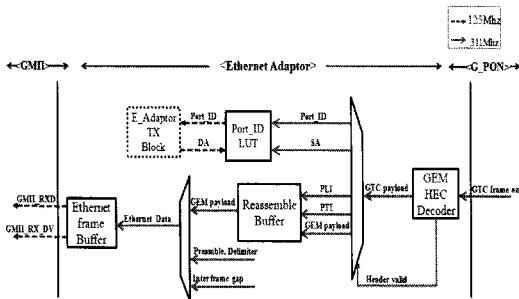


그림 8. 이더넷 정합기의 수신부의 블록 다이어그램  
Fig. 8. Ethernet adaptor receiver block diagram.

### 3.4 MAC 주소를 Port-ID로 변환하는 LUT

LUT은 이더넷 프레임이 유입되면 목적지 MAC 주소를 Port-ID로 변환하는 기능을 수행한다. 변환처리의 방법은 목적지 MAC 주소 48 비트를 추출하고 추출하는 구간동안 addr\_valid 신호를 함께 출력한다.

추출된 주소와 신호는 CRC (Cyclic Redundancy Check) 모듈의 데이터 입력과 enable 신호의 입력으

로 들어가게 된다. CRC 모듈을 사용하는 이유는 다음과 같다. MAC 주소에 대응되는 Port-ID를 출력하는 LUT로 구현하기 위해서는 주소의 길이가 6 바이트이기 때문에  $2^{48}$ 의 길이를 갖는 DPRAM을 필요로 한다. 이는 너무 많은 논리회로를 소모하기 때문에 CRC 생성기법을 이용하여 48 비트의 주소를 12 비트로 환화하는 모듈을 사용하는 것이다.

결국 12 비트의 환화된 주소와 addr\_valid가 LUT에 입력으로 들어가 학습된 Port-ID를 출력한다. 학습은 정합기 내의 GEM 프레임의 수신부에서 이루어진다. 즉, 수신된 GEM 프레임에서 복원한 이더넷 프레임의 발신지 주소와 그 GEM 프레임의 헤더가 가지고 있는 Port-ID를 대응시켜 LUT에 저장함으로써 학습된다.

## IV. 이더넷 정합기의 동작 검증

본 논문에서 구현된 이더넷 정합기는 Xilinx FPGA Virtex-4 (XC4VFX100)의 FPGA 칩을 사용하였고 Xilinx ISE 9.1i 툴을 이용하여 Verilog로 구현하였다. 그리고 설계 검증은 논리 분석기인 칩 스코프와 이더넷 분석기인 SmartBits 600B를 사용하였다. 실제 구현은 그림 9와 같이 Xilinx사의 ML423 개발 보드를 사용하였다<sup>[13]</sup>.

Virtex-4는 MGT (Multi-Gigabit Transceiver)를 내장하고 있고 3 Gbps 이상의 전송속도를 지원하고 있다. ML423 보드는 Virtex-4 MGT를 이용하여 1000BASE-CX 인터페이스를 제공한다. 보드와 이더넷 분석기를 연동하기 위하여 OE (Optic to Electric) 컨버터를 사용하였다. 그림에서 좌측에 보드는 OLT이고, 우측의 것은 ONU에 해당한다<sup>[14]</sup>.

이더넷 정합기의 동작 검증을 위한 이더넷 프레임은 64 바이트에서 1500 바이트까지의 사용자 데이터 길이와 12 바이트에서 1609 바이트까지의 IFG 길이

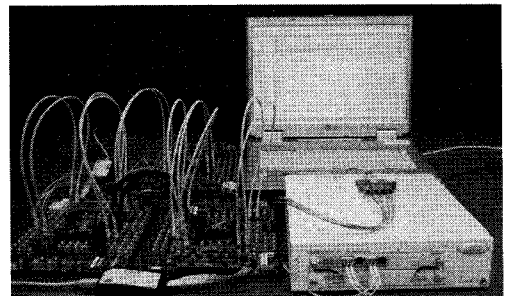


그림 9. Xilinx ML423 개발 보드  
Fig. 9. Xilinx ML423 development board.

를 갖도록 설정하였다.

그림 10은 GEM 헤더 정보인 PLI를 계산하기 위한 프레임 길이 카운터의 동작을 보여준다. 카운터는 이더넷 프레임이 유입되면 목적지 MAC 주소부터 시작하여 EOF 데이터까지 카운터 되며, PLI의 값은 EOF 이전 데이터까지의 값 (329)이 됨을 보여준다.

그림 11은 Idle 헤더와 GTC 프레임 경계처리 과정이다. GEM 프레임이 분할 될 경우 GTC 프레임 경계 근방에서 각각의 GEM 헤더가 생성되어 GEM 프레임으로 출력되는 파형이다. 구간 1에서는 전송할 프레임이 없을 경우 Idle 헤더 '0xB6AB31E055'가 출력되며, 분할된 GEM 프레임 정보로 첫 번째 GEM 헤더가 생성된다. 구간 2에서는 분할된 GEM 프레임의 두 번째 GEM 헤더가 생성되어 GTC 유효부하 영역이 시작하는 시점에서 출력된다.

그림 12는 GTC 프레임 경계에서 분할된 GEM 프레임이 유입될 때, GEM 재조립 버퍼에 저장되는 과정이다. GEM 재조립 버퍼는 Header\_valid 신호를 확인하여 오류가 없는 GEM 프레임에 한해서 헤더의 PTI 값을 저장하고, 저장된 값에 따라 프레임이 분할되었는지를 판단한다. 구간 1과 구간 2는 분할된 첫 번째 GEM 프레임이며, Write\_EN 신호는 GEM 재조립 버퍼에 사용되는 DPRAM의 데이터를 저장하기 위한 신호이다. 이 신호는 GEM 프레임의 유효부하

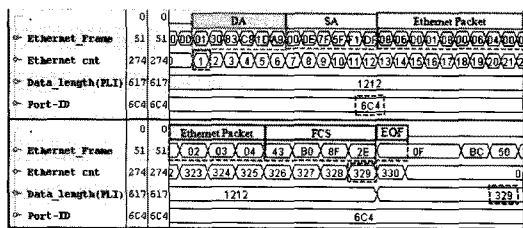


그림 10. PLI 생성을 위한 이더넷 프레임 길이 카운터  
Fig. 10. Ethernet frame length counter for PLI generation.

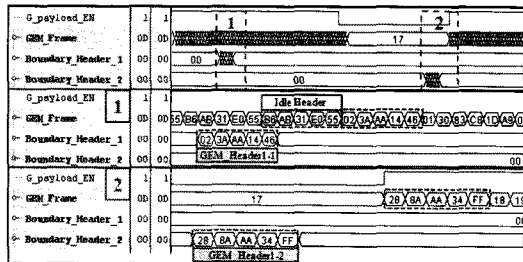


그림 11. Idle 헤더와 GTC 프레임의 경계처리  
Fig. 11. Idle header and boundary processing of GTC frame.

영역에서만 활성화되므로 이더넷 데이터에 해당하지 않는 헤더 영역은 저장되지 않는다. 구간 2의 Write\_EN 신호가 비활성화 되는 영역부터 구간 3의 GEM 헤더 전까지가 PCBd 영역이다. 이 영역에서 Write\_EN 신호가 비활성화 되고, 구간 3과 구간 4에서 보여주는 분할된 두 번째 GEM 프레임의 유효부하 영역에서 다시 활성화됨으로써 분할된 데이터가 연속적으로 저장된다.

그림 13은 그림 12의 분할된 GEM 프레임이 GEM 재조립 버퍼를 통해 재조립되어 출력되는 과정이다. 구간 1에서는 매핑되는 과정에서 제거된 IFG 12 바이트와 선행자와 구분자 8 바이트를 복원한 후 GEM 재조립 버퍼의 데이터가 출력된다. 구간 2에서는 GEM 재조립 버퍼의 저장된 이더넷 프레임의 마지막 필드인 FCS (Frame Check Sequence) 출력 이후 EOF를 복원하여 데이터를 전송하는 것을 보여준다.

그림 14는 LUT의 MAC 주소 학습 과정이다. 구간 1에서는 최초 학습되지 않은 목적지 MAC 주소가 유입되었을 경우 Port-ID는 0xFF (12비트 모두 '1')를

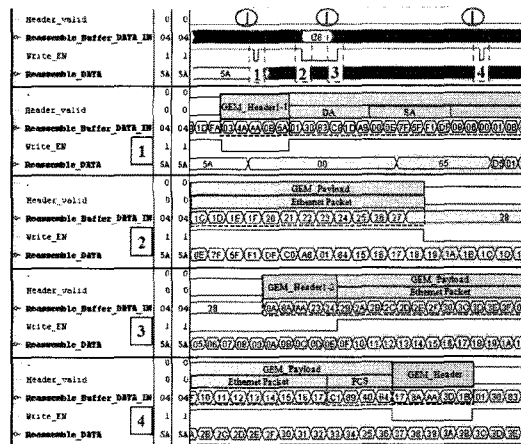


그림 12. GEM 재조립 버퍼의 입력  
Fig. 12. Input of GEM reassemble buffer.

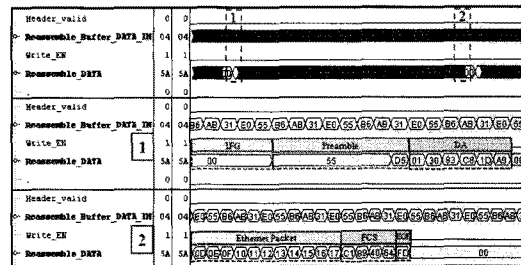


그림 13. GEM 재조립 버퍼의 출력  
Fig. 13. Output of GEM reassemble buffer.

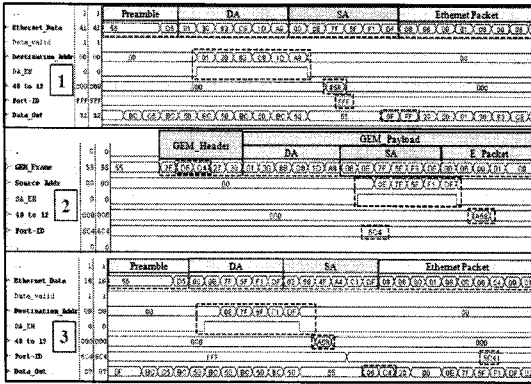


그림 14. LUT의 MAC 주소 학습  
Fig. 14. MAC address learning of LUT.

출력하는 것을 보여준다. 구간 2에서는 이더넷 정합기 수신부에서 발신지 MAC 주소 48 비트를 CRC 모듈을 통해 12 비트로 변환한 값을 LUT에 주소 값으로 하여 Port-ID를 저장하는 것을 보이며, 구간 3에서는 학습된 목적지 MAC 주소가 유입되었을 경우 LUT의 해당 번지에 저장되어 있는 Port-ID를 출력하는 것을 보여준다.

그림 15는 이더넷 분석기를 통해 IFG을 12 바이트로 고정하고, 64 바이트의 고정된 패킷을 전송했을 때 실험 결과이다. 우측 칼럼은 rate를 표시한 것으로 64 바이트를 가진 프레임은 초당 1,488,078 개의 송·수신하였으므로 약 762 Mbps에 해당하며 12 바이트의 IFG을 포함하면 1 Gbps full rate로 전송한 것이다. 이더넷 분석기의 프레임 인식률은 송신한 프레임에 대해 100%의 수신률을 보인다.

그림 16은 이더넷 분석기를 통해 IFG을 12~1609 바이트로 하고, 프레임 길이는 64~1500 바이트로 하여 가변적인 전송률과 가변적인 길이를 가진 패킷을 전송했을 때 실험 결과이다. 이더넷 분석기의 프레임 인식률은 송신한 프레임에 대해 99.99%의 수신률을 보인다. 약 343만 프레임 중에서 1 프레임에 CRC 오

|                | Events              |                     | Rates               |                     |
|----------------|---------------------|---------------------|---------------------|---------------------|
|                | Port 1-02 LAN-3320A | Port 1-02 LAN-3320A | Port 1-02 LAN-3320A | Port 1-02 LAN-3320A |
| Tx Frames      | 14,195,963          | 1,488,078           |                     |                     |
| Rx Frames      | 14,195,967          | 1,488,078           |                     |                     |
| Tx Bytes       | 908,541,696         | 95,236,966          |                     |                     |
| Rx Bytes       | 908,541,952         | 95,236,966          |                     |                     |
| Tx Triggers    | 0                   | 0                   |                     |                     |
| Rx Triggers    | 0                   | 0                   |                     |                     |
| CRC Errors     | 0                   | 0                   |                     |                     |
| OverSize       | 0                   | 0                   |                     |                     |
| Frag/UnderSize | 0                   | 0                   |                     |                     |
| Tx From Stack  | 0                   | 0                   |                     |                     |
| Rx To Stack    | 437,269             | 45,829              |                     |                     |

그림 15. 이더넷 분석기를 통한 64 바이트 프레임 시험  
Fig. 15. 64 bytes frame test with Ethernet analyzer.

|                | Events              |                     | Rates               |                     |
|----------------|---------------------|---------------------|---------------------|---------------------|
|                | Port 1-02 LAN-3320A | Port 1-02 LAN-3320A | Port 1-02 LAN-3320A | Port 1-02 LAN-3320A |
| Tx Frames      | 3,437,717           | 92,287              |                     |                     |
| Rx Frames      | 3,437,714           | 92,287              |                     |                     |
| Tx Bytes       | 2,270,436,972       | 61,047,954          |                     |                     |
| Rx Bytes       | 2,270,436,579       | 61,047,953          |                     |                     |
| Tx Triggers    | 0                   | 0                   |                     |                     |
| Rx Triggers    | 0                   | 0                   |                     |                     |
| CRC Errors     | 1                   | 0                   |                     |                     |
| OverSize       | 0                   | 0                   |                     |                     |
| Frag/UnderSize | 0                   | 0                   |                     |                     |
| Tx From Stack  | 0                   | 0                   |                     |                     |
| Rx To Stack    | 1,365,771           | 36,688              |                     |                     |

그림 16. 이더넷 분석기를 통한 가변 전송률 시험  
Fig. 16. Variable rate test with Ethernet analyzer.

류가 발생한 것은 MGT가 다소 불안한 것에 기인한 것으로 판단된다.

## V. 결론

가입자 대내까지 기가급 인프라를 제공하기 위해서는 FTTH 기술이 선호된다. 다양한 FTTH 방식 중에서도 G-PON은 좋은 대안으로 간주되고 있다.

G-PON 시스템은 GEM 프레임을 통해 다양한 서비스 망의 프로토콜을 지원한다. 본 논문은 G-PON TC 칩에서 이더넷 프로토콜을 수용하기 위해 ITU-T G984.3에서 제시한 Ethernet over GEM 규격을 바탕으로 기가급의 이더넷 정합기를 구현하였다. 구현된 이더넷 정합기는 Xilinx사의 XC4VFX100 FPGA를 사용하여 검증하였고, 논리 분석기 및 이더넷 분석기를 이용하여 GEM 헤더 생성, 프레임의 캡슐화, 분할 및 재조립기능 및 LUT의 동작을 검증하였다.

프레임의 분할 및 재조립 기능을 구현하기 위해 DPRAM을 사용하였고, LUT를 통해 발신지 MAC 주소와 Port-ID를 실시간으로 학습함으로써 목적지 MAC 주소와 Port-ID간의 논리적 연결을 제공함을 확인 하였다.

본 논문에서 구현된 이더넷 정합기는 G-PON 시스템 개발이나 TC 칩의 개발에 적용될 수 있으며, 이를 바탕으로 IP 패킷, TDM 신호등 다양한 프로토콜을 수용할 수 있는 정합기를 설계하고 구현하는데 있어서 실질적인 도움을 줄 수 있을 것으로 기대한다. 추후에는 이러한 신호를 처리하는 다양한 정합기 구현도 고려되어야 할 것이다.

## 참고 문헌

- [1] ITU-T Recommendation G.983.1, "Broadband optical access systems based on Passive Optical

Networks," Jan., 2005.

[2] IEEE Std P802.3ah, "Part 3: Carrier Sense Multiple Access with Collision Detection Access Method and Physical Layer Specifications," Approved 24 June 2004.

[3] ITU-T Recommendation G.984.3, "G-PON: Transmission convergence layer specification," March. 2008.

[4] F. Effenberger, D. Cleary, O. Haran, G. Kramer, R. D. Li, M. Oron, and T. Pfeiffer, "An introduction to PON technologies [Topics in Optical Communications]," IEEE Communications Magazine, 45(3), S17-S25, March, 2007.

[5] 윤호성, "EPON 상호운용성 표준 D1.0," 한국정보통신기술협회, ICT standard Weekly, 기술표준이슈, 2011. 2.

[6] IEEE Draft P802.3av/D1.2, "Media Access Control Parameters, Physical Layer and Management Parameters for subscriber access networks," Last modified on: March 28, 2008.

[7] 정해, 김진희, 김근영, "NGA PON의 MAC을 위한 사이클 타임 최적화 및 지연감소에 관한 연구," 한국통신학회논문지, 제34권 9호, pp.685-696, 2009.

[8] IITA 주간기술동향 통권 1232호 2006. 2. 8. p5.

[9] A. Cauvin et al., "Common Technical Specification of the GPON System among Major Worldwide Access Carriers," IEEE Communications Magazine, 44(10), S34-S40, Oct. 2006.

[10] 김광욱 외, "GPON 기술 표준 규격 및 개발 동향," ETRI, 2006. 2. 8.

[11] 정해 외, "G-PON TC 계층 유료부하 내에서 고속 GEM 프레임 동기화로 구현," 한국통신학회 논문지, 34(5), pp.469-479, 2009.

[12] IEEE Std P802.3 Section1, "Part 3: Carrier Sense Multiple Access with Collision Detection Access Method and Physical Layer Specifications," Approved 26 Dec. 2008.

[13] ML42x User Guide, "Virtex-4FX Rocket IO Characterization Platform," Xilinx UG087 (V1.2) March 2, 2007.

[14] Virtex-4 User Guide, "Virtex-4 Rocket IO Multi-Gigabit Transceiver," Xilinx UG076 (V3.2) Sept. 29, 2006.

정 해 (Hae Chung)

중신회원



1987년 2월 한양대학교 전자통신학과 (학사)  
 1991년 2월 한국과학기술원전기 및 전자공학과 (석사)  
 1996년 2월 한국과학기술원 전기및전자공학과 (박사)  
 1995년~1998년 LG정보통신 선

임연구원

1998년 8월~현재 금오공대 전자공학부 정교수  
 2004년 1월~2005년 1월 University of Texas at Dallas 방문교수

<관심분야> FTTH, UBcN, PON, PAN

안 유 광 (Eu kwang Ahn)

중회원



2010년 2월 금오공과대학교 전자공학부 (학사)  
 2010년 3월~현재 금오공과대학교 전자통신공학과 석사과정  
 <관심분야> PON, USN, PAN