

체배기는 능동 소자의 비선형성을 이용하여 입력 신호의 하모닉 주파수 성분을 발생시킨 후 원하는 주파수만을 선택하여 출력하는 회로이다.

본 논문에서는 E급 주파수 체배기의 설계 관련 수식과 회로 시뮬레이터 ADS를 이용하여 5.8GHz 출력을 갖는 E급 주파수 체배기를 설계하고자 하였다. 사용 능동 소자인 FET를 입력 전압에 의해 제어되는 이상적인 스위치로 가정하여 출력정합회로의 소자 값을 구하였으며, 실제 FET를 이상적인 스위치, 기생 직렬 저항 및 기생 병렬 커패시턴스로 모델링하고 하이브리드 회로 구현 시 발생하는 FET 소스의 기생 인덕턴스를 고려하여 각 기생 소자 값 변화에 따른 주파수 체배기의 특성 변화를 연구하고자 하였다.

II. 본 론

2-1 E급 주파수 체배기 설계 이론

그림 1은 FET를 스위치 및 기생성분들로 모델링하여 설계한 E급 주파수 체배기의 출력회로이다. 기생성분으로 FET 내부에 기생 저항과 기생 병렬 커패시턴스, FET 소스단에 기생 직렬 인덕턴스를 고려하였다. E급 동작을 위한 출력부 정합회로는 병렬 커패시턴스와 직렬 연결된 LC 공진회로로 구성된다. 기생 직렬 저항성분은 실제 FET에는 1~3Ω 정도 존재한다. 기생 병렬 커패시턴스는 FET의 드레인, 소스간에 생기며 고주파로 갈수록 임피던스가 낮아져 회로에 영향을 주게 된다. 기생 직렬 인덕턴스는 FET의 와이어본딩 또는 리드에 의해 발생하며 마이크로파 대역에서 높은 출력과 낮은 인가전압을 가질 때 큰 영향을 끼친다[2,3,4].

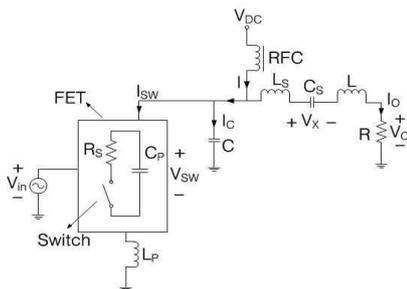


그림 1. FET 스위치 모델을 이용한 E급 주파수 체배기의 출력회로

Fig. 1. A output circuit of class E frequency multiplier using FET switch model.

이 회로는 E급 증폭기와 체배기에 적용될 수 있으며 체배기의 바이어스전압, 입출력 주파수, 출력전력이 정해지면 정합회로 소자 값을 구할 수 있다. 효율을 최대화하기 위해 FET의 출력 전압과 전류가 오버랩되는 시간을 최소화하는 E급 체배기의 정합소자 값을 구하는 수식은 다음과 같다[2].

$$C = \frac{P_o}{\pi n^2 \omega V_{DC}^2} \quad (1)$$

$$R = \frac{8}{\pi^2 + 4} \frac{V_{DC}^2}{P_o} \quad (2)$$

$$L = \frac{\pi(\pi^2 - 4)}{2(\pi^2 + 4)} \frac{V_{DC}^2}{n\omega P_o} \quad (3)$$

$$C_s = \frac{1}{n^2 \omega Q_{LC} R} \quad (4)$$

$$L_s = \frac{1}{(n\omega)^2 C_s} \quad (5)$$

체배기 회로에서 DC가 RF전력으로 바뀌는 비율을 드레인 효율 η 라 하며 VDC를 알게 되면 $\eta=1$, 즉 100% 드레인 효율이 되는 IDC를 계산할 수 있다. VDC와 IDC는 각각 인가된 DC 전압 및 RFC를 통과하는 DC 전류이다. 본 연구에서는 입력 2.9GHz 신호의 2체배인 출력 5.8GHz에서 0.1W의 출력전력을 목표로 하기에 주파수 체배 값인 n은 2이고 IDC와 POUT은 각각 0.05A와 0.1W가 되어야 한다. 품질상수 QLC는 대역통과 필터나 공진기, 발진기처럼 특정 주파수 스펙트럼에 에너지가 집중되는 경우, 그 파형의 에너지 집중도를 나타내며 중심주파수를 3dB 대역폭으로 나눠준 값이다. 3dB 대역폭이란 에너지가 가장 높은 주파수에서 좌우로 3dB씩 떨어지는, 즉 1/2이 되는 두 점 사이의 주파수 대역폭을 의미한다. QLC값이 크다는 것은 에너지가 집중된다는 의미이다.

앞의 수식을 매트랩을 이용하여 E급 주파수 2체배기의 소자 값을 구한 결과를 표 1에 제시하였다. 기생성분을 고려하지 않고 FET를 이상적 스위치로 모델링하여 소수점 넷째자리에서 반올림한 경우의 소

자 값들이다.

표 1. Matlab을 이용한 E급 주파수 2체배기의 설계값
Table 1. Design values of class E frequency doubler using Matlab.

Class E Frequency Doubler			
5.8GHz, 2V, 0.1W			
항목	$Q_{LC}=5$	$Q_{LC}=10$	$Q_{LC}=20$
C (pF)	0.109	0.109	0.109
R (Ω)	23.072	23.072	23.072
L (nH)	0.730	0.730	0.730
C_S (pF)	0.119	0.059	0.030
L_S (nH)	6.331	12.662	25.324

2-2 ADS를 이용한 FET 스위치 모델링

표 1의 정합소자 값을 이용하고 하모닉 밸런스 회로 시뮬레이터인 ADS를 이용하여 주파수 체배기 특성을 시뮬레이션하면 이상적인 E급 동작을 확인할 수 있다. 실제 FET의 특성이 체배기 동작에 주는 영향을 살펴보기 위하여 FET를 스위치 및 내부 직렬저항 R_S , 내부 기생커패시턴스인 병렬 C_P , 그리고 외부 기생인덕턴스 L_P 로 모델링하였다. 스위치는 On/Off 시 $0.01m\Omega$, $100M\Omega$ 으로 설정하고 기생 소자값을 변화시키며 그 영향을 조사하였다. 스위치가 On과 Off 상태일 때 FET 스위치모델링 회로를 각각 그림 2와 3에 나타내었다. On 상태일 경우 기생성분인 R_S , C_P , L_P 및 E급 출력정합회로로 구성되어 있다. Off 상태일 경우 스위치가 동작을 하지 않기 때문에 R_{off} 저항과 C_P , L_P 가 존재하며 마찬가지로 E급 출력정합회로가 연결되어 동작한다.

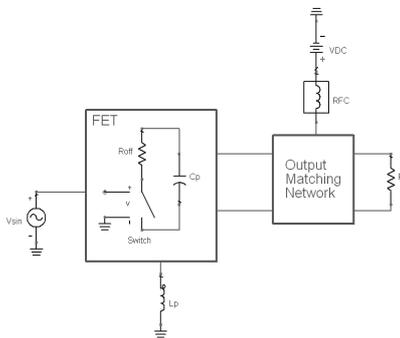


그림 2. On상태의 FET 스위치 모델
Fig. 2. On state of FET switch model.

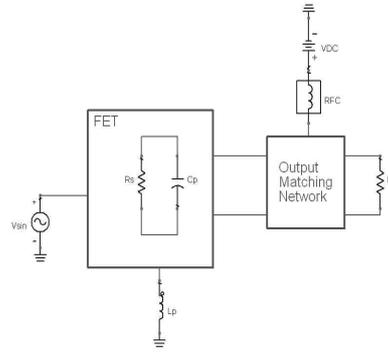


그림 3. Off상태의 FET 스위치 모델
Fig. 3. Off state of FET switch model.

2-3 시뮬레이션 결과

그림 4는 이상적인 FET 스위치 모델을 이용한 E급 주파수 2체배기의 ADS 시뮬레이션 결과 파형을 보여준다. 출력정합회로는 집중정수 소자를 사용하고 LC 공진회로의 품질상수(Quality Factor)인 QLC는 10으로 하였다.

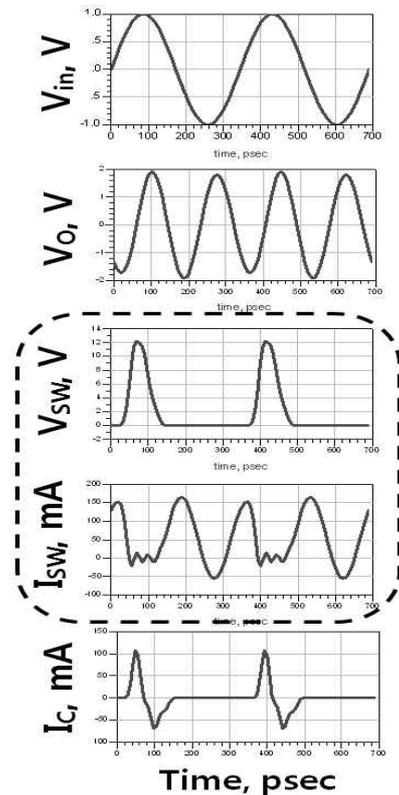


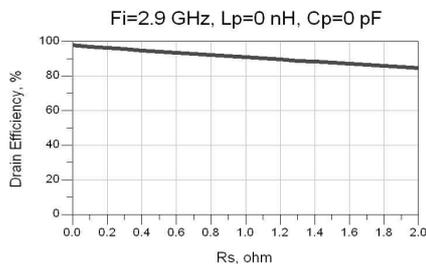
그림 4. FET 스위치 모델을 이용한 E급 주파수 2체배기의 시뮬레이션 결과파형
Fig. 4. Simulation result waveforms of class E frequency doubler using FET switch model.

V_{in} 은 구동전압, V_O 는 출력전압, V_{SW} 는 스위치의 전압, I_{SW} 는 스위치에서의 전류, I_C 는 병렬 커패시턴스의 전류이다. 전압과 전류가 0에서 스위칭되어 서로 겹치지 않는 것을 점선으로 표시한 3번째 및 4번째 그림에서 확인할 수 있다. 이 결과를 표 2에 정리하여 제시하였으며, 품질상수 QLC의 변화에 따른 특성도 함께 제시하였다.

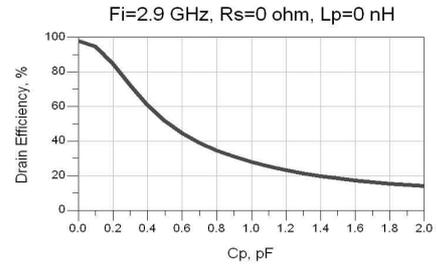
표 2. 설계된 E급 주파수 2체배기의 시뮬레이션 결과
Table 2. Simulation results of designed class E frequency doubler.

Class E Frequency Doubler			
5.8GHz, 2V, 0.1W			
항목	$Q_{LC}=5$	$Q_{LC}=10$	$Q_{LC}=20$
V_{DC} (V)	2	2	2
I_{DC} (mA)	53	51	51
P_{DC} (mW)	105	103	102
P_{OUT} (mW)	100	100	100
efficiency (%)	96	98	98

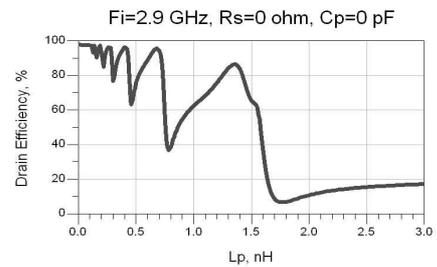
시뮬레이션 결과, 출력전력과 효율특성이 예상 수치로 나오는 것을 보아 정합소자 값의 계산 및 FET 스위치 모델링이 맞게 된 것을 알 수 있었으며, 품질상수 QLC의 값이 증가함에 따라 효율이 개선되는 것도 확인할 수 있다. 이와 함께 FET를 스위치 및 기생소자의 결합으로 모델링한 경우의 효율변화를 알아보았다. 2-2절에서 언급한 대로 내부 직렬저항 R_S 와 기생커패시턴스 C_P , 기생 직렬인덕턴스 L_P 를 변화시켰다. R_S 는 0Ω 에서 2Ω 까지, C_P 는 $0pF$ 에서 $2pF$ 까지, L_P 는 $0nH$ 에서 $3nH$ 까지 변화시키며 특성을 시뮬레이션하였다. 각각의 파라미터를 하나씩 변화시킨 특성과 직렬 저항 값을 고정시킨 상태로 커패시턴스와 인덕턴스를 변화시킨 특성을 3차원 그래프로 그림 5에 제시하였다. 특히 이 그래프는 직렬저항이 각각 0 에서 2Ω 까지 0.5Ω 씩 변화 시의 효율변화를 나타낸다.



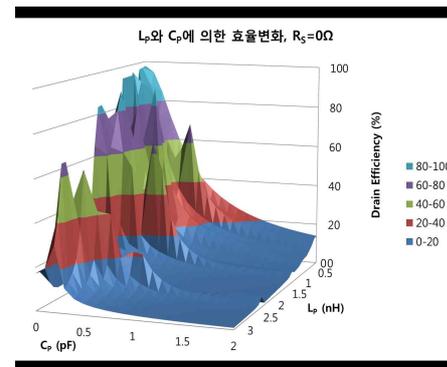
(a) R_S 를 $0\sim 2\Omega$ 으로 변화할 때의 드레인 효율



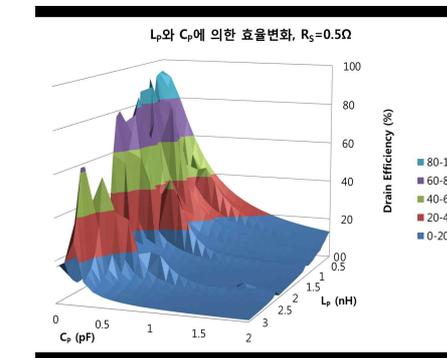
(b) C_P 를 $0\sim 2pF$ 변화할 때의 드레인 효율



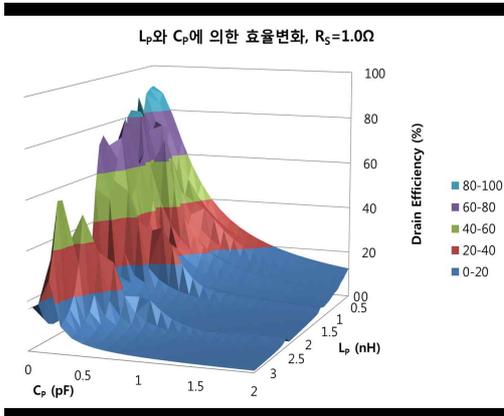
(c) L_P 를 $0\sim 3nH$ 변화할 때의 드레인 효율



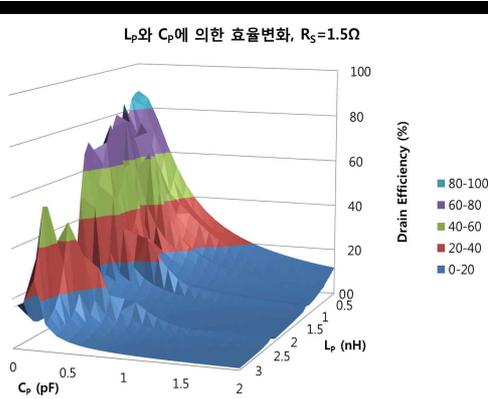
(d) L_P 와 C_P 를 변화할 때 드레인 효율($R_S=0$)



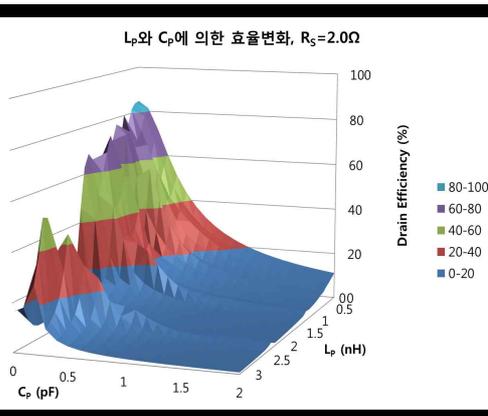
(e) L_P 와 C_P 를 변화할 때 드레인 효율($R_S=0.5\Omega$)



(f) LP와 CP를 변화할 때 드레인 효율(RS=1.0Ω)



(g) LP와 CP를 변화할 때 드레인 효율(RS=1.5Ω)



(h) LP와 CP를 변화할 때 드레인 효율(RS=2.0Ω)

그림 5. 기생소자 값에 따른 효율 변화
Fig. 5. Efficiency variation with parasitic values.

그림 5를 보면 기생 저항 및 커패시턴스인 RS와 CP값이 증가하면 효율이 일방향으로 감소하는 반면, 기생 인덕턴스 LP가 증가하는 경우 효율이 증가 및

감소를 반복하는 형태를 나타내는 것을 알 수 있다. 인덕턴스가 증가하면 효율 변화의 값이 크게 나타나는데 이는 FET 내부의 기생성분인 CP와 결합 하여 생기는 공진의 영향으로 추측된다. 또한 CP가 0pF에서 0.5pF로 증가하는 구간을 보면 효율이 약 50% 정도로 감소하고 1pF 크기에서는 28%까지 감소하는 것을 보이는데 이는 CP가 전체 시스템의 효율에 매우 큰 영향을 미친다는 것을 알 수 있다. 실제로 이전에 발표되었던 스위칭 모드 2체배기 논문[8]이 40% 이하의 전력부가효율을 나타내었는데 이러한 기생 소자들에 의해 효율저하가 발생하였다고 사료된다. 정확한 E급 주파수 체배기를 설계하기 위해서는 FET의 기생 커패시턴스 성분을 최소화하고 기생 인덕턴스의 영향을 고려하여야 하는 것을 알 수 있다.

III. 결 론

본 논문에서는 능동소자인 FET를 스위치 및 기생 소자들로 모델링하여 E급 주파수 체배기를 설계하였다. E급 체배기는 간단한 회로구조와 높은 효율을 갖는데 정합회로 소자 값을 매트랩을 이용하여 구하고 그 특성을 ADS로 시뮬레이션하였다. FET를 입력에 의해 구동되는 단순 스위치로 모델링하여 출력전력 0.1W급의 E급 주파수 2체배기 회로를 구성하였을 때 출력주파수 5.8GHz에서 100mW의 출력과 98%의 효율을 얻었다.

FET를 스위치 및 추가적인 기생성분의 합으로 모델링하여 효율 변화를 알아본 결과, 기생성분이 존재하지 않은 경우의 효율에 비해 큰 폭의 감소 특성을 나타내었다. 특히 FET 내의 기생 커패시턴스인 CP의 영향을 크게 받았는데, 0pF에서 1pF까지 증가하면 효율이 28%로 감소하였다. 정확한 E급 주파수 체배기 설계를 위해서는 FET 내의 기생 저항 및 커패시턴스, 기생 인덕턴스의 정확한 해석이 요구되며, 이에 대한 추가 연구가 진행될 필요가 있다.

감사의 글

본 논문은 2009년도 인천대학교 자체 연구비 지원에 의하여 연구되었음.

참 고 문 헌

- [1] Robert E. Zulinski and John W. Steadman, "Idealized operation of class-E frequency multiplier," *IEEE Trans. Circuits Syst.*, vol. CAS-33, no. 12, pp. 1209-1218, Dec. 1986.
- [2] T. Mury and V. F. Fusco, "Series-L/parallel-tuned comparison with shunt-C/series-tuned class-E power amplifier," *IEEE Proc.-Circuits Devices Syst.*, vol. 152, no. 6, Dec. 2005.
- [3] T. Mury and V. F. Fusco, "Even order harmonic series-L/parallel-tuned class-E frequency multiplier," *IEEE Trans. Circuits Syst.*, vol. 54, no. 11, Nov. 2007.
- [4] A. V. Grebennikov, "Load network design technique for switched-mode tuned class E power amplifiers," *High Frequency Electron.*, vol. 3, no. 7, pp. 18-32, Jul. 2004.
- [5] R. E. Zulinski and J. W. Steadman, "Performance evaluation of class E frequency multipliers," *IEEE Trans. Circuits Syst.*, vol. CAS-33, pp. 343-346, Mar. 1986.
- [6] M. Albullet, "Analysis and design of the class E frequency multipliers with rf choke," *IEEE Trans. Circuits. Syst.- I*, vol. 42, pp. 95-104, Feb. 1995.
- [7] M. Weiss, M. Crites, E. Bryerton, Z. Popovic, and J. Whittaker, "Time-domain optical sampling of switched-mode amplifiers and multipliers," *IEEE Trans. Microwave Theory Tech.*, vol. 47, no. 12, pp. 2599-2604, Dec. 1999.
- [8] 노희정, 전현진, 구경헌, "5GHz 대역 고효율 주파수 체배기 설계 및 디지털 선형화," *한국항행학회논문지*, 제13권 제6호, pp. 846-853, 2009. 12.

주 재 현 (朱哉炫)



2010년 2월 : 인천대학교 전자공학과 (공학사)
 2010년 3월 ~ 현재 : 인천대학교 전자공학과 석사과정
 관심분야 : 마이크로파 회로 설계, 주파수 체배기 설계, 무선전력전송 시스템 구성

구 경 헌 (具京憲)



1981년 : 서울대학교 전자공학과 (공학사)
 1983년 : 서울대학교 전자공학과 (공학석사)
 1991년 : 서울대학교 전자공학과 (공학박사)
 1999년 ~ 2000년 : UC San Diego 방문학자

2003년 ~ 2011년 : 한국항행학회 학술이사, 국제이사, 부회장, 차세대 항행통신연구회 위원장
 1987년 ~ 현재 : 인천대학교 전자공학과 교수
 관심분야 : RF 회로설계, 무선통신 시스템, 차세대 항행 시스템 등