

0.13- μ m RFCMOS 공정 기반 54-GHz 주입 동기 주파수 분주기

A 54-GHz Injection-Locked Frequency Divider Based on 0.13- μ m RFCMOS Technology

서 효 기 · 윤 종 원 · 이 재 성

Hyogi Seo · Jongwon Yun · Jae-Sung Rieh

요 약

본 논문에서는 54 GHz 대역의 위상 고정 루프에서 사용되기 위한 Ring 발진기를 이용한 3 분주 주입 동기 주파수 분주기(Injection-Locked Frequency Divider: ILFD)를 0.13- μ m Si RFCMOS 공정을 이용하여 설계, 제작한 결과를 보인다. 1.8 V의 공급 전압에 대해서 buffer단을 포함하여 70 mW의 전력을 소비하며, 입력 신호가 없을 때 0~1.8 V의 varactor 조정 전압 범위에 대하여 18.92~19.31 GHz에서 자유 발진(free-running oscillation)을 하였다. 0 dBm의 입력 전력에 대해서 1.02 GHz(54.82~55.84 GHz)의 동기 범위(locking range)를 가지며 varactor 조정 (0~1.8 V)을 포함한 동작 범위(operating range)는 약 2.4 GHz(54.82~57.17 GHz)를 보였다. 제작된 회로의 크기는 측정 pad를 포함하여 0.42 mm \times 0.6 mm이며, pad를 제외한 실제 동작 영역의 크기는 0.099 mm \times 0.056 mm이다.

Abstract

In this work, a 54 GHz divide-by-3 injection-locked frequency divider(ILFD) based on ring oscillator has been developed in a 0.13- μ m Si RFCMOS technology for phase-locked loop(PLL) application. The free-running frequency is 18.92~19.31 GHz with tuning range of 0~1.8 V, consuming 70 mW with a 1.8 V supply voltage. At 0 dBm input power, the locking range is 1.02 GHz(54.82~55.84 GHz) and, with varactor tuning of 0~1.8 V, the total operating range is 2.4 GHz(54.82~57.17 GHz). The fabricated circuit size is 0.42 mm \times 0.6 mm including probing pads and 0.099 mm \times 0.056 mm for core area.

Key words : Frequency Divider, Injection-Locked Frequency Divider, Ring Oscillator, Phase-Locked Loop

I. 서 론

최근 들어 광 대역 초고속 무선 통신 시스템에 대한 관심과 시장성이 크게 증가하였고, 60 GHz 전후의 주파수 대역이 그림 1에 보인 바와 같이 여러 국가에서 허가 없이 사용 가능한 영역으로 지정되었다

[1]. 이런 이유로 이 주파수 대역에 기반한 개인 영역 무선 통신(Wireless Personal Area Network: WPAN)에 대한 수요가 급증하고 있다. 최근 동작 속도가 크게 개선된 Si CMOS 공정은 기존까지 사용된 SiGe 나 III-V 공정 기술에 비해 제작 비용이 저렴하고 디지털 구역과의 집적 용이성이 좋기 때문에 Si CMOS

「이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(2009-0079994).」

「이 연구는 IDEC(IC Design Education Center)의 시뮬레이션 툴 지원을 통해 수행되었음.」

고려대학교 전기전자전파공학부(School of Electrical Engineering, Korea University)

· 논문 번호 : 20110110-003

· 교신저자 : 이재성(e-mail : jsrieh@korea.ac.kr)

· 수정완료일자 : 2011년 3월 16일

공정으로 60 GHz 대역에서 동작하는 단일 칩 개발을 위한 연구가 활발히 진행되고 있다^{[2]~[4]}. 초고속 통신 송수신 시스템에서 전압 제어 발진기(Voltage Controlled Oscillator: VCO)의 신호는 공정, 온도 등의 외부 조건의 변화에 의해서 변동이 생기기 때문에 위상 고정 루프 회로(Phase-Locked Loop: PLL)를 이용하여 안정된 신호를 공급하게 한다. 주파수 분주기는 PLL 내부에서 높은 전압 제어 발진기의 주파수를 낮은 기준 주파수의 영역까지 떨어뜨려 주는 역할을 한다. 광대역 무선 통신에서 PLL에 들어가는 전압 제어 발진기는 넓은 채널의 대역폭을 이용할 수 있도록 넓은 발진 범위(동작 범위)를 가져야 한다. 마찬가지로 전압 제어 발진기의 동작 범위를 다룰 수 있는 넓은 동작 범위를 갖는 주파수 분주기가 요청된다. 뿐만 아니라 수신단에서 많은 면적을 차지하는 PLL 구역의 면적 효율성을 높이기 위한 노력의 일환으로 작은 면적을 가지는 주파수 분주기가 선호된다^{[5],[6]}.

여러 종류의 주파수 분주기 중에서도 가장 높은 동작 주파수를 갖는 주입 동기 주파수 분주기(Injection-Locked Frequency Divider: ILFD)는 사용하는 발진기 종류에 따라 LC-based ILFD와 ring-based ILFD로 나뉜다. Ring-based ILFD는 LC-based ILFD에 비해 상대적으로 넓은 동기 범위를 나타내는 경향이 있고, 특히 회로 면적이 훨씬 작기 때문에 면적 효율성 측면에서 큰 장점을 보인다^{[7],[8]}. 본 연구진에서는 PMOS load를 사용하는 기존의 ring-based ILFD와는 달리 NMOS load를 적용하여 성능을 향상한 ring-based ILFD를 18 GHz 및 30 GHz 대역에서 개발한 바 있다^{[9],[10]}. 본 논문에서는 동작 주파수를 한층 높여 54 GHz 대역에서 동작하는 3 분주 NMOS load 기반 ring-based ILFD 주입 동기 주파수 분주기를 제작, 측정된 결과를 제시한다.

II. 회로 설계

2-1 Ring-based ILFD의 입력 신호 주입 방법

Ring-based ILFD는 입력 신호의 주입하는 부분에 따라 tail-주입, node-주입, load-주입 방식으로 나눌 수 있다. Tail-주입 방식은 tail transistor의 gate 단으

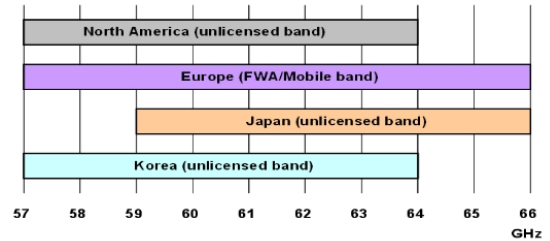


그림 1. 각국 60 GHz 대역의 WPAN 응용 기술이 가능한 주파수 대역^[1]

Fig. 1. Frequency band available for 60 GHz WPAN application in various regions over the world^[1].

로 신호가 주입되는 방식으로, 높은 입력 전압이 필요하고 source degeneration 문제로 인해 ring 발진기의 open loop gain이 떨어지는 문제가 있다^{[7],[8]}. Node-주입 방식은 이러한 tail-주입 방식의 문제점을 해결하기 위해 입력 신호를 인버터 단의 출력 노드에 주입하도록 개발된 방식이나 ring 발진기의 기생 capacitance에 의해 발진기의 동작 주파수가 떨어지는 문제가 발생하는 것으로 알려져 있다^[11]. 반면, 인버터의 FET load에 입력 신호를 주입하는 load-주입 방식은 다른 주입 방식에 비해 적은 소모 전력과 높은 동작 주파수를 얻을 수 있기 때문에 본 논문에서는 이 방식을 선택하여 ILFD를 개발하였다.

2-2 Ring-Based ILFD의 회로 설계

ILFD에서 가장 중요한 요소인 동기 범위(locking range)는 식 (1)과 같이 발진기의 quality factor에 반비례하고, 주입 신호와 자유 발진 신호의 비에 비례하는 관계를 갖는다^[12].

$$\frac{\Delta\omega}{\omega_0} \approx \frac{1}{Q} \frac{I_{inj}}{I_{OSC}} \quad (1)$$

따라서 넓은 locking range를 갖기 위해서 식 (1)에서 I_{inj} 로 나타내어지는 주입 효율을 증가시켜야 한다. 이를 위해 본 설계에서는 인버터 구조의 FET load로 기존에 널리 사용되었던 PMOS load 대신 그림 2와 같이 NMOS load(MN)를 사용하였다. 이는 본 회로에서와 같이 FET load의 gate에 신호가 injection 되는 경우 injection 효율은 load FET의 gain에 의해 결정되며, NMOS가 PMOS에 비해 일반적 우수한 gain을 보이기 때문이다. 이를 정량적으로 확인하기

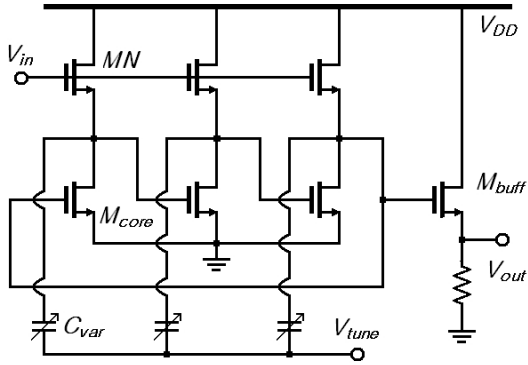


그림 2. NMOS load-주입 3분주 ring-based ILFD 회로도
 Fig. 2. Schematic of divide-by-3 NMOS load-injection ring-based ILFD.

위해 실제 회로에서 load로 사용된 소자와 같은 크기 (number of finger(N_f)=11) 및 구조에 기반하여 시뮬레이션을 수행하였다. NMOS의 경우, source follower, PMOS의 경우 common source 구조를 가정하였으며, 그 특성을 입력 및 출력단을 50 Ω 정합한 환경에서 시뮬레이션하였고, 그 결과를 그림 3(a), (b)에 도시하였다. 그림 3(a)에서 볼 수 있듯이 동일한 크기의 소자를 가정할 경우 예상대로 50 GHz 이상의 대역에서 NMOS의 경우 PMOS에 비해 훨씬 큰 gain을 나타내었으며, 따라서 NMOS가 load로 사용되는 경우 높은 injection 효율을 보일 것임을 알 수 있다. 물론, PMOS의 크기를 증가시켜 gain을 증가시킬 수 있으며, 실제로 그림 3(a)에서 보이는 바와 같이 PMOS의 N_f 를 증가시키는 경우 전반적으로 gain이 향상됨을 볼 수 있다. 그러나 수십 GHz 이상의 대역에서는 gain이 여전히 NMOS를 사용한 경우보다 낮음을 확인할 수 있으며, 보다 중요하게 PMOS load의 크기를 증가시켜 사용할 경우 그림 3(b)에 보는 바와 같이 source 단에서 바라본 parasitic capacitance C_{gg} ($=C_{gs}+C_{ds}$)가 크게 증가함을 확인할 수 있다. Ring-based ILFD는 RC-delay를 이용한 회로이기 때문에 capacitance 값이 커지면 동작 주파수의 향상에 한계를 가져오게 된다. 실제로 본 회로 설계에서는 PMOS load를 사용하는 경우 높은 주파수에서 동작하는 회로를 얻기가 상대적으로 수월치 않음을 확인할 수 있었다. 또한, 소자 크기가 커질 경우, DC 전력 소모도 함께 증가하므로, 이 역시 상대적인 PMOS load의

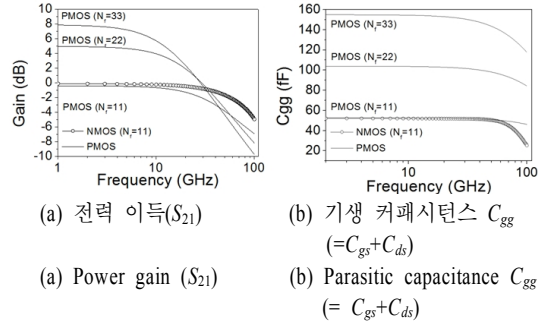


그림 3. NMOS source follower와 PMOS common source의 simulation 비교 결과
 Fig. 3. Simulation comparison for NMOS source follower and PMOS common source.

표 1. 사용된 소자의 크기

Table. 1. The size of employed device.

| Active | MN(load) | 0.13 $\mu\text{m} \times 2.5 \mu\text{m} \times 11$ |
|---------|----------------------|---|
| | M_{core} (core) | 0.13 $\mu\text{m} \times 2.5 \mu\text{m} \times 33$ |
| Passive | C_{var} (varactor) | 0.5 $\mu\text{m} \times 0.5 \mu\text{m} \times 5$ |

단점으로 작용한다.

본 회로에서는 이와 함께 각 stage의 core FET 드레인 단에 varactor를 연결하여 동작 가능한 ILFD의 주파수 영역 조절 기능을 추가하였으며, 이를 위하여 MOS varactor를 사용하였다. 표 1에 설계에 사용된 소자의 크기가 정리되어 있다.

III. 측정 결과

본 주파수 분주기는 0.13- μm RFCMOS 공정을 이용하여 제작되었으며, 그림 4에 설계된 회로의 lay-

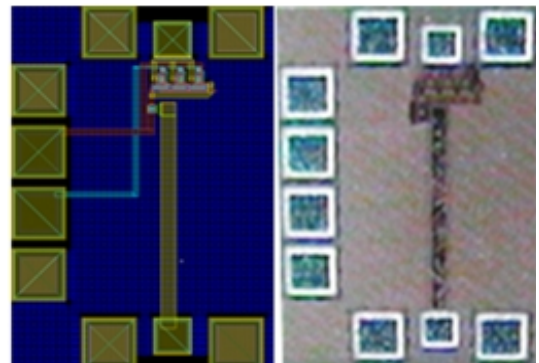


그림 4. 제작된 ILFD의 layout과 칩 사진
 Fig. 4. Layout and chip photo of the ILFD.

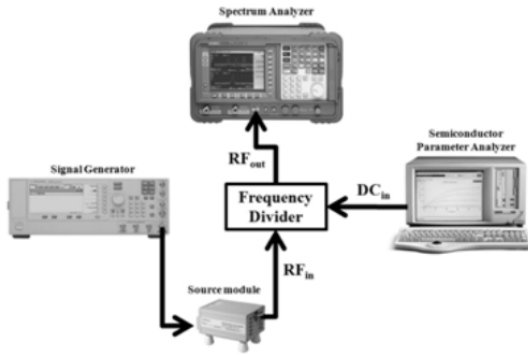


그림 5. 54 GHz ILFD 측정 환경
Fig. 5. Measurement system for the 54 GHz ILFD.

out과 제작된 칩 사진을 나타내었다. Probing pad를 포함한 회로의 크기는 $0.42\text{ mm} \times 0.6\text{ mm}$ 이고, probing pad를 제외한 실제 동작 영역의 크기는 $0.099\text{ mm} \times 0.056\text{ mm}$ 이다. 이 값은 일반적인 LC-based ILFD에 비해 한 order 이상 작은 값이다. 모든 측정은 on-wafer 방식으로 수행되었고, 측정을 위한 실험 장비 구성 방법은 그림 5에 나타나 있다.

입력 신호는 Agilent 사의 E8257D signal generator 및 주파수 확장을 위한 E8257DS15 millimeter-wave source module과 연동하여 V-band 신호를 발생시켜 ILFD 회로에 인가하였다. 출력 신호는 Agilent사의 spectrum analyzer E4407B를 이용하여 측정하였으며, KEITHLEY사의 KI4200 semiconductor parameter analyzer를 이용하여 회로에 필요한 DC 전압을 bias-T를 통하여 공급하였다. 측정에 사용되는 connector, cable, bias-T, probe를 통한 손실은 그 값을 정밀하게 보정하여 최종 측정값에 반영하였다.

제작된 ILFD는 0~1.8 V의 varactor 조정 전압에 대하여 자유 발진 주파수가 18.92~19.31 GHz의 값을 보였다. Signal generator로부터 입력된 신호가 54.0 GHz일 때 3 분주비로 동기화된 출력 신호(18.00 GHz)를 그림 6에 나타내었다. 공급 전압이 1.8 V일 때 buffer 단을 포함하여 70 mW의 DC 전력을 소비하였다. 공급전압이 작은 경우, 게이트 바이어스가 충분하지 않아 원하는 대역에서 동작이 힘들다. 다양한 varactor 조정 전압 조건에 따라 동기 주파수도 변화를 하였으며, 각 전압 조건(0, 0.9, 1.8 V)에 대해 input sensitivity curve를 그림 7에 나타내었다. $V_{\text{tune}}=0$ V일 때 약 0 dBm의 손실을 보정한 입력 전력에 대

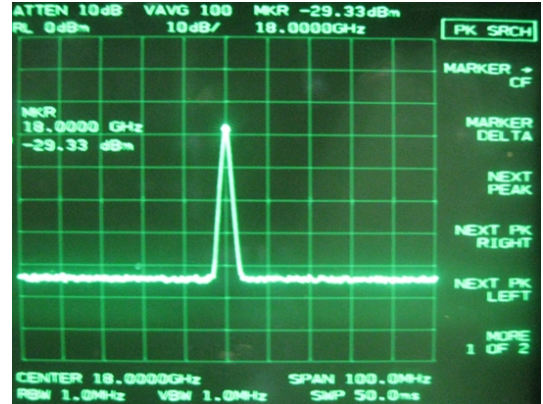


그림 6. 18 GHz로 동기화된 출력 신호
Fig. 6. Locked output spectrum.

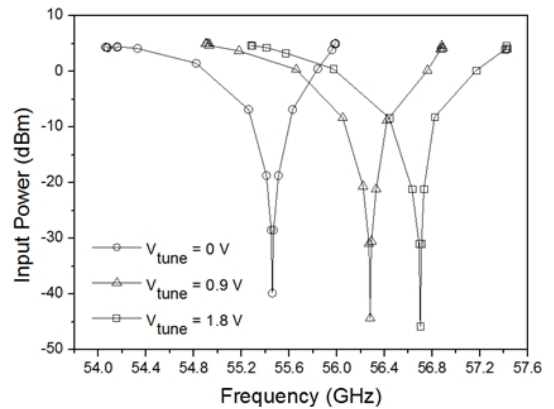


그림 7. 다양한 varactor 전압 조건에 따른 input sensitivity curve
Fig. 7. Input sensitivity curves for various varactor bias condition.

하여 측정된 동기 범위는 1.02 GHz(54.82~55.84 GHz) 이었고, varactor 전압 조절을 포함한 총 동작 범위는 2.4 GHz(54.82~57.17 GHz)이었다.

IV. 결 론

본 논문에서는 0.13- μm Si RFCMOS 공정을 이용하여 54 GHz 대역에서 동작하는 NMOS load-주입 방식 기반 3 분주 ring-based ILFD를 설계, 제작하였다. Varactor의 전압 조절을 통하여 동작 주파수를 변화시켰고, 일반적인 LC-발진기 기반 대신 ring-발진기를 기반으로 함으로써 면적 효율을 증가시켜 pad를 제외한 실제 동작 영역의 크기는 $0.099\text{ mm} \times$

0.056 mm이었다. 또한, 전통적인 PMOS load 방식에서 벗어나 NMOS load 방식을 적용하여 동작 주파수를 증가시켰다. 공급 전압이 1.8 V일 때 동기 범위는 1.02 GHz로 나타났고, varactor 조정 전압을 포함한 총 동작 영역은 2.4 GHz의 값을 보였다. Buffer 단을 포함한 전력 소모는 70 mW이었다.

참 고 문 헌

[1] J. -S. Rieh, S. Y. Kim, "Technology and design considerations for millimeter-wave circuits", in *9th International Conference on Solid-State and Integrated-Circuit Technology*, pp. 1352-1356, 2008.

[2] S. Jang, C. Lee, "A wide locking range LC-tank injection locked frequency divider", *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 8, pp. 613-615, Aug. 2007.

[3] B. Razavi, "A millimeter-wave CMOS heterodyne receiver with on-chip LO and divider", *IEEE Journal of Solid-State Circuits*, vol. 43, no. 2, Feb. 2008.

[4] J. Lee, B. Razavi, "A 40-GHz frequency divider in 0.18- μ m CMOS technology", in *Digest of Technical Papers in VLSI Circuits*, Jun. 2003.

[5] J. Lee, "A 75-GHz PLL in 90-nm CMOS technology", in *Digest of Technical Papers in IEEE International Solid-State Circuits Conference*, pp. 432-613, Feb. 2007.

[6] C. Changhua, D. Yanping, and K. K. O, "A 50-GHz

phase-locked loop in 0.13- μ m CMOS", *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 1649-1656, Aug. 2007.

[7] M. Motoyoshi, M. Fujishima, "43 μ W 6 GHz CMOS divide-by-3 frequency divider based on three-phase harmonic injection locking", in *IEEE Asian Solid-State Circuits Conference*, pp. 183-186, 2006.

[8] R. J. Betancourt-Zamora, S. Verma, and T. H. Lee, "1-GHz and 2.8-GHz CMOS injection-locked ring oscillator prescalers", in *Digest of Technical Papers in VLSI Symposium*, Jun. 2001.

[9] 서승우, 서효기, 이재성, "링 발진기를 이용한 18 GHz 4분주 주입 동기 주파수 분주기", *한국전자학회논문지*, 21(5), pp. 453-457, May 2010.

[10] S. W. Seo, H. G. Seo, S. G. Jeon, and J.-S. Rieh, "A 20~30 GHz divide-by-3 ring-oscillator-based injection locked frequency divider with a wide locking range", *Microwave and Optical Technology Letters*, vol. 53, no. 4, pp. 839-841, Apr. 2011.

[11] S. Sim, D. -W. Kim, and S. Hong, "A CMOS direct injection-locked frequency divider with high division ratios", *IEEE Microwave and Wireless Components Letters*, vol. 19, pp. 314-316, May 2009.

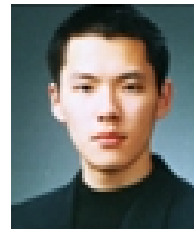
[12] R. Adler, "A study of locking phenomena in oscillators", *Proceedings of the Institute of Radio Engineers*, vol. 34, no. 6, pp. 351-357, 1946.

서 효 기



2009년 8월: 고려대학교 전기전자
전파공학부 (공학사)
2009년 9월~현재: 고려대학교 전기
전자공학과 석사과정
[주 관심분야] 밀리미터파 회로 및
시스템

윤 중 원



2008년 2월: 고려대학교 전기전자
전파공학부 (공학사)
2008년 3월~현재: 고려대학교 전
기전자공학과 석박과정
[주 관심분야] 밀리미터파 회로 및
시스템

이 재 성



1991년 2월: 서울대학교 전자공학과 (공학사)

1995년 2월: 서울대학교 전자공학과 (공학석사)

1999년 11월: Univ. of Michigan EE-CS (공학박사)

1999년~2004년: IBM Semiconductor R&D Center

2004년~현재: 고려대학교 전기전자전파공학부 부교수
[주 관심분야] 밀리미터파 소자 및 회로, THz 소자 및 회로