

# UV 레이저 응용 반도체 기판용 임베디드 회로 패턴 가공

손현기<sup>✉</sup>, 신동식, 최지연

광응용기계연구실, 한국기계연구원

## Fabrication of embedded circuit patterns for IC substrates using UV laser

Hyonkee Sohn<sup>✉</sup>, Dong-sig Shin, Jiyeon Choi

Department of High-density & High-energy Beam Processing, KIMM

### Abstract

Semiconductor industry demands decrease in line/space dimensions of IC substrates. Particularly for IC substrates for CPU, line/space dimensions below  $10\mu\text{m}/10\mu\text{m}$  are expected to be used in production since 2014. Conventional production technologies (SAP, etc.) based on photolithography are widely agreed to be reaching capability limits. To address this limitation, the embedded circuit fabrication technology using laser ablation has been recently developed. In this paper, we used a nanosecond UV laser and a picosecond UV laser to fabricate embedded circuit patterns into a buildup film with  $\text{SiO}_2$  powders for IC substrate. We conducted SEM and EDS analysis to investigate surface quality of the embedded circuit patterns. Experimental results showed that due to higher recoil pressure, picosecond UV laser ablation of the buildup film generated a better surface roughness.

**Keywords:** IC substrate(IC 기판), Embedded circuit(임베디드 회로), Build-up film(빌드업 필름), Filler(필러), Picosecond UV laser(피코초 UV 레이저)

### 1. 서론

플립 칩(flip chip)은 반도체 칩(bare IC 또는 die)에 범프(bump)를 붙여 패키징(packaging)하지 않고 PCB 기판에 바로 실장하는 고밀도 실장이 가능한 방식이다. 이 경우 칩 표면에 있는 도전성 범프를 이용하여 배선이 되며, 범프가 뒤집어져 실장되기 때문에 플립 칩이라 한다. 플립 칩은 신호(signal) 저항 계수, 전기(power/ground) 저항 계수, 실장 면적 등을 줄일 수 있으며, 고속 동작이 가능하여 컴퓨터 제품과 휴대폰 등에 널리 적용되고 있다.<sup>1,2</sup>

Fig 1은 플립 칩의 일종으로 CPU 칩 패키징에 적용되고 있는 FCBGA(filp chip ball grid array) 방식의 개략도를 나타낸 것으로, 칩 표면에 형성된 범프가 반도체 기판(IC substrate)에 실장된 것을 볼 수 있다. 반도체 칩의 고집적화 추세에 따

라 사용되는 반도체 기판의 회로 선폭(line) 및 간격(space)이 지속적으로 감소할 것으로 전망되고 있다. 특히 Table 1에서 보는 바와 같이 CPU 칩을 실장하는 반도체 기판의 경우 2014년에 선폭/간격이  $10\mu\text{m}/10\mu\text{m}$ 이하로 감소할 것으로 전망되고 있다.<sup>3</sup>

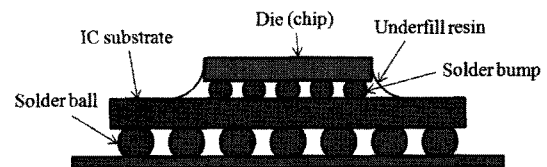


Fig. 1 Schematic of FCBGA (filp chip ball grid array).

Table 1 Parameters for package substrate (CPU, etc.)<sup>3</sup>

Year of production	2010	2012	2014	2016	2018
Min. line width/space ( $\mu\text{m}$ )	15/15	12/10	10/10	8/8	5/5
Min. line thickness ( $\mu\text{m}$ )	25	20	15	12	10

투고일: 2011년 3월 2일 심사완료일: 2011년 3월 9일

게재승인일: 2011년 3월 15일

교신저자: 손현기 ✉ hsohn@kimm.re.kr

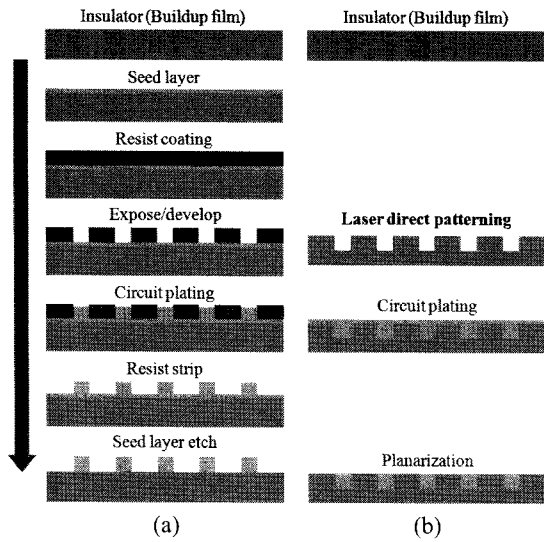


Fig. 2 Schematic of (a) semi additive process (SAP) and (b) embedded circuit patterning procedures.

현재 CPU 칩의 패키징에 적용되고 있는 반도체 기판을 제작하기 위해서 Fig. 2(a)와 같이 SAP(semi-additive process) 방식이 주로 적용되고 있으며, 현재 Cu 회로의 최소 선폭/간격은 약 17  $\mu\text{m}/17\mu\text{m}$ 이다.<sup>4</sup> SAP 방식으로 제작된 Cu 회로의 경우 Fig 3(a)에서 보는 바와 같이 Cu 회로의 바닥면이 빌드업(buildup) 필름에 접촉하고 있어 회로 선폭이 줄어드는 경우 접촉 강도가 충분하지 않아서 공정 중에 박리(delamination)될 수 있는 문제점이 있다.

반면, Fig 2(b)와 같이 레이저를 이용하여 직접 회로 패턴을 빌드업 필름 내부에 가공하는 임베디드(embedded) 방식의 경우 노광 공정이 필요 없으므로 공정비용 및 시간이 절감되며, Fig 3(b)와 같이 회로가 빌드업 필름 내부에 제작되므로, Cu 회로의 3면이 빌드업 필름에 의해 지지되므로 회로 선폭이 10 $\mu\text{m}$  이하로 줄어드는 경우에도 공정 중 박리될 우려가 없다. 또한 회로의 상부 선폭을 정확하게 컨트롤 할 수 있다는 장점이 있다.

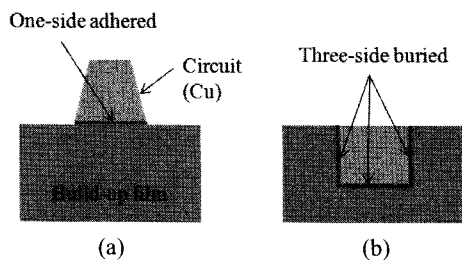


Fig. 3 Comparison of robustness of a circuit line made by (a) SAP and (b) embedded patterning.

현재 산업 현장에서 적용되고 있는 빌드업 필름의 경우 기판 소재(에폭시 등)와의 CTE(coefficient of thermal expansion)를 맞추기 위해 세라믹 분말인 filler를 섞는다. 임베디드 패턴링 방식에 사용하기 위한 빌드업 필름은 현재 개발 중이며, 시장에서 공급되지는 않는다.

따라서 본 연구에서는 현재 산업 현장에서 사용되고 있는 빌드업 필름의 일종으로 내부에 SiO<sub>2</sub> 분말이 섞여 있는 필름에 나노초와 피코초 UV 레이저를 이용하여 임베디드 회로 패턴을 가공하고, 가공된 회로 패턴의 표면 특성을 분석한다. 또한, SiO<sub>2</sub> 분말이 섞여 있지 않은 빌드업 필름을 제작하여 filler 소재의 유무에 따른 임베디드 회로 패턴의 표면 특성을 분석한다.

## 2. 실험 방법

빌드업 필름에 임베디드 회로 패턴을 가공하기 위해 나노초 UV 레이저(AVIA, Coherent사)와 피코초 UV 레이저(TruMicro, Trumpf사)를 사용하였으며, 각 레이저의 사양은 Table 2에 요약하였다. UV 레이저 빔을 집속(focusing)하기 위해서는 초점거리가 100mm이고, 조사 영역 20mm × 20mm인 telecentric f- $\theta$  렌즈를 사용하였다(Scanlab사).

Table 2 Specifications of nanosecond and picosecond lasers used in experiments

	Nanosecond laser	Picosecond laser
Wavelength (nm)	355	343
Pulse width (ns)	40	$8 \times 10^{-3}$
Ave. power (W)	1.5	15
Rep. rate (kHz)	100	400

실험에는 두 가지 빌드업 필름을 사용하였다. 첫 번째 필름에는 에폭시를 기반으로 하고 있으며, 내부에 평균 직경이 1 $\mu\text{m}$ 인 SiO<sub>2</sub> 분말이 38wt% 섞여 있다. 두 번째는 첫 번째 빌드업 필름 표면 위에 SiO<sub>2</sub> 분말이 섞여 있지 않은 두께 5 $\mu\text{m}$ 의 빌드업 필름을 추가로 열압착하여 제작하였다.

나노초 UV 레이저와 피코초 UV 레이저를 이용하여 가공한 임베디드 회로 패턴의 표면 특성을 실험적으로 분석하기 위해 Table 3에서 보는 바와 같이 나노초 UV 레이저와 피코초 UV 레이저의 펄스 에너지와 중첩율을 동일하게 하였다.

즉 임베디드 회로 패턴 가공 시 단위 면적당 필름에 유입되는 입력 에너지량은 동일하게 된다. 실험은 대기압 조건에서 수행하였으며, 가공 중에 보호 가스는 사용하지 않았다.

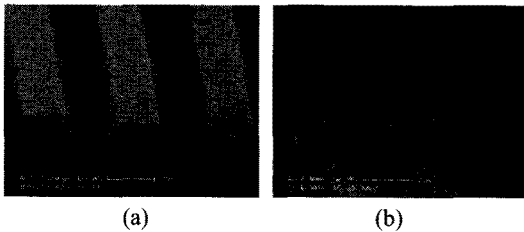
**Table 3** Process parameters

	Nanosecond laser	Picosecond laser
Ave. power (mW)	32	283
Rep. rate (kHz)	15	133
Scan speed (mm/s)	38	337
Pulse energy (μJ)	2.13	2.13
Peak power (W)	$0.05 \times 10^3$	$0.26 \times 10^6$

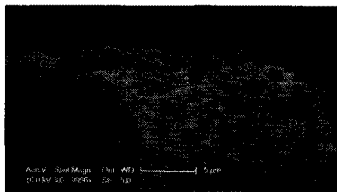
### 3. 결과 및 토론

#### 3.1 펄스폭에 따른 임베디드 회로 패턴 표면 특성

평균 직경 1μm인 SiO<sub>2</sub> 분말이 섞여 있는 빌드업 필름에 단위면적당 유입되는 입력 에너지량이 동일한 조건으로 나노초 UV 레이저와 피코초 UV 레이저를 각각 반복하여 조사하여 임베디드 회로 패턴을 가공하였다. Fig 4(a)와 Fig 5에서 보면 나노초 UV 레이저를 이용하여 가공한 경우 빌드업 필름 표면에 SiO<sub>2</sub> 분말이 붙어 있는 것을 볼 수 있다. 이는 레이저 펄스가 조사되어 빌드업 필름이 어블레이션(ablation)될 때 발생하는 반발 압력(recoil pressure)에 의해 분출된 SiO<sub>2</sub> 분말들이 필름 표면에 들러붙은 것으로 판단된다.

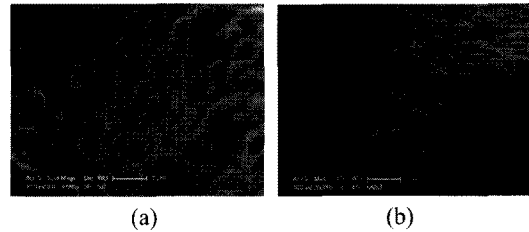


**Fig. 4** SEM of embedded circuit patterns made with (a) nanosecond laser and (b) picosecond laser.

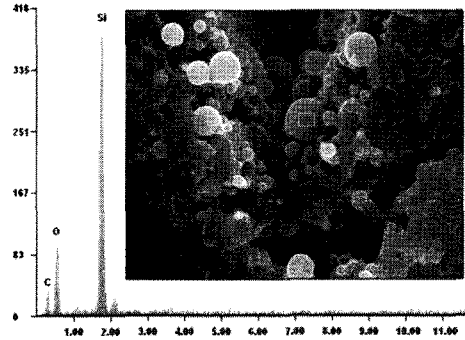


**Fig. 5** SEM of SiO<sub>2</sub> powders stuck to the surface of buildup film.

또한, Fig 6(a)에서 보는 바와 같이 임베디드 패턴 표면에 빌드업 필름 내부에 섞여 있던 SiO<sub>2</sub> 분말들이 드러나 있는 것을 볼 수 있다. Fig 7에서 패턴 표면의 EDS(Energy Dispersive x-ray Spectroscopy) 분석결과에서도 Si가 34wt%로 원소재의 조성과의 유사한 양이 검출된 것을 알 수 있다.



**Fig. 6** Detailed SEM of embedded circuit patterns made with (a) nanosecond laser and (b) picosecond laser.



**Fig. 7** EDS result of embedded circuit pattern made with nanosecond laser in buildup film with SiO<sub>2</sub> powders (C: 33wt%, O: 33wt%, Si: 34wt%).

피코초 UV 레이저를 이용하여 가공한 임베디드 회로 패턴의 경우 Fig 4(b)에서 보는 바와 같이 빌드업 필름 표면에 들러붙어 있는 SiO<sub>2</sub> 분말은 거의 볼 수 없다. Fig 6(b)에서 패턴 표면에 SiO<sub>2</sub> 분말이 드러나 있는 것을 볼 수 있으나, 나노초 UV 레이저의 경우와 달리 패턴 표면에 들러붙어 있는 SiO<sub>2</sub> 분말은 거의 관찰할 수 없다. 고체 표면에 레이저 빔이 집속되면 표면에서 어블레이션이 일어나며 이 때 반발 압력이 발생한다. 반발 압력은 아래 식(1)의 반발 운동량(momentum)을 펄스 폭으로 나누어 구할 수 있다.<sup>5,6</sup>

$$\frac{J}{S} = a \left( \frac{E}{S} \right)^n \quad (1)$$

여기서,  $J$ 는 반발 운동량,  $S$ 는 레이저 스폿(spot) 면적,  $E$ 는 레이저 펄스 에너지이며,  $a$ 와  $n$ 는 측정 계수이다.<sup>5</sup>

피코초 레이저 펄스는 나노초 레이저 펄스에 비해 펄스 폭이  $10^{-3}$ sec 짧으므로 반발 압력이  $10^3$ 배 크다. 따라서 빌드업 필름 내에 섞여 있는 SiO<sub>2</sub> 분말이 피코초 UV 레이저 펄스를 조사한 경우 반발 압력이 상대적으로 커서 SiO<sub>2</sub> 분말이 회로 패턴 표면으로부터 제거되는 것으로 판단된다.

빌드업 필름에 임베디드 회로를 형성하기 위해서는 레이저를 이용하여 가공된 임베디드 회로 패턴에 씨드(seed) 층을 형성한 후 Cu를 도금하게 된다. Cu 도금 시 임베디드 회로 패턴의 표면 상태가 도금 품질에 직접적인 영향을 미치게 되며, 뿐만 아니라 도금 후 회로로 작동하는 경우 RF 성능에도 큰 영향을 미치게 된다. 나노초 UV 레이저로 가공한 회로 표면에 드러난 SiO<sub>2</sub> 분말들은 도금 후 신호 전송 시 저항으로 작용하여 RF 손실을 야기할 것으로 예측된다. 따라서 피코초 UV 레이저를 이용하여 가공한 회로 패턴이 구리 도금을 한 후 회로로써 특성이 좋을 것으로 판단된다.

3.2 Filler 유무에 따른 회로 패턴 표면 특성

SiO<sub>2</sub> 분말을 포함한 빌드업 필름 위에 SiO<sub>2</sub> 분말이 섞여 있지 않은 빌드업 필름을 두께 5 $\mu$ m로 열증착한 후 피코초 레이저를 이용하여 회로 패턴을 가공하였으며, 이때 회로 패턴의 깊이는 5 $\mu$ m 이내로 가공하여 SiO<sub>2</sub> 분말의 유무에 따른 회로 패턴의 표면 형상을 관찰하였다. 실험에 사용된 SiO<sub>2</sub> 분말이 없는 빌드업 필름은 상용으로 공급 되는 것이 아니며, 실험을 위해 주문 제작한 것이다.

Fig. 8에서 보는 바와 같이 동일한 조건으로 피코초 UV 레이저를 2회 조사하여 약 4 $\mu$ m의 깊이를 갖는 회로 패턴을 가공하였다. Fig. 7에 가공된 빌드업 필름은 회로 패턴링 후 후처리를 하지 않고 측정한 것으로 보는 바와 같이 가공된 회로 패턴의 주변에 광열반응(photothermal reaction) 흔적은 찾아보기 힘들다.

Fig. 9(a)와 같이 피코초 UV 레이저를 SiO<sub>2</sub> 분말이 섞여 있는 빌드업 필름에 조사하는 경우에 Fig. 6(b)에서 보는 바와 같이 패턴 표면에 SiO<sub>2</sub> 분말이 회로 패턴 표면에 노출되어 있는 것을 알 수 있다. 반면, Fig. 9(b)에서 보는 바와 같이 빌드업 필름 내부에 SiO<sub>2</sub> 분말이 없는 경우는 상대적으로 매우 우수한 표면 거칠기를 얻을 수 있다. 이것은 회로 패턴 가공 후 Cu 도금 시에 매우

긍정적인 점으로 작용할 것으로 판단된다. Fig. 10(b)의 EDS 측정결과로부터 Si 성분이 검출되었으나, 이것은 EDS가 표면으로부터 1 $\mu$ m 깊이의 소재 성분에 대한 정보를 검출하기 때문에 회로 패턴 아래에 있는 filler 소재 층에 있는 Si가 검출된 것으로 보인다.

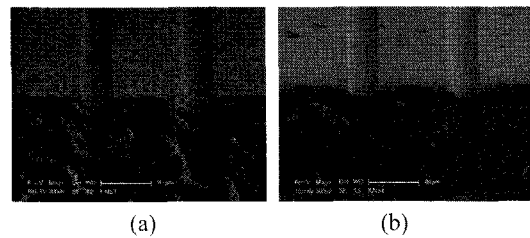


Fig. 8 SEM images of embedded circuit patterns made with picosecond laser in a buildup film (a) with and (b) without SiO<sub>2</sub> powders.

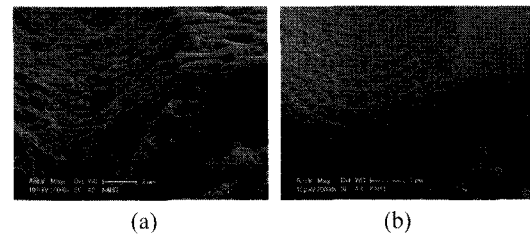


Fig. 9 Detailed SEM images of embedded circuit patterns made with picosecond laser in buildup film (a) with and (b) without SiO<sub>2</sub> powders.

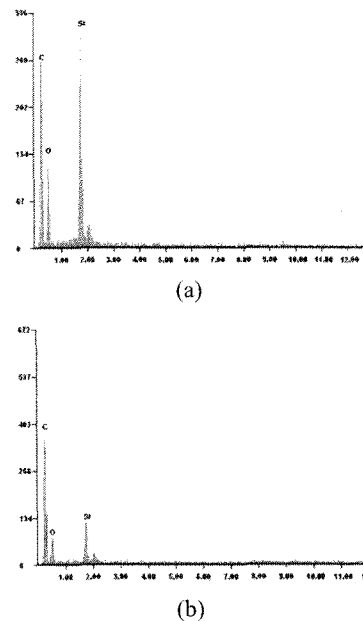


Fig. 10 EDS results of embedded circuit patterns made with picosecond laser in (a) buildup film with SiO<sub>2</sub> powders (C: 67wt%, O: 22wt%, Si: 11wt%) and (b) one without SiO<sub>2</sub> powders (C: 76wt%, O: 19wt%, Si: 5wt%).

#### 4. 결 론

나노초 UV 레이저와 피코초 UV 레이저를 이용하여 반도체 기판용 빌드업 필름에 임베디드 회로 패턴을 가공하여 펄스 폭에 따른 회로 패턴의 표면 특성을 실험적으로 분석하였다. SiO<sub>2</sub> 분말이 섞여 있는 빌드업 필름을 피코초 UV 레이저를 이용하여 회로 패턴을 가공하는 경우, 피코초 UV 레이저 펄스에 의한 반발 압력이 나노초 UV 레이저 펄스에 비해 10<sup>3</sup>배 높으므로 가공된 회로 패턴의 벽면에 SiO<sub>2</sub> 분말이 남아 있지 않아 표면 거칠기가 상대적으로 우수하였다. SiO<sub>2</sub> 분말이 없는 빌드업 필름에 피코초 UV 레이저를 조사하여 회로 패턴을 가공한 경우 표면 거칠기가 크게 개선되어, Cu 도금 후 형성되는 임베디드 회로의 RF 특성이 개선될 것으로 예측된다.

#### 후 기

본 연구는 산업원천기술개발사업인 고밀도 인쇄 회로 기판용 Laser Direct Polymer Patterning 기술 개발과제(과제번호 : 10035494)의 지원으로 수행되었습니다.

#### References

- 1) Y.J. Kwon, SMT process technology, pp. 21-41, Sanghakdang, 2009.
- 2) www.rndbiz.com
- 3) [http://www.itrs.net/Links/2010ITRS/2010Update/ToPost/2010Tables\\_Interconnect\\_FOCUS\\_E1\\_ITRS.xls](http://www.itrs.net/Links/2010ITRS/2010Update/ToPost/2010Tables_Interconnect_FOCUS_E1_ITRS.xls)
- 4) [www.atotech.com/fileadmin/pdf/papers/el/JPCA\\_2007\\_PP\\_Paper\\_Increased\\_of\\_Minaturization\\_With\\_Trench\\_Filling\\_Technology.pdf](http://www.atotech.com/fileadmin/pdf/papers/el/JPCA_2007_PP_Paper_Increased_of_Minaturization_With_Trench_Filling_Technology.pdf)
- 5) L.I. Kuznetsov, "Recoil momentum at a solid surface during developed laser ablation," J. Quantum Electron, 23, pp. 1035-1038, 1993.
- 6) D.J. Lee, S.H. Jeong, "Analysis of recoil force during Nd:YAG laser ablation of silicon," Applied Physics A 79, pp. 1341-1344, 2004.