Journal of Korea Multimedia Society Vol. 14, No. 11, November 2011(pp. 1401-1408)

영상처리용 16개의 처리기를 위한 다중접근기억장치 및 병렬처리기의 칩 설계

임재호[†], 박성미[††], 박종원[†††]

요 약

*본 논문에서는 영상처리용 16개의 처리기를 위한 다중접근기억장치(Multi-Access Memory System) 및 병렬처리기의 칩을 설계하였다. 다중접근기억장치는 병렬접근 메모리 시스템의 한 종류로서 영상의 픽셀 데이터값에 8가지 타입으로 동시 접근이 가능하다. 또한 일정한 간격을 두고 픽셀 데이터값에 접근하는 것이 가능하다. 다중접근기억장치가 내장된 병렬처리기는 실제로 2003년에 구현되어진 적이 있다. 하지만 고해상도 영상을 실시간으로 처리하기에는 그 성능이 미치지 못하였다. 이에 본 논문에서는 이전의 시스템의 메모리 모듈(Memory Module)과 처리기(Processing Element)를 추가·확장하여 보다 개선된 병렬처리 시스템을 설계하였다. 이 시스템은 이전의 시스템보다는 3배, 시리얼 시스템보다는 6배 빠른 속도로 모폴로지컬 클로징(Morphological closing) 알고리즘의 수행이 가능하다.

Design to Chip with Multi-Access Memory System and Parallel Processor for 16 Processing Elements of Image Processing Purpose

Jae-Ho Lim[†], Seong-Mi Park[††], Jong-Won Park[†††]

ABSTRACT

This dissertation present a chip with Multi-Access Memory System(MAMS) and parallel processor for 16 Processing Elements of image processing purpose. MAMS is a kind of parallel access memory system and can simultaneously access to random pixel datas with eight types. It is possible to set a interval about pixel datas to access, too. The parallel processor built-in MAMS actually has been realized in 2003 but its performance fell short of a real time process for high-definition images. I designed a improved parallel processing system by means of addition and expansion of Memory Modules and Processing Elements of previous one. It is feasible to perform a Morphological Closing at the speed of 3 times of the previous one and 6 times of serial system.

Key words: Multi-Access Memory System(다중 접근 메모리 시스템), Memory System(메모리 시스템), Parallel Processing System(병렬 처리 시스템), SIMD Computer(단일 명령어 다중처리 데이터 컴퓨터), Image Processing(영상 처리)

※ 교신저자(Corresponding Author) : 박종원, 주소 : 대전광역시 유성구 충남대학교 공대 3호관 408호(305-764), 전화 : 042)821-7793, FAX : 042)825-7792, E-mail : jwpark@cnu.ac.kr
접수일 : 2011년 7월 18일, 수정일 : 2011년 9월 23일
완료일 : 2011년 10월 24일

[†] 정회원, 충남대학교 정보통신공학과 석사
(E-mail : zeozeo@hanmail.net)
[††] 정회원, 충남대학교 정보통신공학과 박사수료
(E-mail : whtdeer@cnu.ac.kr)
[†††] 정회원, 충남대학교 정보통신공학과 정교수

1. 서 론

대량의 영상 데이터를 실시간으로 처리하기 위한 방법 중에 하나는 데이터들에 대한 접근 시간을 줄이는 것이다. 그러나 접근 시간이 빠른 고가의 메모리를 영상기억장치로 사용하기에는 영상 데이터의 양에 비례하여 비용이 증가한다는 문제가 있다. 이와같이 방대한 영상 데이터를 실시간으로 처리하기 위하여, 특정 매체를 위한 프로세서 구현에서부터 범용 프로세서 구현의 범주까지 많은 연구들이 진행되고 있다. 방대한 영상 데이터를 가지고 있는 고해상도 컨텐츠를 실시간으로 처리할 수 있는 하드웨어를 구현하기 위하여 다양한 방법론, 처리 속도, 입출력 대역폭, 저장 장치, 그리고 시스템 복잡도 등에 관한 연구들이 이루어지고는 있지만, 부분 연구들로 진행되고 있는 경우가 많기 때문에 전체 시스템 차원에서의 서로 간의 연관성을 고려하여야 한다.

본 논문에서는 메모리 대역폭을 확보하기 위하여 다수의 메모리 모듈을 사용한 다중접근 메모리 시스템을 고려한다. 이러한 메모리 시스템에서 효율적으로 메모리 대역폭을 지원하기 위해서는 고속 접근이 가능한 다수의 메모리 모듈이 필요함과 동시에 다수의 PE(Processing Element)들이 동시에 같은 메모리 모듈에 접근함으로써 발생할 수 있는 충돌(conflict)을 방지하여야 한다. 특히 대부분의 영상처리는, 2차원 영상을 사용하여 네 방향의 블록과 행, 열, 대각선, 역대각선 형태의 픽셀에 대해 단순하고 반복적인 연산을 수행하기 때문에 다양한 형태로 다수의 영상 데이터에 신속하게 접근할 수 있는 다중접근 메모리 시스템과 이에 알맞은 병렬처리기의 개발이 요구되고 있다.

이전에 연구되었던 병렬처리 시스템은 일반적으로 다수의 PE와 이것들을 제어하기 위한 제어장치, 명령어(instruction)들을 저장하는 메모리, 그리고 여러 개의 데이터들에게 동시에 접근이 가능한 다중접근 메모리 시스템 등으로 이루어진 SIMD(Single Instruction Multiple Data stream) 처리기로 구성되며 영상처리를 위한 응용시스템으로 고려되고 있다[1-7]. 이 시스템에서는 제어 장치가 공유 메모리 모듈로부터 명령어를 읽어온 후, 다수의 PE에게 접근 형태, 기준 좌표, 그리고 접근 데이터들 사이의 간격 정보들을 전송한다. 그 이후에 제어 장치가 다수의 PE에 동일한 명령어를 전송하고 PE들은 서로 다른 데이터들에 대해 이 명령을 수행한다. 이러한 과정을 거쳐 다수의 PE가 동일한 명령을 여러 개의 데이터에 대해 수행하게 되고 여러 개의 데이터들에 동시 접근할 수 있다. 영상처리 시에 SIMD 방식의 처리 구조를 갖는 시스템의 효율이 극대화되기 위해서는 다중접근 메모리 시스템이 다음의 특성을 만족하여야 한다. 첫째, 영상에서 블록과 행, 열, 대각선, 역대각선 등의 다양한 접근 형태를 지원해야 한다. 둘째, 영상 내의 임의의 위치에 있는 모든 픽셀 데이터들은 다양한 접근 형태에 따라 동시 접근이 가능해야 한다. 셋째, 제어 장치의 데이터 주소 계산 및 라우팅 속도가 빨라야 한다. 넷째, 데이터 주소 계산 및 라우팅 처리가 PE와 독립적으로 이루어져야 한다. 마지막으로, 다중접근 메모리 시스템의 메모리 모듈의 개수는 PE의 개수보다 많거나 같으면 되지만 되도록 적어야 한다.

본 논문에서는 실시간 영상처리를 위하여, 위와같은 특성을 만족하는 다중접근 메모리 시스템인 다중접근기억장치(Multi-Access Memory System)와 다수의 SIMD를 사용하는 병렬처리 시스템을 설계하였다.

본 논문의 구성은 다음과 같다. 2장에서 기존 연구 및 동향을 언급하고, 3장에서는 다중접근기억장치에 대하여 설명한다. 그리고, 4장에서는 실제로 실시간 영상처리에 적합한 병렬처리 시스템을 설계하고 검증하였으며, 5장에서는 제안한 시스템의 성능을 평가한다. 결론 및 향후 연구에 대해서는 6장에서 기술한다.

2. 기존 연구 및 동향

일반적인 영상처리 알고리즘을 빠르게 처리할 수 있도록 연구된 처리기 시스템들은 크게 두 가지이다. 첫째는 병렬처리가 가능한 부분 영상을 한 번에 처리할 수 있도록 프로세서들을 2차원 배열 구조로 구성한 시스템이다. 이러한 시스템들은 일반적으로 SIMD 구조를 가지고 있으며, 예로 CLIP(Cellular Logic Image Processor)[4], MPP(Massively Parallel Processor)[5] 등이 있다. 하지만 이 시스템들은 비용이 많이 들며, 입력 영상의 직렬적인 특성 때문에 최대 성능을 얻을 수 없다는 단점이 있다. 두 번째는 특정

크기의 윈도우 내에서 영상을 처리하는 시스템이다. 이러한 시스템들은 프로그래밍이 가능하기 때문에 융통성이 있어 다양하게 응용될 수 있으며, 예로 MITE(Morphic Image Transform Engine)[6], PIPE (Pipelined Image-Processing Engine)[7] 등이 있다. 하지만 이 시스템들은 처리할 영상의 크기가 증가할수록 일정한 처리 속도를 유지하기 위해서 기하학적인 처리 속도 증가가 요구되며 특정 영상처리를 위해서는 가격대비 효율성 측면에서 적합하지 않다는 단점이 있다. 빠른 영상처리를 위한 연구는, 위와같이 처리기 차원에서 뿐만아니라 다중접근 메모리 시스템 차원에서도 진행되고 있다.

다중접근 메모리 시스템에 대한 연구에 있어서의 중점은 메모리 충돌없이 블록과 행, 열, 대각선, 역대각선 등의 형태로 동시에 접근하여 영상 데이터를 가져올 수 있느냐이다. 1971년에 P. Budnik과 D. J. Kuck[8]이 제안한 Linear Skewing Scheme과 Prime Memory System은, N × N으로 구성된 데이터에서 메모리 모듈의 개수를 N보다 큰 소수 이상으로 구성하면, N1/2 × N1/2 블록과 행, 열, 대각선, 역대각선 형태로 메모리 충돌없이 동시에 접근할 수 있다. 하지만 이 시스템은 주소 계산을 위해 소수의 모듈로(modulo) 연산을 요구하여 회로가 복잡하고 처리 시간이 일정하지 않다는 단점이 있다.

D. H. Lawrie[9]는 1975년에 Linear Skewing Scheme을 일반화 시키고 주소생성회로를 단순화한 Array Storage Scheme을 소개하였는데, 이것은 2N 메모리 모듈로 구성되며, N1/2 × N1/2 블록과 행, 열, 대각선, 역대각선 형태로 동시 접근이 가능하다. 그러나, 메모리 모듈의 낭비가 크다는 단점이 있다. 이와같은 Linear Skewing Scheme의 단점들을 보완하기 위하여 Lee[10]에 의하여 Nonlinear Skewing scheme이 제안되었다. 이는 모듈로 연산을 제거하였지만, 대각선 형태의 접근에 대해서는 효율적이지 못한 것이 단점이다. Van Voorish와 Morrin[11]은 pq + 1개의 메모리 모듈로 구성되고 p × q의 블록과 1 × pq의 행, pq × 1의 열 내의 데이터를 동시에 접근할 수 있는 메모리 시스템을 소개하였고, Lawrie와 Vora[12]는 블록의 형태는 제외된 행, 열, 대각선, 역대각선에 대한 기억장치를 제안하였다. 하지만 Van Voorish와 Morri의 시스템은 2의 거듭제곱 외의 임의의 숫자에 대한 모듈로 연산이 필요하고, Lawrie와 Vora의 시스템은 블록 형태의 접근이 제외되어 있어서, 영상처리 분야로의 적용은 어려웠다. Raghavendra등[13] 제안한 메모리 시스템은 접근되는 데이터들이 2차원 배열 내의 특정 위치에 있어야하므로, 이 또한 영상처리 분야에는 사용할 수가 없다.

Park은 Van Voorish와 Morrin의 메모리 시스템을 개선하여 주소생성회로를 단순화 시킨 다중접근 시스템을 제안하였다[14]. 또한 이를 확장하여 대각선과 역대각선 형태의 접근도 가능한 시스템을 개발하였고, 임의의 각도를 갖는 선분들을 신속하게 접근할 수 있는 기억장치와 해상도를 낮추어 적은 영상 데이터 내에서 움직임 탐지나 텍스쳐(texture) 분석을 빠르게 할 수 있는 가우시안 피라미드 형성에 적합한, 간격이 2인 행을 접근할 수 있는 메모리 시스템을 제안하였다[15]. 2003년에는 4개의 PE와 5개의 MM을 지닌 병렬처리 시스템인 MAMS-PP4를 실제로 구현하였으나[16] 고해상도 영상을 실시간으로 처리할 수 있는 성능에는 미치지 못하였고, 2011년 현재 16개의 PE와 17개의 MM을 지닌 병렬처리 시스템인 MAMS-PP16 칩을 구현 하고 있다.

본 논문에서는 주소생성회로가 단순하고 영상처리에 필수적인 블록, 행, 열, 대각선, 역대각선 형태의 동시 접근이 가능한 시스템인 다중접근기억장치[17]를 적용하여, 앞에서 언급된 두 분류의 시스템들의 단점을 해결하였다.

3. 다중접근기억장치

디지털 영상은 영상점 I(*, *) 들의 M × N 행렬로 나타낼 수 있는데, 이 때 각 화소 I(i, j) 는 해당 부분의 색과 밝기를 나타며 다음과 식(1)과 같이 표기 된다. 임의의 정수 p, q를 설계 상수로 하였을 때에 pq 개의 화소들의 빠른 영상처리를 위해서는[12], M × N 크기 배열(I(*, *))의 데이터 안에서 일정한 간격(r)을 가지고 그림 1과 같이 구성 하였다.

$$I(i, j) : \text{2차원 } M \times N\text{의 데이터 배열 좌표} \quad (0 \le i < M,\ 0 \le j < N) \tag{1}$$

그림 1은 8가지의 서브어레이(subarray) 타입(4방향의 블록 서브어레이(SEB(South-East Block), SWB (South-West Block), NWB(North-West Block), NEB (North-East Block))와 4방향의 라인 서브어레이

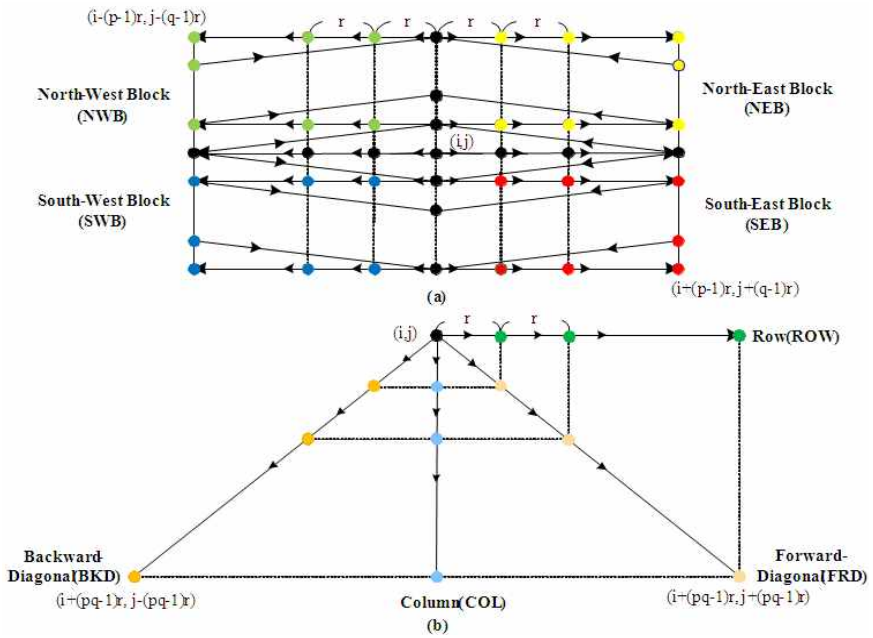

그림 1. (a) 4방향(SEB, SWB, NWB, NEB)의 블록 서브어레이, (b) 4방향(ROW, COL, FRD, BKD)의 라인 서브어레이

(ROW(Row), COL(Column), FRD(Forward-diagonal), BKD(Backward-diagonal))으로 동시접근이 가능해야 된다[15,18].

3.1 모듈할당함수(μ)

동시에 접근되는 데이터의 집합 S를 동시에 읽거나 쓰기 위해서는 S의 각 원소들이 서로 다른 메모리 모듈에 있어야 한다. 메모리 모듈의 개수를 m이라고 한다면, S의 각 원소들은 서로 다른 m개의 메모리 모듈 내에 위치해야 한다. 데이터가 어떠한 모듈에 위치할 것인지를 결정하는 함수를 모듈할당함수(Module Assignment Function : μ)라 하고 식(2)와 같이 정의한다.

$$\mu(i,\ j) = (iq + j)\%m \quad (m : \text{MM의 개수}) \qquad (2)$$

3.2 주소할당함수(α)

동시에 접근되는 데이터의 집합 S 의 원소들에 대응하는 메모리 모듈은 함수 μ에 의해서 결정되지만, 실제로 그 모듈에 위치하기 위해서는 데이터가 위치하는 메모리 모듈 내의 주소도 동시에 같이 정해져야 한다. 그러므로 S의 각 원소에 대하여, 함수 μ가 가리키는 메모리 모듈 내의 주소를 결정하는 함수 α가 필요하다. 이를 주소할당함수(Address Assignment Function : α)라 하고 식(3)과 같이 정의한다.

$$\alpha(i,\ j) = \lfloor i/p \rfloor \times s + \lfloor j/q \rfloor \qquad (3)$$

($\lfloor x \rfloor$는 x 보다 작거나 같은 정수 중에서 가장 큰 수를 나타내고, $\lceil x \rceil$는 x 보다 크거나 같은 정수 중에서 가장 작은 수를 나타낸다.)[11,14]

여기서 s는 다음 조건을 만족하는 임의의 정수이고, 식(4)와 같이 정의 한다.

$$s \geq \lceil N/q \rceil \quad (s \times N/q \leq MC) \qquad (4)$$

함수 α를 살펴보면, 집합 S의 원소들에 대한 서로 다른 메모리 모듈 내의 주소들은 함수 μ와 상관없이 임의의 기준 위치 (i, j)에 의하여 결정되는 것을 알 수 있다. 즉, 함수 α와 함수 μ는 서로 독립적이며, 두 함수의 조합으로 접근되는 데이터의 위치 지정을 위한 메모리 모듈과 주소를 유일하게 지정할 수 있다. 그림 2는 메모리 모듈 인덱스와 주소를 보여준다.

4. 병렬처리 시스템 설계 및 검증

4.1 제안된 병렬처리 시스템

제안된 병렬처리 시스템인 SIMD 컴퓨터는 다중

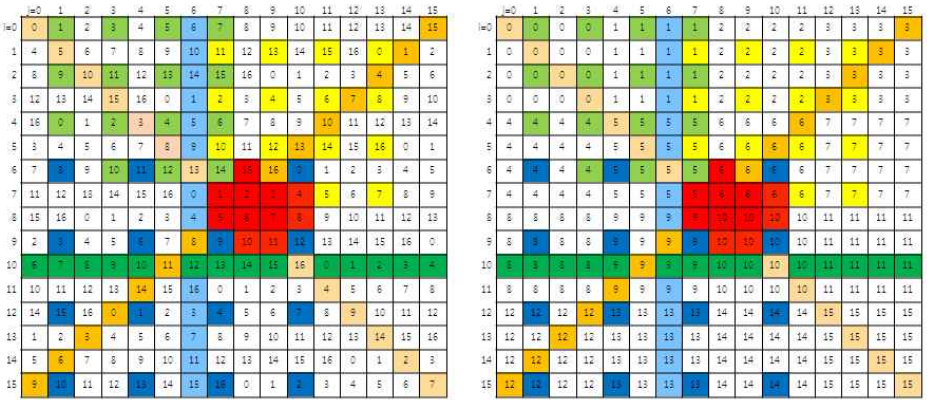

그림 2. (a) The index numbers of Memory Modules, (b) The addresses
p = q = 4, M x N = 16 x 16, s = 4
SEB(6,7,1): ■, SWB(6,10,3): ■, NWB(6,7,2): ■, NEB(7,7,2): ■,
ROW(10,0,1): ■, COL(0,6,1): ■, FRD(0,0,1): ■, BKD(0,15,1): ■

접근기억장치와 16개의 PE, 17개의 MM, 그리고 CU로 구성되어 있다. 호스트 컴퓨터와의 인터페이스를 위한 I/O 보드의 프로세서는 호스트 컴퓨터로부터 메시지를 받으면 메시지의 내용을 해석하여 PE들이 수행할 명령어(Instruction)들을 CM(Control Memory)에 저장하고 주기억장치에 있는 데이터를 CU를 통해 다중접근기억장치의 메모리 모듈로 전달한다. 그리고 CU가 CM에 저장되어 있는 명령어들을 PE들로 전송한다. PE들은 전달된 명령어에 따라 메모리 접근이나 산술·논리 연산, 조건 검색 등을 수행한다. 모든 명령어가 처리되면 그 결과는 다중접근기억장치 내의 메모리 모듈에 저장되고, I/O 보드의 프로세서는 결과 데이터를 주기억장치에 전송하고 호스트 컴퓨터에 인터럽트를 발생시켜서 모든 처리가 완료 되었음을 알린다. SIMD 컴퓨터와 로컬 버스는 200 MHz의 동일한 클럭으로 동기화 되어 동작한다.

4.2 설계 및 하드웨어 검증

제안된 병렬처리 시스템의 하드웨어는 Verilog - HDL을 이용하여 RTL(Register Transfer Level)로 실제 설계하였으며 RTL 시뮬레이터를 이용하여 그림 3과 같이 하드웨어를 검증하였다.

Verilog-HDL로 설계된 하드웨어를 RTL 시뮬레이터를 이용하여 시뮬레이션 한 결과는 그림 3와 같다. 빨간 점선으로 구획지어진 구간 중 첫 번째 구간은 데이터 로딩 구간으로서, 영상처리를 해야 될 영상 데이터들을 호스트 컴퓨터에서 전송받아서 메모리 모듈에 저장하는 구간이다. 두 번째 구간은 이미지 프로세싱 구간으로 PE가 데이터들을 처리하고 처리된 데이터들은 다시 메모리 모듈에 저장되는 구간이다. 세 번째 구간은 메모리 모듈에 저장된 결과 데이터들을 호스트 컴퓨터로 전송해주는 구간이다.

본 논문에서 설계한 하드웨어는 메모리를 제외한 로직 부분에 대해서는 10k Gate Count 가량을 차지하며 메모리는 17 MB SRAM을 사용한다. 또한 130n 공정의 CMOS Process에서 200 MHz의 속도로 동작한다.

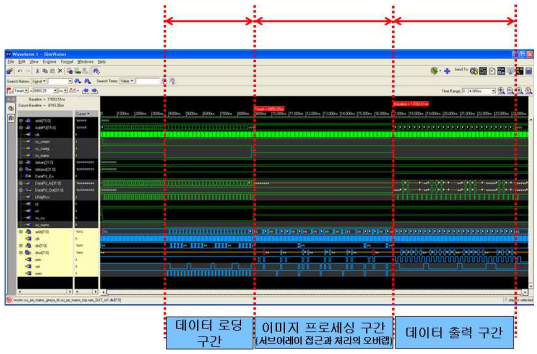

그림 3. 하드웨어 시뮬레이션 결과

5. 성능평가

5.1 성능 평가를 위한 알고리즘

제안한 병렬처리 시스템에 대한 검증 및 성능 평가를 하기 위한 알고리즘으로, 영상으로부터 물체의

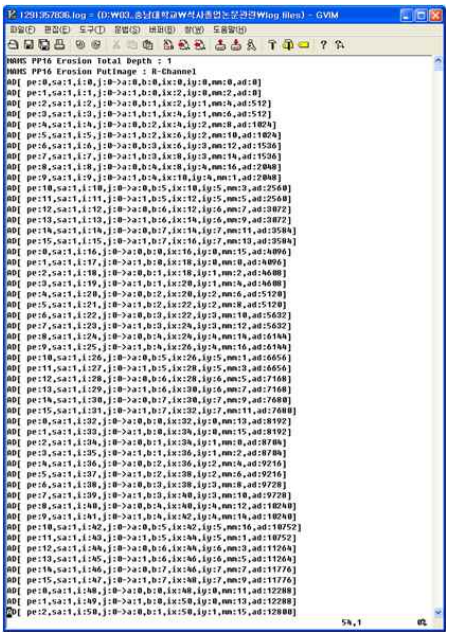

그림 4. 모폴로지컬 클로징 수행 log file

구조적인 정보를 추출하는 데에 매우 효과적으로 사용되는 형태학적(morphological) 알고리즘의 한 종류인 모폴로지컬 클로징(Morphological Closing)을 선정하였다. 이것은 팽창(Dilation) 후 침식(Erosion)을 수행하는 결과이며, Structure Element를 이용하여 연산을 수행한다. 병렬처리 시스템에서 영상 처리를 수행하기 위해서는 알고리즘을 병렬화하고 기계어로 변환하는 과정이 필요한데, 반드시 메모리 접근 명령어와 일반 명령어가 쌍을 이루어야 한다. 다음은 256레벨 영상에서 1개의 데이터에 대한 오프닝 알고리즘을 나타낸 것으로 이와 같은 프로그램을 기준좌표 값만 변경하면서 처리기에 할당된 데이터 수만큼 반복한다.

5.2 성능 평가

본 연구 논문에서 제안된 병렬처리기 칩의 성능 평가는 1024×1024 급 영상을 모폴로지컬 클로징 알고리즘으로 영상처리를 하는 경우에, 시리얼(Serial)로 처리를 하는 일반 컴퓨터와 이전의 MAMS 시스템인 MAMS-PP4[16]와 각각 소요 시간을 비교하는 방식으로 진행하였다.

1024×1024 급 영상의 처리결과 제안된 병렬처리 시스템은, MAMS를 사용하지 않고 캐시(Cache)를 사용하여 시리얼(Serial)로 처리하는 시스템 보다는 6배가량, 이전의 MAMS 시스템인 MAMS-PP4[16]보다는 3배 정도 빨라졌음을 알 수 있었다. (알고리즘 수행과정은 파이프라인으로 구성되어 있으므로 전체적인 영상처리 속도는, Memory fetch 시간과 Processing 시간 중에서 느린 Processing 시간에 의해 결정된다.)

그림 4에서는 1024×1024 급 영상에 대하여 모폴로지컬 클로징 연산을 수행하였을 때에 알고리즘 수행과정에 대한 로그 파일(Log file)의 일부분을 보여주고 있고, 그림 5에서는 1024×1024 급 영상에 대하여 모폴로지컬 클로징 연산을 수행하기 전의 원본 영상과 실제로 연산을 수행한 후의 결과 영상을 보여주고 있다.

현재 개발 중인 칩을 Board로 구현함으로써 CUDA (Compute Unified Device Architecture)와 같은 현재 많이 사용하고 있는 상용 제품과 성능 비교 평가할 것이다.

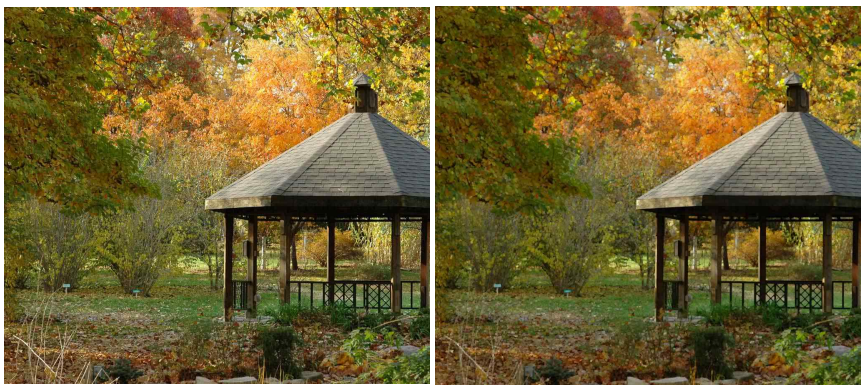

그림 5. 모폴로지컬 클로징 수행 원본과 결과 영상

6. 결론 및 향후 연구

본 연구 논문에서는 고해상도 영상의 실시간 처리를 위하여 다중접근기억장치(Multi-Access Memory System)를 이용한 SIMD(Single Instruction Multiple Data stream) 형태의 병렬처리 칩을 설계하였다. 이를 위하여 메모리의 입·출력 대역폭(Memory Module)을 확장하고 병렬처리시스템의 프로세싱 성능(Processing Element)을 개선하여 시스템의 복잡도를 낮출 수 있는 하드웨어를 제안하였다. 병렬처리 칩은 Verilog-HDL을 이용하여 RTL(Register Transfer Level)로 설계하였고, 이렇게 설계된 칩은 RTL 시뮬레이터를 사용하여 검증하였다. 설계한 하드웨어는 메모리를 제외한 로직 부분에 대해서는 10k Gate Count 가량을 차지하며 메모리는 17 MB SRAM을 사용한다. 제안한 병렬처리 시스템에 대한 성능 평가를 하기 위한 알고리즘으로는 영상으로부터 물체의 구조적인 정보를 추출하는 데에 매우 효과적으로 사용되는 형태학적 알고리즘의 한 종류인 모폴로지컬 클로징(Mophological Closing)을 선정하였다. 1024×1024 크기의 영상에 모폴로지컬 클로징 연산을 수행한 결과, 제안한 병렬처리 칩은 캐시(Cache)를 사용하여 시리얼(Serial)로 처리하는 시스템 보다는 6배, 이전의 MAMS 시스템인 MAMS-PP4 보다는 3배 이상 빨라졌음을 확인할 수 있었다.

본 연구 논문에서 제안한 병렬처리 칩을 추후에 SOC(System On Chip) 형태로 구현하고 동작 주파수와 병렬도를 높여서 Full HD(1920×1080) 급 동영상에 대해서도 실시간 영상처리가 가능하도록 개선해야 할 것이다. 또한 제안된 병렬처리 시스템이 일반적인 컴퓨터에서도 적용되기 위해서 일반 컴퓨터의 운영체제에 적합한 드라이버와 사용자 인터페이스 등의 개발이 앞으로 진행되어야 할 것으로 보인다. 이와 더불어, 병렬처리 시스템을 다양하게 적용하기 위한 병렬 알고리즘 개발에 대한 지속적인 연구도 병행되어야 할 것으로 생각한다.

참 고 문 헌

[1] J. L. Potter, "Image processing on the massively parallel processor," *IEEE Computer*, Vol.16, No.1, pp. 62-67, 1983.

[2] A. Rosenfeld, Multiresolution image processing and analysis, *Springer-Verlag*, 1984.

[3] H. S. Wallace and D. Howard, ,"HBA vision architecture," *IEEE Trans. PAMI*, Vol.11, No.3, pp. 227-232, 1989.

[4] M. Duff, "Parallel Processors for Digital Image Processing," *Advances in Digital Image Processing(P. Stucki, Ed.)* NewYork: Plenum, pp. 265-279, 1979.

[5] K. E. Batcher, "Design of a Massively Parallel Processor," *IEEE Trans. Comput.*, Vol.C-29, pp. 836-840, 1980.

[6] M.J. Kimmel, R.S. Jaffe, J.R. Manderville and M.A. Lavi, "MITE: Morphic Image Transform engine, an Architecture for Reconfigurable Pipelines of Neighborhood Processors," *IEEE Computer Society Workshop on Computer Architecture for Pattern Analysis and Image Database Management*, Miami Beach, FL, Nov. 18-20, pp. 493-500, 1985.

[7] E.W. Kent and S.L. Tanimoto, "Hierarchical Cellular Logic and the PIPE Processor: Structural and Functional Correspondence," in Proc. *IEEE Workshop Comp. Architecture for Pattern Analysis and Image Database Management,* Miami Beach, FL, Nov.18-20, pp. 311-319, 1985.

[8] P. Budnik and D. J. Kuck, "The Organization and Use of Parallel Memories," *IEEE Trans. Computers*, Vol.C-20, No.12, pp. 1566-1569, 1971.

[9] D. H. Lawrie, "Access and Alignment of Data in Array Processor," *IEEE Trans. Computers*, Vol.C-24, No.12, pp. 1145-1155, 1975.

[10] D. Lee, "Scrambled Storage for Parallel Memory Systems," In Proc. *Int. Symp. on Comp. Architecture*, pp. 232-239, 1988.

[11] D. C. Van Voorish and T. H. Morrin, "Memory System for Image Processing," *IEEE Trans. Computers*, Vol.C-27, No.1, pp. 113-125, 1978.

[12] D. H. Lawrie and C. R. Vora, "The Prime Memory System for Image Processing," *IEEE*

Trans. Computers, Vol.C-31, No.5, pp. 435-442, 1992.

[13] C. S. Raghavendra and R. Boppana, "On Methods for Fast and Efficient Parallel Access," In Proc. *Int. Parallel Processing*, pp. 76-83, 1990.

[14] J. W. Park, "An Efficient Memory System for Image Processing," *IEEE Trans. Computers*, Vol.C-35, No.7, pp. 669-674, 1986.

[15] J. W. Park and D. T. Harper III, "An Efficient Memory System for the SIMD Construction of a Gaussian Pyramid," *IEEE Trans. on Parallel and Distributed System*, Vol.7, No.7, pp. 855-860, 1996.

[16] H. Lee, H. K. Cho, D.S. You, and J. W. Park, "An MAMS-PP4: Multi-Access Memory System used to Improve the Processing Speed of Visual Media Applications in a Parallel Processing System," *IEICE Trans. Fundamentals*. Vol.E87-A, No.11 2004.

[17] J. W. Park, "Multiaccess Memory System for Attached SIMD Computer," *IEEE Trans. on Computers*. Vol.53, No.4, pp. 439-452, 2004.

[18] H. E. Burdick, *Digital Imaging*, McGraw-Hill, 1997.

[19] 윤희준, 이형, 한기선, 박종원, "문화재 검색을 위한 병렬 처리기 구조," 한국멀티미디어 학회 논문지, Vol.1, No.2, pp. 154-161, 1998.

[20] 이형, 박윤옥, 박종원, "퐁 음영법을 위한 3차원 그래픽 가속기의 구현," 한국멀티미디어 학회 논문지, Vol.3, No.5, pp. 526-534, 2000.

임 재 호

1999년 3월~2006년 2월 충북대학교 정보통계학과 학사
2009년 3월~2011년 2월 충남대학교 정보통신 공학과 공학석사
관심분야 : 영상처리, 병렬 컴퓨터 구조

박 성 미

1989년 충남대학교 전상통계과 학사
1996년 충남대학교 전자계산과 석사
2004년 충남대학교 정보통신공학과 박사 수료
관심분야 : 영상처리, 병렬처리, 의료영상, 정보보안

박 종 원

1975년 3월~1979년 2월 충남대학교 전자공학과 학사
1979년 3월~1981년 3월 한국과학기술원 전산과 석사
1988년 3월~1991년 2월 한국과학기술원 전산과 박사
1983년 5월~현재 충남대학교 정보통신공학과 정교수
관심분야 : 영상처리, 병렬 컴퓨터 구조, 의학 영상처리