

논문 2011-48SD-10-2

차량 배터리 센서용 Analog Front-End IC 설계

(Analog Front-End IC for Automotive Battery Sensor)

여재진*, 정봉용*, 노정진**

(Jaejin Yeo, Bongyong Jeong, and Jeongjin Roh)

요약

본 논문에서는 배터리의 전류, 전압을 측정하기 위한 analog front-end IC 를 설계 하였다. 회로는 크게 programmable gain instrumentation amplifier (PGIA)와 델타-시그마 모듈레이터로 구성 되어 있다. 델타-시그마 모듈레이터는 2차 단일 비트 구조이고 0.25 μm CMOS 공정을 사용 하였다. 설계된 회로는 오버 샘플링 비율이 256일 때 2 kHz 신호 대역에서 signal-to-noise ratio (SNR)는 82 dB 의 성능을 가지고, differential nonlinearity (DNL)은 ± 0.3 LSB (16bit 기준), integral nonlinearity (INL) 은 ± 0.5 LSB 이다. 전체 소비 전력은 4.5 mW 이다.

Abstract

This paper presents the design of the battery sensor IC for instrumentation of current, voltage using delta-sigma ADC. The proposed circuit consists of programmable gain instrumentation amplifier (PGIA) and second-order discrete-time delta-sigma modulator with 1-bit quantization were fabricated by a 0.25 μm CMOS technology. Design circuit show that the modulator achieves 82 dB signal-to-noise ratio (SNR) over a 2 kHz signal bandwidth with an oversampling ratio (OSR) of 256 and differential nonlinearity (DNL) of ± 0.3 LSB, integral nonlinearity (INL) of ± 0.5 LSB. Power consumption is 4.5 mW.

Keywords : PGIA, delta-sigma, SOC.

I. 서론

최근 지구 온난화 등의 환경문제 및 화석 연료 고갈 문제 등에 대처하기 위해 친환경 자동차의 개발이 대두되고 있다. 또한 선진 각국 정부의 온실가스 감축과 에너지 자립 노력의 하나로 자동차의 연비 및 배기가스 규제는 갈수록 강화 되고 있다. 이에 따라 기존의 내연기관 자동차를 무·저공해 자동차로의 변화를 요구하고

있다. 이러한 변화의 강력한 대안이 전기자동차의 개발이다^[1].

전기자동차는 말 그대로 전기를 동력원으로 움직이는 차량을 말하며, 전기 배터리와 전기 모터를 사용하는 자동차를 battery electronic vehicle (BEV)라고도 불린다. 그림 1은 전기자동차 시스템 구성을 나타낸 것이다. 전기자동차는 크게 전동기, 전동기 제어기, 배터리 및 충전장치로 구성되어 있다. 이 중 배터리는 전기자동차 개발에 영향을 미치는 가장 대표적인 문제이다. 전기자동차의 배터리 성능은 에너지 밀도와 출력으로 볼 수 있다. 하지만 현재 배터리 기술은 이 두 성능 지표가 trade-off 관계에 있다.

과거 고성능 전지는 소형기에 주로 적용 하였다. 그러다 보니 에너지 밀도에 치우친 기술 개발이 이루어졌다. 이와 같은 이유로 전기자동차에 적합한 출력과 용량 모두를 높일 수 있는 배터리 솔루션 개발이 아직

* 학생회원, ** 정회원, 한양대학교 통신공학과
(Dep. of Electronic, Electrical, Control and Instrumentation Engineering, Hanyang Univ.)

※ 본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었으며(NIPA-2011-C1090-1101-0003),이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임 (2011-0026001)

접수일자: 2011년6월30일, 수정완료일: 2011년10월10일

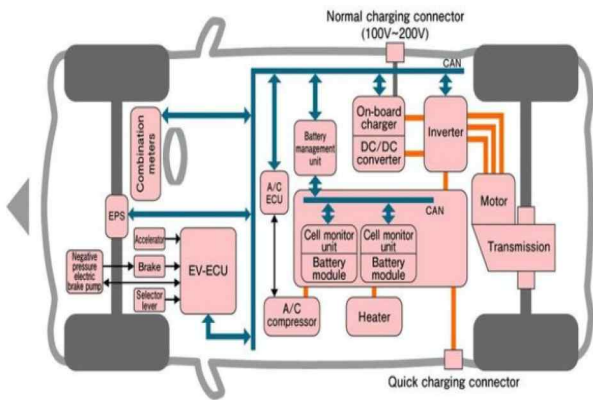


그림 1. 전기 자동차 시스템 구성도^[3]
 Fig. 1. Eletronic vehicle organization^[3].

까지는 미흡한 게 현실이다. 이에 따라 배터리에 대한 안정성이나 신뢰성 문제가 확실하게 검증되지 않은 상황이다.

현재 배터리에 사용되는 기술 유형으로는 리튬이온이 가장 적합한 솔루션으로 평가 받고 있다. 그러나 리튬이온 배터리를 사용하는 모바일 IT 기기에서 간간히 폭발 사고가 발생하고 있기 때문에 IT 모바일 기기보다 더 많은 배터리를 싣고 다니는 전기자동차는 배터리의 폭발 사고의 위험성이 더 크다고 할 수 있다. 이에 따라 배터리 제조 회사들도 배터리의 안정성 문제에 상당한 노력을 기울이고 있고, 그 노력중 하나가 Battery management system (BMS) 개발을 통한 안정성 확보이다^[2].

BMS 는 배터리의 과손 방지, 수명 연장 등, 전기자동차의 기능적인 요구 사항을 만족 시킬 수 있는 상태로 배터리를 유지하는 것이 목적이다. 이 목적을 달성하기 위해서 배터리의 전압, 전류 및 온도 특성을 이용하여 배터리의 입·출력(충·방전)을 제어한다. 따라서 배터리가 최적의 동작 상태를 유지하도록 하기 위해 BMS 는 배터리의 특성을 측정하기 위한 전류센서, 전압센서, 온도센서 IC 가 필요하게 된다^[4].

이로 인해 배터리의 전류, 전압 및 온도를 측정하여 관리해 주는 자동차용 센서 소자의 수요가 증가 되고 있다. 이와 같이 센서 기능 소자의 수요와 관심이 커지면서 system-on-a-chip (SOC) 센서 인터페이스 구현을 위한 고성능의 ADC 에 대한 요구도 증가하고 있다. 또한 단일 칩에 센서 집적도가 높아지고, 다 기능화 기술들이 융합해 가는 추세에 따라 높은 해상도를 유지하는 ADC 가 절실히 요구 된다.

델타-시그마 ADC 는 고해상도 오디오 코덱에서 많이 사용하는 기술로 오디오 대역내의 비선형 성분을 제거 시키는 노이즈 웨이핑 특성을 가지고 있다. 이와 같은 이유로 인해 저 주파수 대역에서 타 구조에 비해 높은 해상도를 얻을 수 있다^[5]. 따라서 델타-시그마 ADC 는 센서 인터페이스의 고성능화를 충족시키는데 매우 적합한 특성을 갖는다. 또한 델타-시그마 방식의 ADC 는 오버 샘플링 방식을 사용하기 때문에 anti-aliasing filter 설계에 대한 조건이 크게 완화 된다. 이는 anti-aliasing filter 에서 사용되는 전력 소모와 면적을 크게 줄여준다^[6]. 이런 이유로 인해 델타-시그마 ADC 를 이용하여 배터리의 특성을 측정하기 위한 센서 IC 를 개발하였다.

본 논문의 나머지 구성은 다음과 같다. II장에서는 설계된 배터리 센서용 IC 구조를 설명하고, III장에서는 programmable gain instrumentation amplifier (PGIA) 구조 및 회로 구현에 대해 설명 하였다. IV장에서는 2 차 이산-시간 델타-시그마 모듈레이터의 구조 및 회로 구현에 대해 설명 하였고, V장에서는 설계된 배터리 센서용 델타-시그마 ADC 에 대한 측정 결과를 나타내었다. 마지막으로 VI장에서는 측정 결과를 바탕으로 결론을 요약하였다.

II. 배터리 센서 IC 구조

그림 2는 본 연구를 통해 개발한 배터리 센서용 델타-시그마 ADC 회로이다. 그림 2. (a)는 배터리 전류를

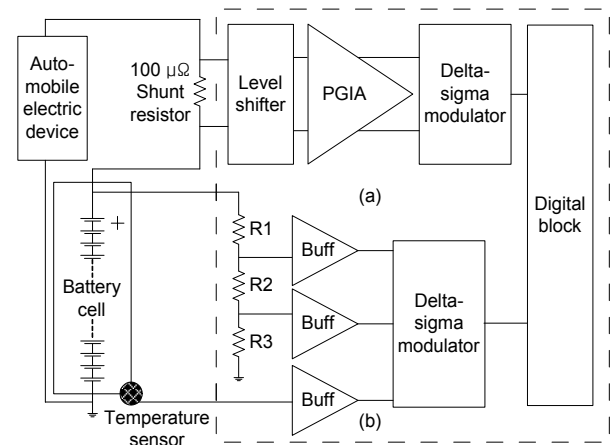


그림 2. 배터리 센서 IC (a) 전류 채널 ADC 회로 (b) 전압 채널 ADC 회로
 Fig. 2. Battery sensor IC. (a) Current channel ADC circuit. (b) Voltage channel ADC circuit.

측정하기 위한 전류 채널 ADC 이다. 설계된 회로는 programmable gain instrumentation amplifier (PGIA), 델타-시그마 모듈레이터로 구성되어 있다^[7].

차량용 배터리에 흐르는 전류는 배터리 종류에 따라 전류 크기가 800 A 이상이다. 이와 같이 큰 전류가 흐르기 때문에 일반적인 전류계로 측정하기 어렵다. 따라서 shunt 저항을 사용 하여 전류를 측정하였다. 먼저 차량용 배터리에 흐르는 전류는 외부 100 $\mu\Omega$ shunt 저항을 사용하여 전압으로 변경된다.

그림 3은 배터리의 전류, shunt 저항의 양단의 전압, level shifter 출력 전압의 변화를 나타내고 있다. 그림 3에서 보는 바와 같이 배터리 전류 크기는 고정된 것이 아니다. 차량용 배터리는 차량 운행 중에 충전과 방전을 반복하고 있기 때문에 전류의 크기가 가변하고 있다. 이 때 shunt 저항에 의해 변경된 전압은 ± 200 mV의 입력 신호 범위를 갖고 감지된다.

이와 같은 이유 때문에 level shifter 를 사용하여 입력 받은 신호 레벨을 입력 공통 모드 전압 레벨인 1.25 V 근처까지 올려 주고 있다. 또한 입력 받은 신호 크기가 작고, 신호의 주파수가 DC 신호에 가깝기 때문에 flicker noise 를 작게 하기 위해, level shifter 입력 트랜지스터의 사이즈를 크게 하였다.

다음으로 PGIA 회로는 level shifter 에서 전달된 신

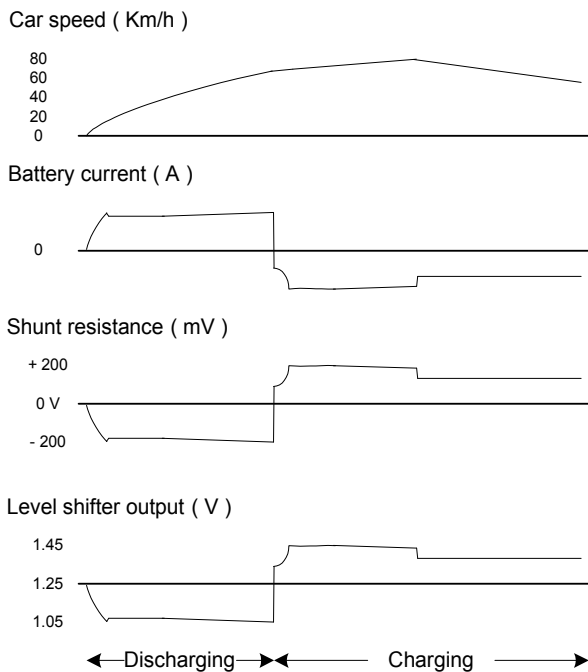


그림 3. Battery 전류 변화^[8]
Fig. 3. Variation of battery current^[8].

호의 크기를 증폭시켜 델타-시그마 모듈레이터에 전달하는 역할을 한다. 이 때 차량용 배터리의 전류 크기는 ± 1 A 부터 ± 1500 A 까지 가변 할 수 있다. 따라서 이와 같은 전류 크기 변화에도 개발된 칩이 적용 될 수 있도록, 설계된 PGIA 회로는 1배부터 512배까지 이득을 조절할 수 있다. 마지막으로 델타-시그마 모듈레이터는 PGIA 회로에서 전달된 신호를 받아 디지털로 변환 한다. 델타-시그마 모듈레이터는 2차 단일 비트 구조이며, oversampling ratio (OSR)은 256이다.

그림 2. (b)의 전압 채널 ADC 는 배터리 전압, 배터리 외부 온도, 배터리 내부 온도를 측정하기 위한 목적으로 사용된다. 먼저 배터리의 전압을 측정하기 위해 그림 2. (b)의 저항 네트워크를 구성하였다. 배터리 전압은 R1, R2, R3 의 저항에 의해 감지된다.

이 때 저항에 의해 감지된 배터리 전압이 델타-시그마 모듈레이터의 입력 공통 모드 전압 레벨 범위에 들어갈 수 있도록 전압 크기를 감쇠하고 있다. 또한 전압을 감지하기 위한 저항 네트워크에서 낭비 되는 파워를 작게 하기 위해 저항 값을 크게 하였다. 이를 위한 저항 비율은 $R1 = 45 * R$, $R2 = 2 * R$, $R3 = R$ 그리고 $R = 70$ k Ω 로 하였다. 다음으로 감지된 전압을 손실 없이 다음 단으로 보내기 위해 버퍼를 추가 하였다. 이렇게 버퍼를 통과한 전압은 델타-시그마 모듈레이터에서 디지털로 변환된다. 마지막으로 그림 2. (b)의 온도 센서는 배터리의 내부, 외부 온도를 감지하고 앞에서 논한 것과 같은 방법으로 디지털로 변환된다. 전압 채널 ADC 의 델타-시그마 모듈레이터는 전류 채널 ADC 와 전압 채널 ADC 에서 동일하게 사용된다. 지금까지 전체 회로 동작에 대해서 알아보았다. 다음으로 III장, IV장에서는 설계된 회로에 대해서 자세히 논하겠다.

III. PIGA 구조 및 회로 구현

1. Programmable gain instrumentation 증폭기

그림 4는 level shifter와 instrumentation 증폭기를 사용한 PGIA 회로이다^[9]. 입력 임피던스를 크게 하기 위해서 instrumentation 증폭기를 사용하였고, 이득을 조절하기 위한 PGIA 회로를 구현하였다. 그림 4의 R1, R2, R3, R4 저항은 전체 저항 네트워크를 간략화한 것이다.

앞에서 논한 것과 같이 차량용 배터리에 흐르는 전류는 shunt 저항을 사용하여 감지된다. 이 때 감지된 전

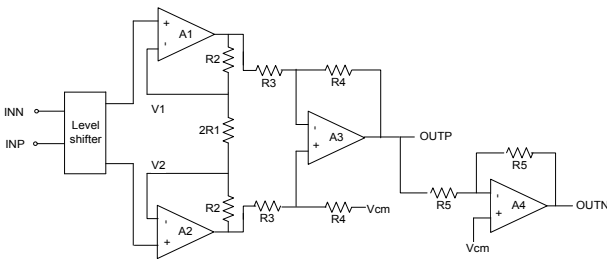


그림 4. Level shifter 와 PGIA 회로
Fig. 4. Level shifter and PGIA circuit.

압은 충·방전에 따라 양의 값과 음의 값을 갖게 된다. 이와 같은 이유 때문에 level shifter 를 사용하여 입력 받은 신호 레벨을 입력 공통 모드 전압 레벨인 1.25 V 근처까지 올려주고 있다. 이 때 외부 100 $\mu\Omega$ shunt 저항을 통해 감지된 전압은 ± 200 mV 로 작은 신호 범위를 갖게 된다. 따라서 감지된 전압 크기가 작기 때문에 이득을 조절하기 위한 PGIA 회로를 구현 하였다.

그림 4의 OUTP 출력은 델타-시그마 모듈레이터의 입력으로 연결된다. 따라서 shunt 저항에 의해 감지된 신호의 스윙폭이 델타-시그마 모듈레이터의 최대 입력 범위까지 스윙 할 수 있도록 저항 크기를 조절하여 신호의 크기를 바꾸게 된다. 설계된 PGIA 회로는 1배부터 512배까지 이득을 조절 할 수 있고, 저항의 비로 이득이 결정된다. 이 때 PGIA 회로의 이득은 첫째 단(A1, A2)과 둘째 단(A3)의 곱으로 정해진다. 이렇게 두 단의 곱으로 이득을 조절했을 때의 장점은 첫째 단(A1, A2)과 둘째 단(A3)의 곱으로 이득이 결정되기 때문에 그림 4의 증폭기만으로 이득을 조절했을 때보다 저항의 크기를 작게 가져 갈 수 있다. 또한 첫째 단의 스윙폭을 고려하여 둘째 단에서도 적절한 증폭률을 설정해 주고 있다^[10~11]. 다음으로 그림 4의 level shifter 출력은 그림 4의 A1, A2 증폭기의 게이트로 연결된다. 따라서 게이트의 입력은 무한대의 임피던스를 갖기 때문에 level shifter의 출력을 손실 없이 다음 단으로 전달 할 수 있다.

델타-시그마 모듈레이터에 사용된 적분기는 노이즈 및 하모닉을 줄이기 위해 차동 증폭기를 사용하였다. 이 때 차동 신호를 만들기 위한 방법으로 그림 4의 A4의 증폭기를 추가 하였다. 따라서 추가된 A4 증폭기에 의해 OUTP 와 위상만 반대인 OUTN 이 만들어 진다. 그림 4의 R5 저항은 그림 4의 A4의 증폭기의 출력 임피던스를 고려하여 저항 값을 정하였다.

마지막으로 그림 4의 A1 과 A2 증폭기의 두 입력 사

이에는 virtual ground 가 된다. 따라서 A1 과 A2 증폭기 출력에는 같은 공통 모드 전압이 나오게 된다. 또한 그림 4의 A3 증폭기의 입력은 level shifter 의 출력 전압과 공통 모드 전압 (V_{cm}) 이다. 따라서 그림 4의 A3 와 A4 증폭기는 입력 공통 모드 전압 레벨과 출력의 공통 모드 전압 레벨을 다르게 가져 갈 수 있다. 이와 같은 이유로 인해 level shift 출력의 공통 모드 전압 변화를 instrumentation 증폭기를 사용하여 공통모드 전압이 델타-시그마 입력 공통 모드 전압인 1.25 V 되도록 하였다. 이 때 그림 4의 V_{cm} 값은 1.25 V 를 넣어 주고 있으며, 그림 4의 V_{cm} 을 조절하여 공통 모드 전압 레벨을 조절할 수 있다.

2. Single-ended folded cascode 2단 증폭기

그림 5는 PGIA 회로에 사용된 folded cascode 구조의 single-ended 2단 증폭기이다. PGIA 회로에서 정확하게 이득을 조절하기 위해서는 증폭기가 높은 이득을 필요로 한다. 따라서 cascode 구조에 2단 증폭기를 설계하여 100 dB 의 높은 이득을 갖도록 하였다. 또한 folded 구조를 사용하여 입력 스윙 폭을 크게 가질 수 있도록 하였다. 이 때 2 단에서 나타나는 안전성 문제를 해결하기 위해 RC 밀러 보상을 통해 위상 여유가 약 55° 정도 되도록 하였다.

그림 6은 AC 시뮬레이션 결과이다. AC 시뮬레이션 시 로드 커패시터 값은 0.5 pF, 로드 저항 값은 위스트 케이스인 40 k Ω 로 하였다. 이 때 DC 이득은 100 dB, unity gain frequency 는 약 40 Mhz 정도이다. 증폭기의

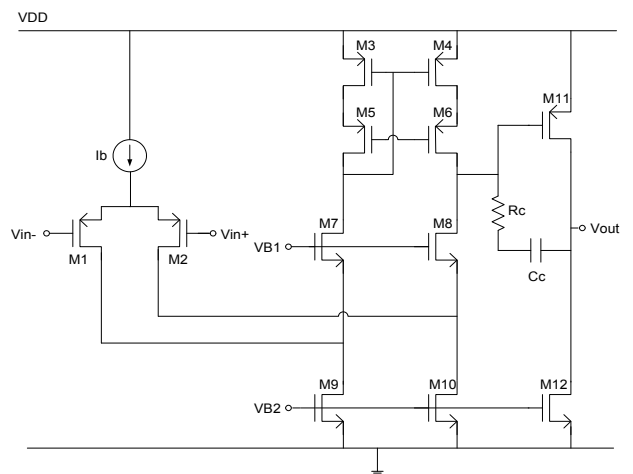


그림 5. Single-ended folded cascode 2단 증폭기 회로
Fig. 5. Single-ended folded cascode 2nd-stage amplifier circuit.

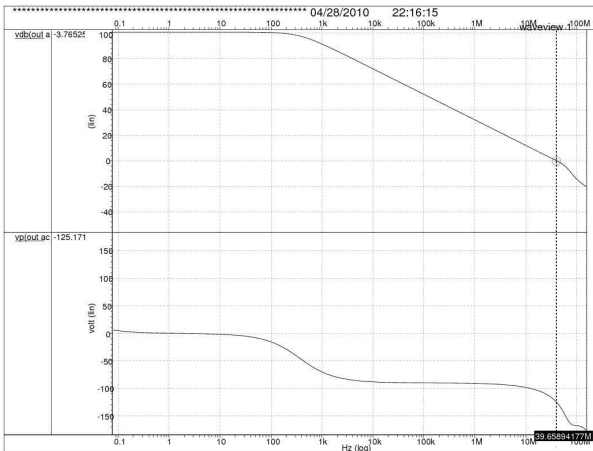


그림 6. Folded cascode 2단 증폭기 AC 시뮬레이션 결과

Fig. 6. AC simulation result of folded cascode 2nd-stage amplifier.

표 1. 시뮬레이션 결과 요약

Table 1. Summary of simulation result.

Parameter	Value
공급 전압	2.5 V
전류 소모	310 μ A
DC 이득	100 dB
Unity gain frequency	40 MHz
위상 여유	55 $^{\circ}$

전류 소모는 310 μ A 이다. Single-ended folded cascode 2단 증폭기의 시뮬레이션 결과는 표 1에 요약 하였다.

IV. 2차 이산-시간 델타-시그마 모듈레이터의 구조 및 회로 구현

1. 2차 이산-시간 델타-시그마 모듈레이터

그림 7은 2차 델타-시그마 모듈레이터 블록도를 보여준다. 모듈레이터는 루프 필터와 비교기, 그리고 피드백 패스로 구성되어 있다. 이 때 출력 신호는 입력 신호와 달리 디지털 신호이므로 피드백 패스 내부에는

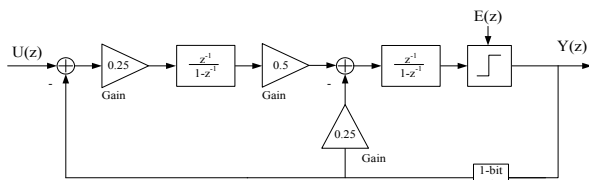


그림 7. 2차 델타-시그마 모듈레이터 블록도

Fig. 7. Block diagram of 2nd-order delta-sigma modulator.

DAC 가 포함되어 있다.

2차 이산-시간 델타-시그마 모듈레이터의 계수 값은 MATLAB 시뮬레이션을 통해 0.5로 구하였다. 그리고 적분기는 델타-시그마 클럭에 따라 번갈아 들어가는 이중 샘플링 (double sampling) 기법을 사용하여 입력이 2배가 되는 효과가 나타나게 하였다^[12-13]. 따라서 커패시터 계수 값을 반으로 해 주었다.

이중 샘플링 기법은 PGIA 회로의 로드로 작용하는 샘플링 커패시터의 전압 변화로 인한 영향을 최소화하는 역할을 한다. 또한 적분기에 사용된 증폭기의 스윙 폭 제한을 고려해 dynamic range scaling 을 해 주게 된다. 이로 인해 계수 값이 다시 반으로 줄어들게 된다. 따라서 이중 샘플링과 dynamic range scaling 으로 인해 샘플링 커패시터와 적분기의 커패시터 비율이 1 : 8이 되고, 샘플링 커패시터가 2 pF 이므로 적분기의 커패시터는 16 pF 이 되게 된다. 두 번째 적분기는 첫 번째 적분기에서 dynamic range scaling 으로 인해 반으로 작아진 신호를 2배 해주어야 하므로 샘플링 커패시터가 2배 큰 4 pF 이 된다.

2. Fully differential folded cascode 1단 증폭기

그림 8은 적분기에 사용된 folded cascode 구조의 fully differential 1단 증폭기이다. 이와 같은 구조는 실리콘 기판 잡음 및 전원 전압 잡음에 대한 영향이 적고 single-ended 증폭기에 비해 출력 스윙 폭이 2배 증가되기 때문에 보다 높은 dynamic range 를 얻을 수 있다.

이 때 fully differential 회로는 single-ended 회로와

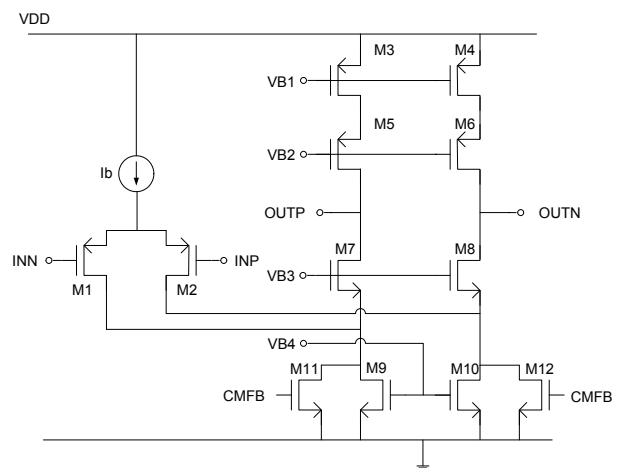


그림 8. 1단 차동 증폭기 회로

Fig. 8. 1st-stage differential amplifier circuit.

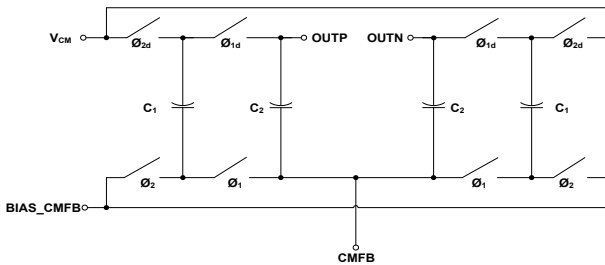


그림 9. 1단 차동 증폭기의 공통 모드 귀환 회로
 Fig. 9. Common mode feedback circuit of 1st-stage differential amplifier.

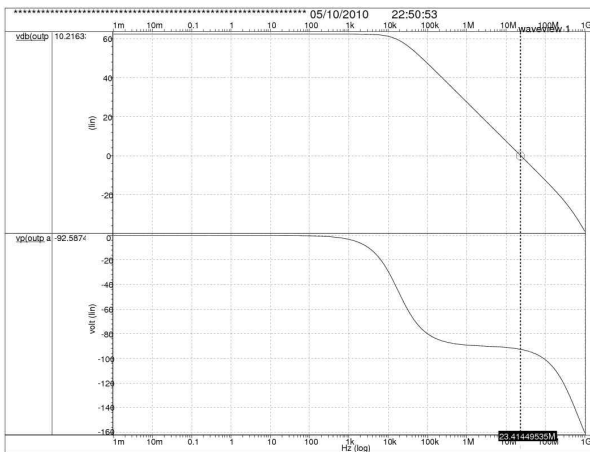


그림 10. 1단 차동 증폭기의 AC 시뮬레이션 결과
 Fig. 10. AC simulation result of 1st-stage differential amplifier.

표 2. 시뮬레이션 결과 요약
 Table 2. Summary of simulation result.

Parameter	Value
공급 전압	2.5 V
전류 소모	217 μ A
DC 이득	64 dB
Unity gain frequency	23 Mhz
위상 여유	87 $^{\circ}$

는 달리 출력 공통 모드 전압을 정의하기 어렵기 때문에 반드시 공통 모드 귀환 회로를 추가 하여야 한다.

그림 9는 공통 모드 귀환 회로이다. 공통 모드 귀환 회로는 적분기가 switched 커패시터로 동작하기 때문에 switched 공통 모드 귀환 방식으로 회로를 구현하였다.

그림 10은 1단 차동 증폭기의 AC 시뮬레이션 결과를 나타낸 것이다. DC 이득은 64 dB 이며 로드 커패시터 값은 2 pF 일 때, 위상 여유는 87 $^{\circ}$, unity-gain frequency 는 23 Mhz 이다. 전류 소모는 217 μ A 로 2.5 V 전압에서 약 543 μ W 의 전력을 소비한다. 1단 차동 증폭기의 시뮬레이션 결과는 표 2에 요약 하였다.

3. 비교기와 래치

단일 비트 ADC 의 비교기는 fully differential 구조이며, 비교기의 출력은 SR-래치에 연결 된다. 그림 11 은 비교기와 SR-래치로 구성된 단일 비트 양자화기이다. 본 논문에서 제시한 양자화기는 클럭에 제어되는 완전한 다이내믹 회로이다.

회로 동작은 클럭 Φ_{1d} 가 low 가 되면 노드 S_b 와 R_b 는 VDD 로 충전 된다. 이 때 클럭 Φ_{1d} 가 high 가 되면 충전된 노드 S_b 와 R_b 는 입력 트랜지스터에 의해 각각 방전 된다. 따라서 각 노드의 방전되는 속도는 입력 전압에 좌우 된다.

노드 S_b 와 R_b 의 전압이 낮아지면서 regeneration 과정이 시작되고 그 과정에 의해서 각 노드의 전압이 결정 된다. 이 때 출력 전압은 SR-래치에 의해서 저장 된다. 또한 SR-래치 회로로부터 입력이 격리되기 때문에 kickback 잡음에 대한 영향을 줄여 주는 장점을 가지고 있다. 마지막으로 델타-시그마 변조기의 양자화 노이즈 뿐 아니라 양자화기에서 발생하는 비이상적인 노이즈 성분 역시 노이즈 웨이핑 되기 때문에 설계 요구 사항의 완화로 인해서 비교기의 설계를 용이하게 한다.

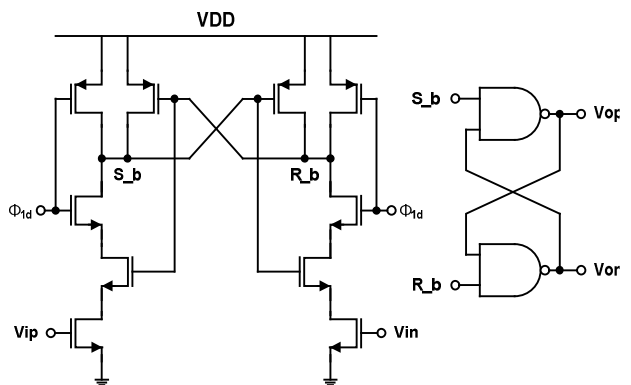


그림 11. 비교기와 SR-래치 회로
 Fig. 11. Comparator and SR-latch circuit.

4. 2차 이산-시간 델타-시그마 모듈레이터 시뮬레이션 결과

설계된 델타-시그마 모듈레이터의 OSR 은 256이며, 2 kHz 의 신호 대역에서 1024 kHz 의 클럭 주파수로 동작 한다. 그림 12는 설계된 2차 단일 비트 이산-시간 델타-시그마 모듈레이터의 출력 신호를 이용하여 HSPICE 코너 시뮬레이션 하여 얻은 FFT 결과이다. 4096개의 샘플 수를 사용한 FFT 과정을 통해 노이즈 성분들이

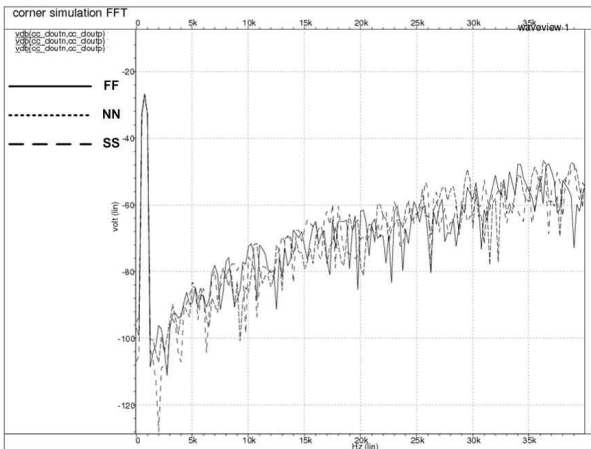


그림 12. power spectrum density 시뮬레이션 결과
 Fig. 12. Simulation result of power spectral density.

신호 대역 바깥으로 밀려나는 노이즈 웨이핑을 됴을 확인 할 수 있다. 또한 PGIA 회로의 입력 주파수인 750 Hz 에서 신호 성분이 나타나는 것을 확인할 수 있다. 코너 시뮬레이션은 NN 27 °C, SS -40 °C, FF 85 °C 총 3가지로 이루어졌으며 약간의 차이만 있을 뿐 모든 코너에서 노이즈 웨이핑이 잘 이뤄짐을 확인할 수 있다.

V. 측정 결과

그림 13은 칩 성능 측정을 위해 만든 테스트 보드 사진이다. 전원은 테스트 보드 상에서 아날로그 전원과 디지털 전원을 분리하여 칩 전원을 공급 하였다. 또한 칩 테스트를 위한 입력은 총 4가지로 구성 하였다. 그

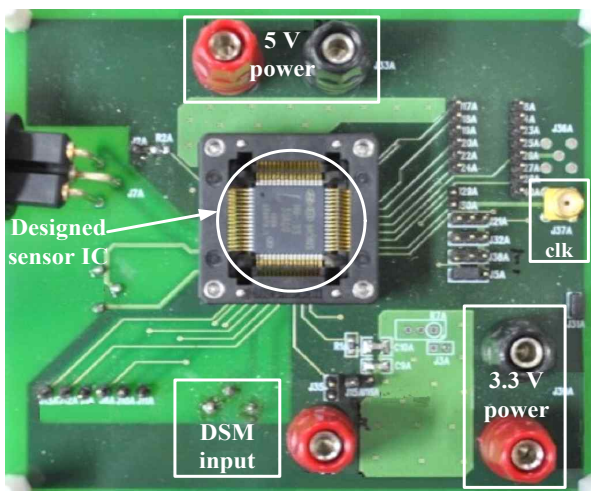


그림 13. 테스트 보드 사진
 Fig. 13. Test board photograph.

구성은 전압, 전류 및 온도를 측정하기 위한 입력 각각과 델타-시그마 모듈레이터만 따로 테스트 할 수 있도록 만든 입력이다.

입력 신호는 배터리 대신 오디오 분석기를 통해서 넣어 주고 있다. 이 때 1024 kHz 의 클럭 주파수에 의해서 동작되며, 그림 13의 clk 단자를 통해 샘플링 클럭을 넣어 주고 있다. 또한 델타-시그마 모듈레이터 동작을 위한 조절 신호는 그림 2의 디지털 블록에서 담당하고 있다. 디지털 블록은 Keil 사의 ULINKpro 를 사용하여 컴퓨터에서 조절하고 있다. 칩 테스트를 위한 입력 신호는 그림 13의 DSM input 단자를 사용하여 넣어 주고 있다.

그림 14는 로직 분석기를 사용하여 측정된 값으로부터 계산된 FFT 이다. 입력신호에 -4.43 dB 의 크기와 500 Hz 의 주파수를 갖는 정현파 신호를 인가하였을 때, 측정된 델타-시그마 모듈레이터의 출력 신호의 스펙트럼이다. 사용된 샘플의 개수는 128 K 를 사용 하였고, 측정된 신호 대 잡음비는 81.7 dB 이다. 그림 14에서 보는 것과 같이 저주파 대역에서의 noise floor 가 약

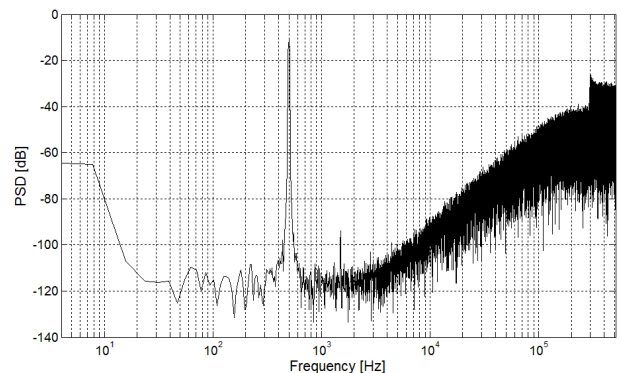


그림 14. 측정된 출력 스펙트럼
 Fig. 14. Measured output spectrum.

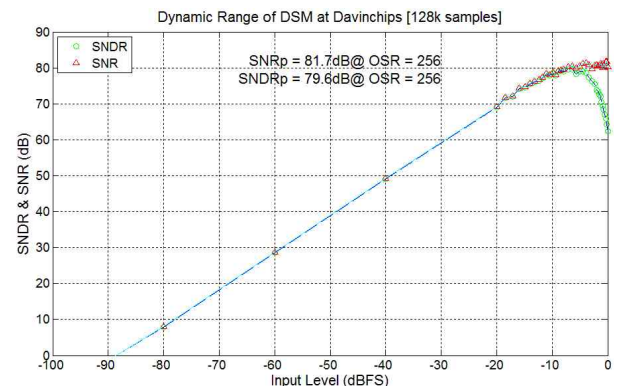


그림 15. 측정된 SNR과 SNDR
 Fig. 15. Measured SNR and SNDR.

-120 dB 이하에서 형성되는 것을 볼 수 있다. 또한 노이즈 웨이핑 특성에 의해서 고주파 대역으로 갈수록 noise floor 가 높아지는 것을 확인 할 수 있다.

그림 15는 모듈레이터의 dynamic range 를 나타낸 것이다. 측정된 dynamic range 는 79.6 dB 의 값을 얻을 수 있었다.

다음으로 DNL, INL 을 측정하였다^[14]. 오버 샘플링 방식의 델타-시그마 ADC 는 디지털 데시메이션 필터가 필요하다. 데시메이션 필터는 비 신호 대역의 양자화 노이즈 제거와 입력 샘플링 주파수를 OSR 만큼 낮추어 최종 Nyquist 주파수로 만드는 기능이 있다. 데시메이션 필터 설계는 Verilog-HDL 로 구현 하였으며, FPGA 를 사용하여 최종 데시메이션 필터를 만들었다. 이 때 데시메이션 필터 차수는 3차이다. DNL, INL 테스트에 사용한 FPGA 는 Altera DE1 board 이다.

입력신호에 -12.4 dB 의 크기와 10.3333 Hz 의 주파수를 갖는 정현파 신호를 인가하여 테스트를 하였다. 이

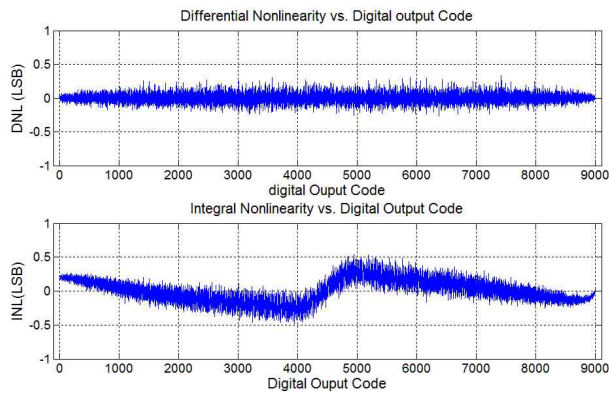


그림 16. 측정된 DNL과 INL
Fig. 16. Measured DNL and INL.

표 3. 배터리 센서용 델타-시그마 ADC의 칩 측정 결과 요약

Table 3. Summary of measurement results of delta-sigma ADC for battery sensor.

	Parameter	Value
PGIA	공급 전압	2.5 V
	전류 소모	1.3 mA
	이득	1,2,4 ~ 512
델타-시그마 모듈레이터	공급 전압	2.5 V
	샘플링 주파수	1024 kHz
	OSR	256
	신호 대역	2 kHz
	peak SNR	81.7 dB
16bit 기준 DNL INL	DNL	± 0.3 LSB
	INL	± 0.5 LSB

때 델타-시그마 모듈레이터의 출력은 DE1 board 의 입력으로 연결되고, Verilog-HDL 로 만든 데시메이션 필터를 사용하여 2 M 개 출력 샘플을 로직 분석기를 통하여 얻어냈다. 이 때 다운 샘플링 비는 2 K 이다. 얻어낸 데이터는 16 bit 이고 MATLAB 을 사용하여 DNL, INL 을 구하였다.

그림 16은 DNL, INL 측정 결과이다. 측정된 DNL 은 ± 0.3 LSB (16 bit 기준) 이고, INL 은 ± 0.5 LSB 이다. DNL, INL 측정 결과에서 볼 수 있듯이 본 논문에서 개발한 배터리 전류, 전압을 측정하기 위한 배터리 센서용 이산-시간 델타-시그마 모듈레이터는 우수한 결과를 얻은 것을 확인할 수 있다. 측정된 델타-시그마 모듈레이터의 성능은 표 3에 요약 하였다.

VI. 결 론

본 연구에서는 차량용 배터리의 전류, 전압, 온도를 측정하기 위한 센서용 analog front-end IC 를 설계하였다. 감지된 배터리의 전류, 전압, 온도는 각각 전류 채널 ADC 와 전압 채널 ADC 로 연결된다. 전류 채널에서는 감지된 신호를 입력 받아 증폭 시켜주는 PGIA 회로와 델타-시그마 ADC를 설계 하였다. PGIA 회로는 입력 받은 아날로그 신호를 외부 설정에 따라 정해진 증폭률로 증폭시켜 다음단의 델타-시그마 모듈레이터로 넘겨주게 된다. 전압 채널은 감지된 전압, 온도 신호를 버퍼를 통해 델타-시그마 모듈레이터로 넘겨주게 된다. 이후 델타-시그마 모듈레이터에서 디지털 값으로 변환하게 된다.

차량용 배터리를 측정하기 위한 센서용 IC 는 0.25 μm 공정을 사용 하여 설계 및 칩을 제작 하였다. 델타-시그마 모듈레이터는 2차 단일 비트 구조이며 오버샘플링 비율은 256이고, 2.5 V 전원, 2 kHz 신호대역에서 SNR 은 82 dB 를 얻었다. 또한 DNL, INL 측정 결과는 DNL 이 ± 0.3 LSB (16 bit 기준), INL 은 ± 0.5 LSB 이다. 결과에서 보는바와 같이 우수한 성능을 가지는 차량용 배터리의 전류, 전압, 온도를 측정하기 위한 배터리 센서용 칩이 설계되었다.

참 고 문 헌

[1] 김경연, “전기자동차가 몰고올 변화의 물결,” LG Business Insight, 2009. 11.

[2] 진진용, 강희경, 이현동, “친환경 자동차용 BMS ECU 개발,” 한국자동차공학회 Annual Conf., 2009, pp. 2928-2933.

[3] <http://www.mitsubishi-motors.com>

[4] 박현석, 구본웅, 엄태홍, 최후락, 최창울, “하이브리드 전기자동차의 BMS ECU 개발 및 모니터링,” 한국자동차공학회 Symp., 2005, pp. 38-42.

[5] A. Gerosa, A. Novo and A. Neviani, “An Analog Front End for the Acquisition of Biomedical Signals Fully Integrated in a 0.8 μ m CMOS Process,” in Southwest Symp. Mixed-Signal Design, Feb. 2001, pp. 152-157.

[6] R. J. Baker, W. L. Harry and E. B. David, CMOS Circuit Design, Layout, and Simulation, NY: IEEE Press, 1997.

[7] ADuC7034 Data Sheet, Analog Devices Inc. (2010, May). [On-line]. Available: <http://www.analog.com>

[8] O. Tremblay, L. A. Dessaint, and A. I. Dekkiche, “A Generic Battery Model for the Dynamic Simulation of Hybrid Electric Vehicles,” IEEE Vehicle Power and Propulsion Conf., Sep. 2007, pp. 284-289.

[9] A. S. Sedra and K. C. Smith, Microelectronic Circuits, 5th ed. New York: Oxford Press, 2004, pp. 85-88.

[10] V. Schaffer and M. F. Snoeij “A 36V Programmable Instrumentation Amplifier with sub-20 μ V offset and a CMRR in excess of 120dB at all gain settings,” IEEE Journal of Solid-State Circuits, vol. 44, no. 7, July 2009.

[11] C. C. Hsu and J. T. Wu, “A Highly Linear 125-MHz CMOS Switched-Resistor Programmable-Gain Amplifier,” IEEE Journal of Solid-State Circuits, vol. 38, no. 10, Oct. 2003.

[12] H.-K. Yang and E. I. El-Masry, “Double sampling Delta - Sigma Modulators,” IEEE Trans. Circuits Syst. II, vol. 43, pp. 524 - 529, July 1996.

[13] P. J. Hurst and W. J. McIntyre, “Double Sampling in Switched-capacitor Delta - Sigma A/D Converters,” in IEEE Int. Symp. Circuits and Syst., May 1990, pp. 902 - 905.

[14] W. Kester, The Data Conversion Handbook, Analog Devices, Inc., 2005, pp. 303-316.

— 저 자 소 개 —



여 재 진(학생회원)
2006년 세명대학교 전자공학과
학사 졸업
2009년~현재 한양대학교
전자전기제어계측공학과
석·박사 통합 과정

<주관심분야 : Oversampled Delta-Sigma A/D Converter 설계>



정 봉 웅(학생회원)
2008년 한양대학교 전자컴퓨터
공학과 학사 졸업
2010년 한양대학교 전자전기제어
계측공학과 석사 졸업

<주관심분야 : Oversampled Delta-Sigma A/D Converter 설계>



노 정 진(정회원)
1990년 한양대학교 전기공학과
학사 졸업
1996년 삼성전자 선임 연구원
1998년 미국 Pennsylvania State
University 전기공학
석사 졸업

2001년 Intel. USA, senior design engineer
2001년 University of Texas at Austin.
컴퓨터공학 박사.

2001년~현재 한양대학교 안산캠퍼스 전자통신
공학과 교수

<주관심분야 : CMOS DC-DC converters 설계,
Over-sampling delta-sigma data converters
설계>