

# ESD 보호 소자를 탑재한 다중 스위치 전류모드 Buck-Boost Converter

## A Design of Current-mode Buck-Boost Converter using Multiple Switch with ESD Protection Devices

김 경 환\*, 이 병 석\*, 김 동 수\*, 박 원 석\*, 정 준 모\*\*\*

Kyung-Hwan Kim\*, Byung-Suk Lee\*, Dong-Su Kim\*, Won-Suk Park\*, Jun-Mo Jung\*\*\*

### Abstract

In this paper, a current-mode buck-boost converter using Multiple switching devices is presented. The efficiency of the proposed converter is higher than that of conventional buck-boost converter. In order to improve the power efficiency at the high current level, the proposed converter is controlled with PWM(pulse width modulation) method. The converter has maximum output current 300mA, input voltage 3.3V, output voltage from 700mV to 12V, 1.5MHz oscillation frequency, and maximum efficiency 90%. Moreover, this paper proposes watchdog circuits in order to ensure the reliability and to improve the performance of dc-dc converters. An electrostatic discharge(ESD) protection circuit for deep submicron CMOS technology is presented. The proposed circuit has low triggering voltage using gate-substrate biasing techniques. Simulated result shows that the proposed ESD protection circuit has lower triggering voltage(4.1V) than that of conventional ggNMOS(8.2V).

### 요 약

본 논문에서는 다중 스위치를 이용한 전류모드 벡-부스트 컨버터의 벡-부스트 컨버터를 제안하였다. 제안한 컨버터는 넓은 출력 전압 범위와 높은 전류 레벨에서 높은 전력 변환 효율을 갖기 위해 PWM 제어법을 이용하였다. 제안한 컨버터는 최대 출력전류 300mA, 입력 전압 3.3V, 출력 전압 700mV~12V, 1.5MHz의 스위칭 주파수, 최대 효율 90% 갖는다. 또한, dc-dc 컨버터의 신뢰성과 성능을 향상시키기 위해 보호회로를 추가하였다. 그리고 Deep-submicron 공정 기술을 이용한 ESD 보호회로를 제안하였다. 제안된 보호회로는 게이트-기판 바이어싱 기술을 이용하여 낮은 트리거 전압을 구현하였다. 시뮬레이션 결과는 일반적인 ggnmos의 트리거 전압(8.2V)에 비해 고안된 소자의 트리거 전압은 4.1V 으로 더 낮은 트리거 전압 특성을 나타냈다.

*Key words : Buck-Boost, Current-mode, Multiple switch, DC-DC Converter, ESD*

\* 檀國大學校電氣電子工學部

(Electronics and Electrical Engineering, Dankook University)

\*\* 西京大學校電子工學科

(Department of Electronics Engineering Seokyeong University)

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

본 논문은 지식경제부가 지원하는 산업융합원천기술개발사업(10039145, 융복합 혁신 반도체 기술 개발), 지식경제부 및 한국산업기술평가관리원의 "산업원천기술개발사업(정보통신)"[10035403, 중전기 IT 표준 적합성 시험용. 임베디드 H/W칩 개발]의 지원으로 이루어졌습니다.

接受日: 2011年 12月 01日, 修正完了日: 2010年 12月 21日

掲載確定日: 2011年 12月 23日

## 1. 서론

최근 집적 회로 기술의 발달과 소비자들의 문화적 요구에 의해 MP3, 스마트폰, 노트북 등과 같은 휴대용 멀티미디어 기기들의 시장이 넓어지고 있다. 더욱이 이러한 기기들은 고효율, 소형화를 위해 기존에 사용하던 선형 방식의 전원장치에서 스위칭 방식의 전원장치(Switched-Mode Power Supply ; SMPS)로 대체되어 가는 추세이다. 스위칭 전원장치는 시스템

의 구동을 위한 회로 블록의 수가 선형방식에 비해 상대적으로 많고 설계 과정이 복잡한 단점이 있지만, 기존에 사용하던 선형 방식의 전원장치에 비해 효율이 높고 열발생이 적으며 고정된 입력전압에 대해 다양한 범위의 출력전압을 제공할 수 있는 장점이 있다.

휴대기기 배터리 전압은 2.5V~3.6V로 낮아지고 있는 추세이며, 휴대기기의 다양한 시스템은 배터리 전압보다 낮은 전원전압을 대부분 요구하지만, LED backlight처럼 높은 전압을 요구하는 경우도 있다. 이러한 상황에서 전원제어장치를 추가적으로 사용하게 된다면, 면적에서 많은 손실을 갖게 되어 다양한 기능을 원칩화하는데 있어 제약이 생긴다. 또한 기존의 벅 컨버터나 부스트 컨버터는 배터리 입력 전압의 넓은 범위(2.7V~4.6V)에서 중간 전압 범위를 적절하게 공급해주지 못하는 단점을 갖는다. 이러한 단점을 해소하기 위하여 입력 대비 다양한 출력 전압을 제공하기 위한 벅-부스트 컨버터가 개발 및 적용되고 있다. 하지만 기존의 벅-부스트 컨버터는 벅 컨버터나 부스트 컨버터에 비하여 효율이 많이 떨어지는 단점을 가지고 있다. 본 논문에서는 기존의 벅 컨버터나 부스트 컨버터와 동일한 효율에서 중간 전압 범위를 포함한 넓은 출력 범위를 갖는 DC-DC 컨버터를 설계하는 방법으로 3개의 스위칭 소자를 사용한 벅-부스트 컨버터를 제안한다. 이를 통하여 동일 면적 및 동일 효율 또는 적은 효율 감소만으로도 제안하는 컨버터가 넓은 출력 전압 범위를 갖도록 설계한다. 또한 기존의 벅-부스트 컨버터의 구조는 위상이 반전되는 특성을 보이지만, 본 논문에서 제안한 다중 스위치를 갖는 벅-부스트 컨버터는 출력의 위상이 비반전되는 특징을 가지고 있으며, 스위치의 선택 경로에 따라 입력 전압 대비 낮은 출력 전압을 가지는 벅 컨버터와 입력 전압 대비 높은 출력 전압을 가지는 부스트 컨버터로 구동하게 된다.

휴대용 단말기의 PMIC(Power Management IC)에 사용되는 DC-DC 컨버터는 스위칭 동작 방식을 이용한 스위칭 레귤레이터가 사용되고 있는데, 제어 신호에 따라 전압을 제어하는 전압모드(voltage-mode)와 전류를 감지하여 제어하는 전류모드(current-mode)로 구분할 수 있다. 전압모드는 일반적으로 전류모드에 비해 펄스 전압을 제공하기 위한 제어부의 구조가 상대적으로 간단하여 설계가 용이한 장점이 있지만, Power stage의 극점이 두 개 존재함으로써 보상이 어렵다는 단점이 있다. 전류모드는 전압모드에 비해 상대적으로 펄스 생성 제어부의 설계 및 구현이 복잡하고 잡음에 민감하다는 단점이 있지만, Power stage의 극점이 한 개만 존재하여 보상이 간단하고 인덕터

전류의 변화를 감지하여 시스템을 구동시키기 때문에 전압모드에 비해 반응 속도가 빠른 장점을 가지고 있다. 본 논문에서는 전류모드 방식을 이용하여 벅-부스트 컨버터를 설계하였다.

DC-DC 컨버터의 초기 입력전압이 인가되거나 부하가 순간적으로 변할 경우 인덕터에 과전류가 흐르게 되어 내부 회로 및 외부 소자가 손상을 입게 된다. 또한 외부 온도 변화나 과전류 및 회로의 오랜 구동으로 인해 IC의 내부 온도가 증가하여 손상을 입게 되는 경우도 발생한다. 이와 같이 인가 에너지 및 외부 환경적인 요소로부터 IC를 보호하기 위하여 DC-DC 컨버터 내에 보호 회로를 추가하여 신뢰성을 향상시켰다.

또한 제작된 IC에 대전된 인체나 기계가 접촉했을 때, 정전기가 외부 단자를 통해 입출력 패드를 거쳐 회로 내부로 방전되면서 큰 에너지를 가진 과도 전류가 반도체 내부 회로에 흘러 회로에 큰 손상을 주게 되는데, 정전기 방전 (ESD : Electro-Static Discharge) 보호 회로를 설계하여 벅-부스트 컨버터의 내장을 통해 반도체 설계 시 정전기로 인한 제품의 파괴 또는 제품의 열화를 방지함으로써 IC의 신뢰성을 향상시켰다.

## II. 본론

### 1. 다중 스위치 벅-부스트 컨버터의 구성

그림 1은 본 논문에서 제안하는 다중 스위치를 이용한 벅-부스트 컨버터의 전체 블록도이다. 제안하는 컨버터는 벅 컨버터와 부스트 컨버터로 구성된다.

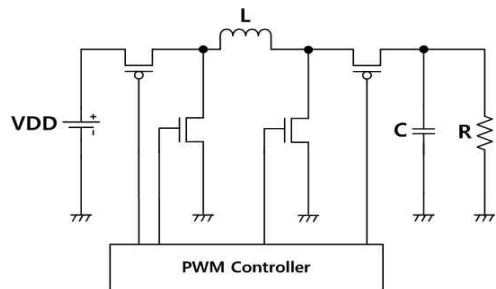


Fig. 1. Buck-Boost Converter using Multiple Switches  
그림 1. 다중 스위치를 이용한 벅-부스트 컨버터

높은 출력 전류에서 고효율을 얻기 위하여 PWM 방식을 사용하여 구현하였다. 기존 벅, 부스트 컨버터에서 각각 PWM 제어부를 사용하는 것과 달리 제안

한 컨버터는 결과적으로 PWM 제어부를 공유하여 사용함으로써 두개의 스위치를 추가하여 벡 컨버터와 부스트 컨버터 2개를 설계하였을 경우에 비해 PWM 제어부 면적을 줄임으로써 면적 증가의 단점을 보완할 수 있다.

가. 벡 컨버터 모드

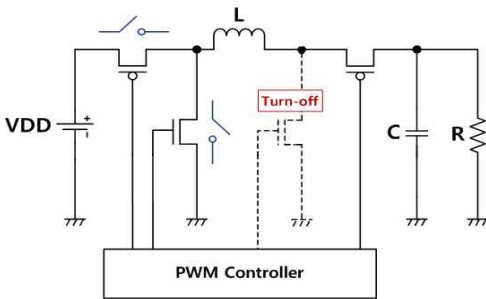


Fig. 2. Buck Converter Mode Block diagram  
그림 2. 벡 컨버터 모드 블록도

그림 2은 제안한 컨버터가 벡 컨버터 모드로 동작할 때의 블록도이다. 다중 스위치 제어기에 의해 오른쪽의 NMOS 스위치가 오프가 되고 제안한 컨버터는 벡 컨버터 모드로 동작하게 된다. 그림 3는 제안한 컨버터가 입력전압이 3.3V이고 벡 모드일 때 1.8V의 출력전압을 갖는 시뮬레이션 결과이다. 그림 3(b)의 벡 컨버터의 게이트신호와 (c)의 부스트 컨버터 게이트 신호에서 부스트 컨버터에 low 레벨 제어 신호가 입력되어서 벡 컨버터만 동작하고 있는 것을 확인할 수 있다.

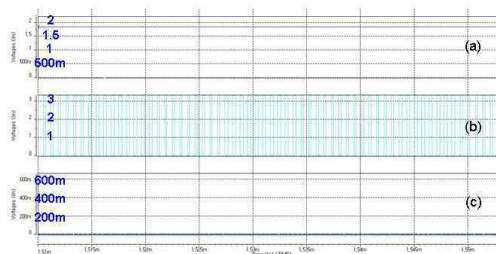


Fig. 3. Buck Converter Mode simulation results  
그림 3. 벡 컨버터 모드 시뮬레이션 결과

나. 부스트 컨버터 모드

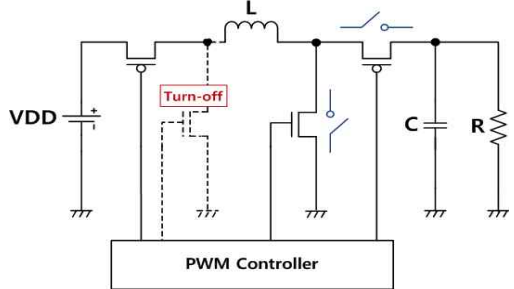


Fig. 4. Boost Converter Mode Block diagram  
그림 4. 부스트 컨버터 모드 블록도

그림 4는 제안한 컨버터가 부스트 컨버터 모드로 동작할 때의 블록도이다. 다중 스위치 제어기에 의해 왼쪽의 NMOS 스위치가 오프가 되고 제안한 컨버터는 부스트 컨버터 모드로 동작하게 된다. 그림 5는 제안한 컨버터가 입력전압이 3.3V이고 부스트 모드일 때 9V의 출력전압을 갖는 시뮬레이션 결과이다. 그림 5(b)의 벡 컨버터의 게이트 신호와 (c)의 부스트 컨버터 게이트 신호에서 벡 컨버터에 high 레벨 제어 신호가 입력되어서 부스트 컨버터만 동작되고 있는 것을 확인할 수 있다.

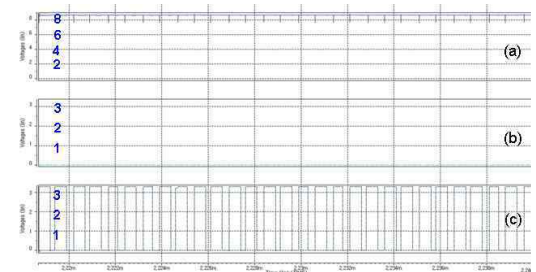


Fig. 5. Boost Converter Mode simulation results  
그림 5. 부스트 컨버터 모드 시뮬레이션 결과

다. 레일 모드

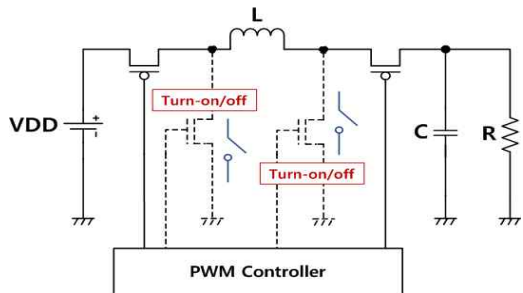


Fig. 6. Rail Mode Block diagram  
그림 6. 레일 모드 블록도

그림 6은 제안한 컨버터가 레일 모드 동작할 때의 블록도이다. 다중 스위치 제어기에 의해 4개의 스위치 중 중간과 오른쪽의 NMOS 스위치가 온-오프를 하게 되고 제안한 컨버터는 레일 모드로 동작하게 된다. 그림 7은 제안한 컨버터가 입력전압이 3.3V이고 레일 모드일 때 3.2V의 출력전압을 갖는 시뮬레이션 결과이다. 레일 모드의 일정한 출력을 유지하기 위해 그림 7 (b), (c)와 같이 벡 컨버터와 부스트 컨버터에는 low 레벨과 high 레벨의 제어 신호가 입력되어서 벡 컨버터 모드와 부스트 컨버터 모드가 필요에 따라 온-오프 되게 한다.

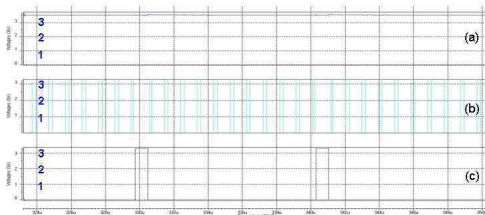


Fig. 7. Rail Mode simulation results  
그림 7. 레일 모드 시뮬레이션 결과

2. 전류모드를 이용한 벡-부스트 컨버터 설계

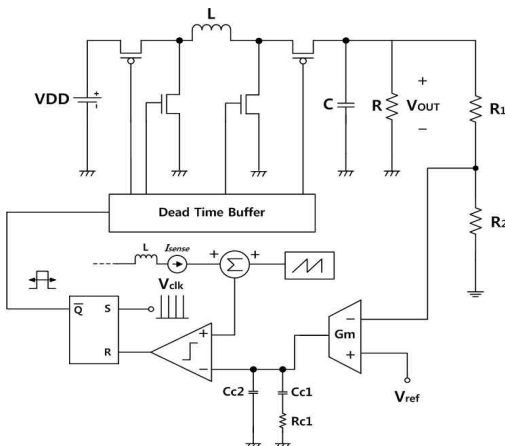


Fig. 8. Current-mode Buck-Boost Converter Block diagram  
그림 8. 전류모드 벡-부스트 컨버터 블록도

그림 8은 제안한 다중 스위치를 이용한 전류모드 벡-부스트 컨버터의 블록도이다. 펄스 폭 변조(PWM; Pulse Width Modulation)방법을 이용하여 설계하였으며, PWM 제어 회로는 비교기, 오차증폭기, 전류-전압 변환기, SR-latch, 전류 감지기, 클락 발생기, 기준 전압 발생기로 구성된다. 전류모드는 전압모드에 비해 극점의 개수가 적어 보상이 간단하고 전류 감지를

이용하여 출력을 변화시키기 때문에 속도가 빠르다. 하지만 노이즈에 취약하고, 인덕터 전류 감지 시 듀티비(Duty ratio) 0.5 이상 시 생기는 발진을 막기 위한 추가적인 회로가 필요하다. 따라서 듀티비에 의한 발진방지를 막기 위한 기울기 보상회로와 피드백 시스템을 이용한 벡-부스트 컨버터의 안정성을 확보하기 위하여 type 2 방식의 보상 캐패시터와 저항을 추가하였다.

가. 기준전압 발생회로 설계

기준전압 발생회로는 전원전압과 온도의 변화에 무관하게 기준전압을 만들어주는 블록으로 band-gap reference 회로를 이용하여 설계하였다.

기준전압 발생기는 전원제어부에서 출력전압의 최소 범위를 결정한다. 따라서 넓은 출력범위를 갖기 위해 기존의 1.2V를 출력하는 기준전압 발생기가 아닌 저전압(555mV) 기준전압 발생기를 설계하였다.

그림 9는 저전압 기준전압 발생기의 회로도이고, 그림10은 기준전압 발생기의 시뮬레이션 결과이다. 온도변화에 따른 기준전압의 변화는 약 5ppm/°C 이다.

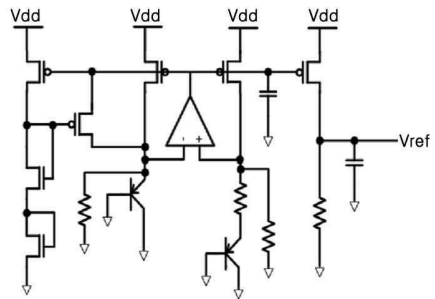


Fig. 9. Low voltage reference generator circuit  
그림 9. 저전압 기준전압 발생기 회로도

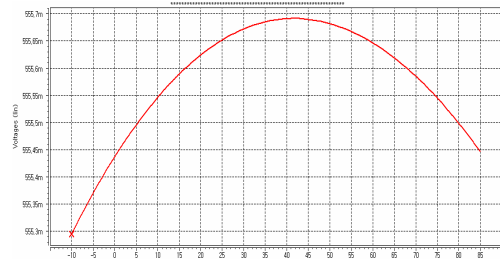


Fig. 10. Reference voltage change with temperature  
그림 10. 온도변화에 따른 기준전압 변화

나. 기울기 보상회로 설계

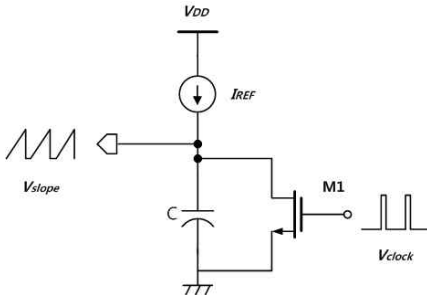


Fig. 11. Slope Compensation Block diagram  
그림 11. 기울기 보상 블록도

전류모드를 이용한 DC-DC 컨버터는 전류 감지 시 듀티비가 0.5보다 크면 불안정해 지는 특성을 가지고 있다. 이러한 subharmonic oscillation을 제거하기 위해서는 기울기를 보상하기 위한 회로가 필요하게 되는데, 보상을 위해 인위적으로 생성시켜야 할 파형의 기울기(mc)는 출력 전압의 최대값과 인덕터의 최소값을 이용하여 적절한 값을 정해줄 수 있다.

$$m_c \geq \frac{1}{2} \frac{V_{OUT,MAX}}{L_{MIN}} \quad (1)$$

구동 방식은 그림 11과 같이 전류원을 이용하여 캐패시터에 전하를 충전함으로써 전압을 상승시키고, 클럭 발생기의 주기를 이용하여 NMOS를 on/off 시켜 톱니파 모양의 파형을 생성시킨다. 기울기 보상 회로의 출력 파형은 그림 12와 같다.

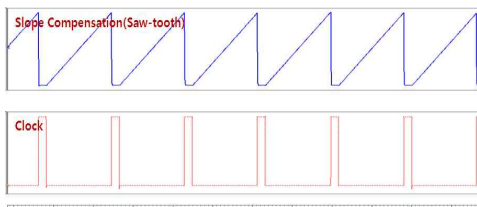


Fig. 12. Slope Compensation circuit simulation results  
그림 12. 기울기 보상회로 시뮬레이션 결과

다. 전류 감지회로 설계

전류 감지회로는 인덕터에 흐르는 전류를 감지하여 전류의 값을 전압으로 1A:1V의 비율로 바꿔줌으로써 전압을 이용하여 회로를 구동할 수 있다.

그림 13은 전류 감지를 위한 블록도이며, 구동 방식으로는 인덕터에 흐르는 전류를 스위치를 통해 통

과시켜 증폭기를 이용하여 증폭기 양단의 전압을 동일하게 만들어 준다. 전류의 변화는 증폭기 양단의 전압을 변화시키며, 전류의 인가로 인한 변화량은 저항을 통해 감지된 전류를 전압으로 바꿔준다.

그림 14는 전류 감지회로를 이용한 시뮬레이션 결과로서, 벅 컨버터에서 PMOS 스위치를 통해 증가되는 전류량을 이용하여 전압으로 변화시켜 감지된 전류값을 1A:1V 비율로 제공받는다.

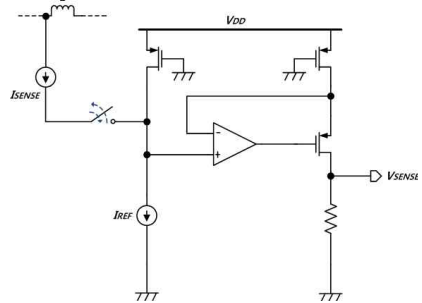


Fig. 13. Current-sensing circuit Block diagram  
그림 13. 전류 감지회로 블록도



Fig. 14. Current-sensing circuit simulation results  
그림 14. 전류 감지회로 시뮬레이션 결과

### 3. 보호회로 설계

가. UVLO(Under Voltage Lockout)

UVLO 블록은 DC-DC Converter 구동을 위한 전압을 공급할 때 정상 동작을 위한 전압보다 낮은 전압이 인가되었을 경우 발생할 수 있는 오작동을 막아주는 회로이다.

동작 방식은 그림 15와 같이 BGR(Bandgap Reference) 전압을 기준으로 하여 저항에 걸리는 전압이 BGR 전압보다 낮을 경우에는 UVLO 블록의 출력이 low가 발생하여 IC Enable 단자를 통해 IC의 동작을 차단한다. 회로의 안정적인 동작을 위한 전압이 공급된다면 UVLO 블록의 출력이 high가 발생하여 IC를 구동시키게 되고, 비교기의 출력에서 발생하는 low 전압으로 인해 NMOS 트랜지스터가 turn-off되어 Hysteresis 특성을 띄게 된다.

설계한 블록은 그림 16과 같이  $V_{UVLO,high}=2.4[V]$ ,

$V_{UVLO,low}=2.3[V]$ 로 약 100mV 의 Hysteresis 특성을 갖게 된다.

나. TSD(Thermal Shutdown)

DC-DC Converter의 장기간 구동 및 환경적인 영향으로 인하여 IC의 온도가 일정 온도 이상 증가하게 되면 회로의 오작동 및 IC가 파손되는 결과를 초래한다. 온도에 의한 IC의 보호를 위해 열감지 보호회로(TSD; Thermal Shutdown)를 설계하였다.

TSD는 Bipolar Junction Transistor의 온도 특성에 따른  $V_{be}$  전압의 변화를 이용하여 설계하였으며, 그림 17과 같이 IC의 온도가 150°C 이상이 되면 회로의 오작동을 방지하는 기능을 가지고 있다. 또한 Hysteresis 특성을 이용하여 118°C 이하가 되면 IC가 정상 동작할 수 있도록 설계하였다.

구동은 그림 15와 같이 UVLO 블록과 OR 게이트

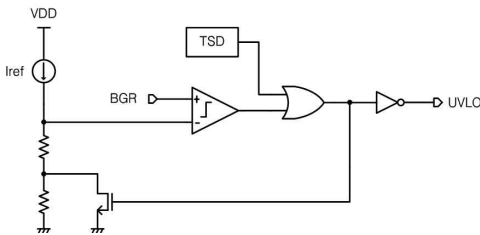


Fig. 15. UVLO & TSD Block  
그림 15. UVLO 및 TSD 블록도

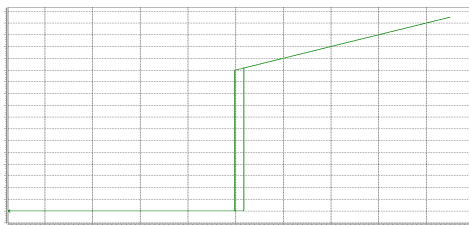


Fig. 16. Hysteresis characteristic of the UVLO Block  
그림 16. UVLO 블록의 Hysteresis 특성 파형

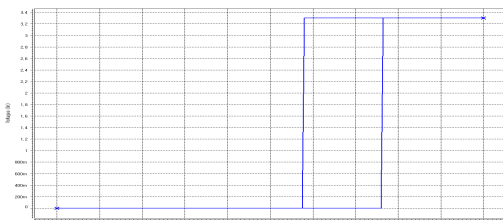


Fig. 17. Hysteresis characteristic of the TSD Block  
그림 17. TSD 블록의 Hysteresis 특성 파형

다. OVP(Over Voltage Protection)

를 이용하여 인가 전압 및 온도 변화에 IC를 차단할 수 있도록 구성하였다.

DC-DC Converter는 배터리 또는 정류된 DC 전압과 같은 전원전압을 이용하여 MP3, PDA, 노트북 등과 같은 전자제품의 구동을 위한 전압으로 변환하여 준다. 즉, 기기의 구동에 필요한 특정 전압을 제공하는 역할을 하는데 DC-DC Converter 제작 시 발생하는 회로의 특성 변화 또는 피드백 시스템의 오동작으로 인해 DC-DC Converter의 출력전압이 변하게 되어, 해당 시스템이 오동작하거나 해당 소자 및 회로의 최대 허용 범위 전압보다 높아질 경우에는 해당 전자 부품이나 반도체 소자를 파괴시킨다.

OVP 블록은 DC-DC Converter의 출력전압이 정해진 출력 전압 범위보다 높게 출력되는 경우 이를 감지하여 스위치를 차단시킨다.

동작 방식은 그림 18과 같이 피드백 전압과 기준 전압을 비교하여 DC-DC Converter 출력전압이 증가할 경우 비교기를 통해 OVP 전압이 low가 발생하여 그림 19와 같이 스위치 Enable 핀을 통해 스위치를 차단한다. 비교기 설계 시 Hysteresis 성분을 이용하여 차단 후 정상 동작 시 전압 여유를 주어 IC의 원활한 동작이 이루어지도록 설계하였다.

라. RCP(Reverse Current Protection)

Light Load 조건일 경우 동기식 DC-DC Converter는 CCM(continuous conduction mode)에서 FCCM(forced continuous conduction mode)로 전환되어 동작하게 된다. 환류 다이오드를 사용한 비동기식 Converter의 경우에는 다이오드의 역전압으로 인하여 역전류가 흐르지 않게 되어 DCM(discontinuous conduction mode)으로 동작하게 되지만, 동기식 스위치를 사용할 경우에는 NMOS 스위치에 의해 역전류가 발생할 경우에도 부하로부터 전류가 흘러 들어와 전류가 흐르게 된다. 이로 인하여 DCM에서 NMOS 스위치의 도통 및 high-side 스위치의 Body diode를 통한 전류 흐름으로 인해 전력 소비가 증가하게 된다.

역전류 방지 회로의 동작 방식은 그림 18과 같이 LX 노드와 VSS 노드를 비교하여 역전류가 흐를 경우 LX 노드의 (+)전압으로 인해 RCP 값이 low가 발생하여 그림 19와 같이 스위치 Enable 핀을 통해 스위치를 차단한다. LX 노드의 변화는 기울기가 완만하게 발생하기 때문에 일반적인 비교기를 사용할 경우 역전류의 감지가 어렵고 NMOS 스위치의 차단 속도가 느려 전도 손실이 발생한다. 따라서 고성능 비교기를 설계하여 역전류의 감지를 가능하게 하고

NMOS의 차단 속도를 증가하여 전도 손실을 막을 수 있게 설계하였다.

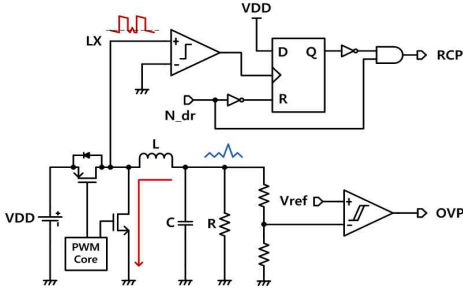


Fig. 18. Over Voltage Protection, Reverse Current Protection Block diagram

그림 18. 과전압 및 역전류 보호회로 블록도

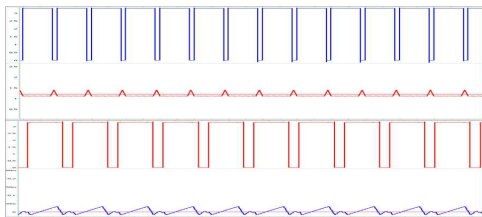


Fig. 19. OVP, RCP Block simulation Results  
그림 19. OVP, RCP Block 시뮬레이션 결과

4. ESD 보호회로 설계

가. 일반적인 ggNMOS의 동작방식

ggNMOS는 일반적인 MOS 구조를 이용한 보호 소자로서 제작이 용이하고 제어가 쉽기 때문에 가장 널리 사용되고 있는 소자로서 ggNMOS의 구조는 게이트(Gate)와 소스(Source) 및 기판(Body)을 접지에 연결하고 드레인(Drain)단만 입력 패드에 연결한 구조를 갖는다.

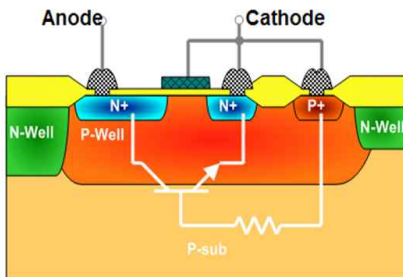


Fig. 20. The structure of ggNMOS Device  
그림 20. ggNMOS 소자의 구조

자기 바이어스된 (Self 바이어스) 횡형 BJT

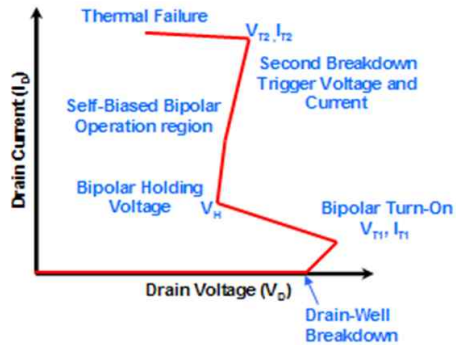


Fig. 21. I-V characteristics for the ggNMOS Device  
그림 21. ggNMOS 소자의 I-V 특성 곡선

(Lateral BJT)의 동작으로 설명할 수 있으며 드레인 단에 ESD 전류가 유입되면 드레인과 기판 사이의 애벌런치 항복에 의해서 베이스 전류가 형성되고 기판 전압을 상승 시킨다. 기판의 상승된 전압이 기판과 소스의 P/N 접합의 내부 전계(Built in potential) 보다 높아지게 되면 접합은 순방향 바이어스가 되어 드레인 단에서 유입된 ESD 전류를 소스로 방출 하게 된다.

나. 고안된 ESD 보호회로의 동작방식

본 논문에서는 Deep-submicron 공정에서 ESD 보호회로를 구현하기 위한 방법으로 ggNMOS구조를 개선하여, 낮은 트리거링 특성을 갖는 구조의 ESD 보호회로를 고안하고 Synopsys 사의 TCAD를 이용하여 검증하였다. 그림 22는 고안된 ESD 보호소자의 구조를 나타낸다. 일반적인 ggNMOS는 NMOS의 드레인과 p-well 사이의 항복현상에 의해 트리거링 동작을 함으로써 높은 트리거링 전압을 갖는다. 이를 개선하기 위한 그림 22는 설계된 ESD 보호회로로서, 동작방식은 다음과 같이 ESD 전류가 없는 정상상태 동작과 ESD 전류가 주입되는 ESD 현상 동작으로 나눌 수 있다. 먼저 정상상태 일 때, ESD 보호회로 M1, M2 그리고 M3의 MOS 트랜지스터는 동작하지 않고 전류를 내부회로로 흘려보낸다. 반면에 ESD 현상 동작 일 때, 트리거 소자로서 게이트 길이가 메인 ESD 보호회로 M2에 비해 짧은 보조 M1과 M3 MOS가 먼저 동작을 한다. 먼저 동작된 M1과 M3에 의해 M2의 게이트와 기판에 작은 전압이 공급되고, 이로 인해 주 ESD 보호회로인 M2의 트리거 전압이 낮아지게 되면서 ESD 전류를 접지단으로 빠지게 한다.

게이트와 기판에 적은 양의 바이어스를 가함으로써 트리거 전압을 낮추는 메커니즘을 살펴보면, 트리거

소자 M1과 M3에 의해 게이트와 기판에 바이어스가 가해진 M2는 내부의 기생 바이폴라 트랜지스터의 베이스-이미터 접합에 더 많은 순방향 바이어스를 제공한다. 이로 인해 바이폴라 트랜지스터는 더 작은 드레인 전압에서 턴-온 되고, 결국 주 ESD 보호회로 M2의 트리거 전압은 낮아진다.

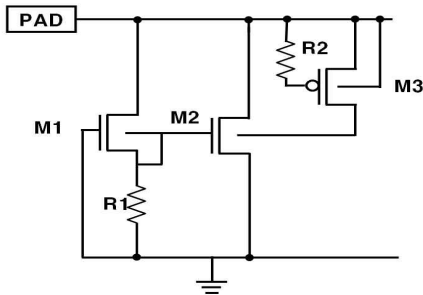


Fig. 22. The proposed structure of ESD protection Device  
 그림 22. 제안된 ESD 보호회로의 구조

나. 고안된 회로의 시뮬레이션 및 결과

그림 23은 고안된 ESD 보호회로와 일반적인 ggNMOS의 디바이스 시뮬레이션 결과이다. 그림 23에서 나타내는 것처럼 일반적인 ggNMOS의 트리거 전압은 8.2V인데 반해, 기판 트리거 기술을 사용한 M2와 M3소자의 트리거 전압은 5.6V로 트리거 전압이 낮아진다. 고안된 ESD 보호회로는 게이트와 기판에 동시에 트리거링을 시킴으로서 이보다 더 낮은 4.1V의 트리거 전압 특성을 나타낸다.

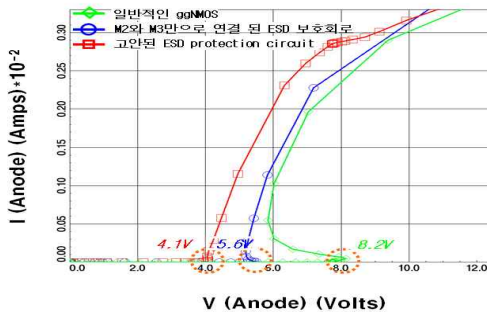


Fig. 23. The novel structure of ESD protection Device  
 그림 23. 새로운 구조의 ESD 보호소자

Table 1. The novel Device simulation results  
 표 1. 고안된 소자의 시뮬레이션 결과

	트리거 전압	트리거 전류
일반적인 ggNMOS	8.2V	0.06mA
M 1 - M 2 회로 (게이트 바이어싱)	5V	0.01mA
M 2 - M 3 회로 (기판 바이어싱)	5.6V	0.01mA
M1 - M2 - M3 회로 (게이트-기판 바이어싱)	4.1V	0.02mA

### III 결론

본 논문에서는 기존의 벡-부스트 컨버터의 효율 보다 높은 효율을 갖는 다중 스위칭 소자를 사용한 벡-부스트 컨버터를 설계하였다. 제안한 컨버터는 동일 면적 및 동일 효율 또는 적은 효율 감소만으로도 넓은 출력 전압 범위를 갖도록 설계하였다. 벡-부스트 컨버터는 고전류에서 고효율을 위해 PWM 제어법을 이용하여 제어하였고, 전류모드를 이용하여 설계하였다. 제안한 컨버터는 최대 출력전류 300mA, 입력 전압 3.3V에 출력전압 700mV~12V, 1.5MHz의 스위칭 주파수를 갖는다. 최대 효율은 90%를 갖도록 설계하였다.

또한 과부하 및 기타 환경적인 변화에 의한 오동작으로 인해 전력 손실과 내부 및 외부 IC의 손상을 방지하기 위한 보호회로를 IC 내부에 설계하여 신뢰성을 향상시켰다.

마지막으로 고안된 ESD 보호 소자를 설계 및 탑재하여 정전기 방지로 인한 IC의 손상을 방지하고, 기존의 ggNMOS의 높은 트리거 전압을 개선하여, 낮은 트리거링 특성을 갖는 ESD 보호회로를 제안 및 설계하였다. 시뮬레이션 결과 일반적인 ggnmos의 트리거 전압이 8V내외인 것에 반해 고안된 소자의 트리거 전압은 4V내외로 더 낮은 트리거 전압 특성을 나타냈다.

### 참고문헌

[1] 김희준, "스위치 모드 파워 서플라이" 성안당, 3p-61p  
 [2] Baker, "CMOS Circuit Design and layout", Wiley, 900p  
 [3] Chris Toumazou, "Trade-Offs in analog Circuit Design" Kluwer Academic Publishers, 139p-2004p



- [4] Fariborz Assaderaghi, "A Dynamic Threshold Voltage MOSFET for Ultra Low Voltage Operation", *IEEE*, 33.1.1p
- [5] K. Mark Smith, Jr., "A Comparison of Voltage-Mode Soft-Switching Methods for PWM Converters" *IEEE Trans-Power Electronic*, Vol. 12, No. 2 (1997)
- [6] Atsuo Fukui., "Design Consideration for a 2 MHz Synchronous Buck Converter in CMOS", *Proceedings of 2004 International Symposium on Power Semiconductor Devices & ICs*, WSI-7
- [7] A. Djemouai., "New CMOS Integrated Pulse Width Modulator for Voltage Conversion Applications", *IEEE 0-7803-6542-9(2000)*
- [8] Lu Chen., "Design and Test of a Synchronous PWM Switching Regulator System", *IEEE 0-7803-6253-5(2000)*
- [9] Sanjaya Maniktala, "Switching Power Supplies A to Z " *Newness*, 61p-234p
- [10] C. F. Lee and P. K. T. Mok, "2A monolithic current-mode CMOS DC-DC converter with on-chip current-sensing technique," *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 3 - >14, Jan. 2004.
- [11] H. Gossner, "ESD protection for the deep sub-micron regime - A challenge for design methodology", *Proc Int Conf VLSI Des*, pp. 809-818, 2004
- [12] T. Y. Chen, M. D. Ker, "Investigation of the gate-driven effect and substrate triggered effect on ESD robustness of CMOS devices", *IEEE Tran Dev Materials Reliability*, pp. 190-203, Dec 2002
- [13] M. D. Ker, T. Y. Chen, C. Y. Wu, "ESD protection design in a 0.18 $\mu$ m salicide CMOS technology by using substrate-triggered technique", *IEEE Int Symp Cir Sys*, pp. 754-757, 2001

---

저 자 소 개

---

**김 경 환** (학생회원)

2011년 : 서경대학교 전자공학과 졸업 (공학사)  
 2011년 3월~현재 : 단국대학교 대학원 전자전기공학과 (석사과정)  
 <주관심분야> Power Management IC, DC-DC Converter

**이 병 석** (학생회원)

2010년 : 서경대학교 전자공학과 졸업 (공학사)  
 2010년 3월~현재 : 단국대학교 대학원 전자전기공학과 (석사과정)  
 <주관심분야> ESD Protectoin, Power Device, Power MOSFET

**김 동 수** (학생회원)

2011년 : 서경대학교 전자공학과 졸업 (공학사)  
 2011년 3월~현재 : 단국대학교 대학원 전자전기공학과 (석사과정)  
 <주관심분야> ESD Protectoin, Power Device, Power MOSFET

**박 원 석** (학생회원)

2011년 : 서경대학교 전자공학과 졸업 (공학사)  
 2011년 3월~현재 : 단국대학교 대학원 전자전기공학과 (석사과정)  
 <주관심분야> ESD Protectoin, Power Device, Power MOSFET

**정 준 모** (정회원)

1985년 : 한양대학교 전자공학과 졸업 (공학사)  
 1987년 : 한양대학교 대학원 전자공학과 (공학석사)  
 1992년 : 한양대학교 대학원 전자공학과 (공학박사)  
 1991년~1995년 부천대학 전자

계산기과 조교수  
 1995년 ~현재 : 서경대학교 전자공학과 부교수  
 <주관심분야> 반도체회로 설계 및 테스트, 마이크로 프로세서