# 고 효율 저 리플 전압 특성을 갖는 모바일용 동기 형 벅 컨버터

# Synchronous Buck Converter with High Efficiency and Low Ripple Voltage for Mobile Applications

임 창 종*, 김 준 식*, 박 시 홍*★

Chang-Jong Yim*, Jun-Sik Kim*, Shi-Hong Park*★

**Abstract**

In this paper presents a new model of dual-mode synchronous buck converter with dynamic control for mobile applications was proposed. The proposed circuit can operate at 2.5MHz with supply voltage 2.5V to 5V for low ripple and minimum inductor and capacitor size, which is suitable for single-cell lithium-ion battery supply mobile applications. For high efficiency, the proposed circuit adopts synchronous type and dynamic control.

The proposed circuit is designed by using the device parameter of TSMC 0.18um BCD process and the performance is evaluated by Cadence spectre. Experimental board level results show the maximum conversion efficiency is 96% at 100mA load current.

**요 약**

본 논문에서는 Mobile 기기의 다양한 기능을 지원하기 위해 사용되는 내부 회로들의 낮은 전압 레벨을 지원하기 위해 가장 널리 사용되는 SMPS(Switch Mode Power Supply)방식의 Buck converter를 설계한다. 제안된 Buck converter는 넓은 부하 영역에서 높은 효율을 가지는 것을 목적으로 일반적인 구동 방식인 PWM (Pulse Width Modulation)Mode의 고 효율 저  리플 특성 구현 외에 PFM(Pulse Frequency Modulation) Mode를 적용하여 낮은 부하 조건 혹은 부하를 사용하지 않는 대기 시간에서도 고 효율 저 리플 특성을 가지는 Dual mode synchronous buck converter를 설계한다.  이를 위해 본 논문에서는 부하 변동 시에 PWM - PFM Mode로의 효율적인 변환 방법 및 저 리플 특성을 위한 방법을 제안한다. 또한 제안된 IC는 Mobile 기기에 부합하는 입력 전압 범위 2.5V-5V를 가지며, 2.5Mhz의 높은 주파수로 동작하여 리플 특성이 양호하고 집적화가 유리하다. 고효율을 위하여 Synchronous Type 설계 및 Dynamic Control 방식을 적용하였다. 보호 기능으로는 회로 동작의 초기 시에 발생하는 Inrush Current를 방지하기 위한 Soft start function 외에 Current limit, Thermal shutdown function, UVLO 회로가 내장되어 신뢰성을 높였다.

*Key words : Synchronous buck converter, PFM, PWM, Low Ripple, High Efficiency*

*,★ 단국대학교 전자전기공학과

(School of Electronic and Electrical Engineering, Dankook University)

※ 본 연구는 지식경제부가 지원하는 산업융합원천기술개발사업을 통해 개발 된 결과임을 밝힙니다.(10039145, 에너지 절감형 스마트 제품에 필요한 고급 전력 관리 기술 연구)

接受日:2011年 12月 11日, 修正完了日: 2011年 12月 22日

掲載確定日: 2011年 12月 23日

## Ⅰ. 서론

전력 반도체 회로 기술 적용 분야 중에서 최근 각광을 받고 있는 Mobile용 PMIC(Power Management Integrated Circuit)는 Mobile 기기에 전원을 공급, 관리하는 장치로 기기의 대용량 처리 및 Multi-media

기능 등의 추가로 공급되는 다양한 전원 라인의 성능은 물론 요구 조건의 다양화 등 전원 공급 및 관리의 최적화가 요구 되고 있다. 특히 Mobile 기기용 PMIC는 전원용 Battery 문제가 가장 큰 이슈가 되는데, 한정된 배터리의 자원으로 다양한 기능을 장시간 사용하고자 하는 욕구의 증대로 PMIC는 높은 효율의 전력 변환 기술이 가장 중요한 요소가 된다.

본 논문에서는 Mobile 기기의 다양한 기능을 지원하기 위해 사용되는 내부 회로들의 낮은 전압 레벨을 지원하기 위해 가장 널리 사용되는 SMPS방식의 Buck converter를 설계한다. 제안된 Buck converter는 넓은 부하 영역에서 높은 효율을 가지는 것을 목적으로 일반적인 구동 방식인 PWM Mode 의 고 효율 저 리플 특성 구현 외에 PFM Mode를 적용하여 낮은 부하 조건 혹은 부하를 사용하지 않는 대기 시간에서도 고 효율 저 리플 특성을 가지는 Dual mode synchronous buck converter를 설계한다. 제안하는 IC는 Mobile 기기에 부합하는 입력 전압 범위 2.5V-5V를 가지며, 2.5MHz의 높은 주파수로 동작하여 리플 특성이 양호하고 집적화에 유리하다. PWM Mode 구동 시에는 빠른 응답 특성을 보이는 Current mode control 방식을 적용하여 Controllable switch(Power MOSFET)를 제어 하도록 설계하였고, 효율을 높이기 위해 Synchronous type을 적용하였다. 또한 설계된 IC는 낮은 부하 조건 혹은 부하를 사용하지 않는 대기 시간 시에는 전력 변환 시 가장 큰 효율 저하 요소인 Switching 손실을 줄이기 위해 PFM Mode로 구동한다. 이를 위해 본 논문에서는 부하 변동 시에 PWM Mode에서 PFM Mode로의 효율적인 변환 방법 및 저 리플 특성을 위한 방법을 제안한다. PFM Mode시에는 고 효율, 저 리플의 특성을 갖도록 Dynamic control 방식을 적용하여 PWM Mode에서 사용되는 회로들을 최대한 억제하였다. 보호 기능으로 회로 동작의 초기 시에 발생하는 Inrush Current를 방지하기 위한 Soft start function 외에 Current limit, Thermal shutdown function, UVLO(Under Voltage Lock Out) 회로가 내장되어 신뢰성을 높였다.

본 논문에서 제안된 IC는 TSMC사의 0.18um 공정을 사용하여 제작되었으며, Cadence 사의 IC Design Tool을 사용하여 설계 및 검증 하였다. 설계된 IC는 16Pin으로 구성하였고, 2.2uH 인덕터와 10uF 커패시터를 이용하여 IC를 검증하였다. [1-4].

## II. 본론

### 2.1 Functional Block Diagram

Fig1.은 설계한 IC의 내부 블록 다이어그램이다. 설계된 회로는 크게 4개의 Functional block으로 나눌 수 있다. 먼저 고 효율을 위하여 적용된 Synchronous type의 Switch를 구동하기 위한 Gate Driver Block과 출력 전압을 일정하게 유지하기 위한 Feedback loop로 PWM/PFM Control Block이 존재하며, 내부 회로의 구동 전류 및 기준 전압을 생성하는 Bias Block, 마지막으로 Soft Start를 포함한 IC의 신뢰성을 높이는 Protection Block으로 나뉠 수 있다.

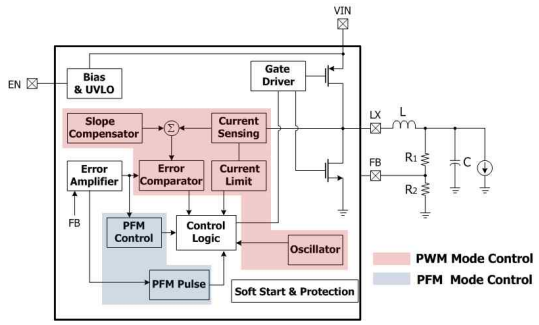


Fig. 1. Block Diagram
그림 1. 제안된 IC의 Block Diagram

Fig. 1의 붉은색의 Block들은 PWM Mode control 시에 사용 되는 Control block을 나타내며 Current Sensing, Slope Compensation, Error Comparator, Current Limit Block을 포함한다. PFM Mode 시에는 푸른색의 Control block을 사용하며 PFM Control, PFM Pulse Block으로 구성되어 있다. 나머지 영역은 공통적인 Block을 나타내며, Dynamic Control 방식을 적용하여 PFM Mode control 동작 시에는 붉은 색의 PWM Mode control block은 차단하여 고 효율을 달성 하였다.[5-6]

### 2.2 Current Mode Control

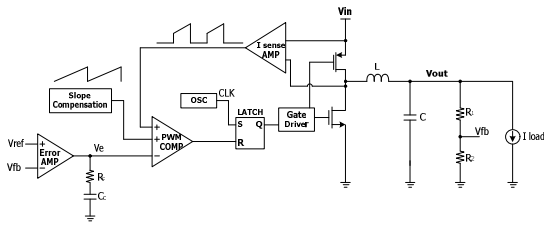


Fig. 2. Current Mode Control Loop
그림 2. 전류모드 제어 루프

Fig.2는 설계된 IC의 PWM 파형을 만들어내기 위한 Current mode control loop를 나타낸다. 인덕터의 전류 정보를 이용하여 PWM 신호를 만들어내므로 시스템의 응답 속도가 빠르고 보상이 간편하다는 장점이 있다. 하지만 Current mode control 방식을 적용할 때 PWM Duty가 50%를 넘게 되면 Sub-harmonic oscillation 현상이 발생하게 되어 시스템이 불 안정하게 된다. 따라서 Slope compensation block을 추가하여 보상하였으며, 전체 Feedback loop의 안정도를 위해 저항과 커패시터를 Error amplifier의 출력 단에 사용하여 보상하였다. [7-9]

### 2.3 PFM Mode Control

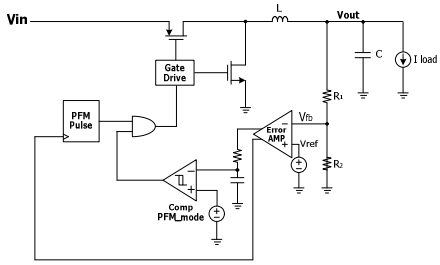


Fig. 3. PFM Mode Control Loop
그림 3. PFM 모드 제어 루프

Fig.3은 설계된 IC의 PFM Mode 방식을 나타낸다. PFM Mode 동작 시에는 Dynamic control 방식을 적용하여, PWM Mode에 사용되는 Block을 차단하여 고 효율을 달성하였다. 기존에 많이 사용되는 방법인 출력 전압 혹은 인덕터 전류를 감지하는 회로와는 다르게 Error Amplifier의 커패시터 전압 정보를 이용하여 Load의 상태를 감지하며, 이를 통해 저 리플 특성에 장점을 가진다. 또한 PFM Mode 동작 시에 Buck converter의 출력 전압 정보를 이용하여 Regulation 한다.

### 2.4 Total Simulation & Result

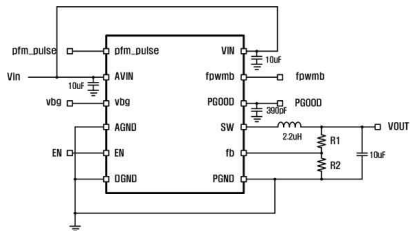


Fig. 4. Total Simulation Circuit
그림 4. 전체 시뮬레이션을 위한 회로

Fig.4는 설계된 IC의 Total Simulation을 위한 회로이다. 설계된 IC는 TSMC사의 0.18um공정을 적용하여 Simulation하였으며 2.2uH의 인덕터와 10uF의 출력 커패시터를 사용하였다.

Fig.5는 전체 시뮬레이션의 결과 파형을 나타낸다. 파형은 차례대로 출력 전압, 인덕터 앞 단 전압, 인덕터 전류, 출력 전류를 나타내며, 출력 전압은 1.8V로 회로가 정상적으로 동작하는 것을 알 수 있다. 부하의 변동 시에 PWM-PFM Mode 변환이 잘 동작하는 것을 V_sw 전압과 인덕터 전류를 통해 확인 할 수 있다. Heavy load 시에는 PWM Mode로 2.5Mhz의 Switching frequency를 이용하여 출력 전압을 Regulation 하는 것을 알 수 있으며, Light load로 변경되었을 때 PFM Mode 동작으로 변환하여 Switching을 멈추게 되고, Switching frequency가 변조된다. 이후 출력 전압이 떨어져 Regulation 동작 할 시에 Switch가 잘 동작함을 알 수 있다.

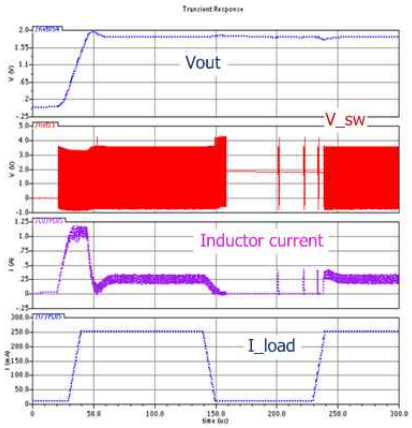


Fig. 5. Total Simulation Result
그림 5. 전체 시뮬레이션 결과 파형

### 2.5 제작된 IC 및 Test Board

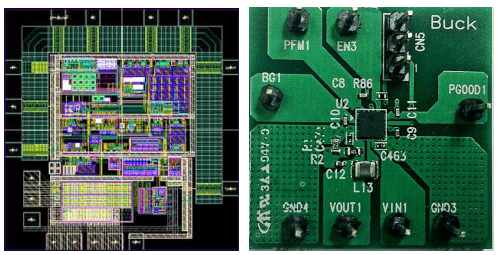


Fig. 6. Layout and PCB Test Board
그림 6. 제작된 IC의 Layout 및 테스트 보드

본 논문에 설계된 IC는 TSMC사의 0.18um BCDMOS 공정을 사용하여 설계 및 제작 되었으며, Fig.6는 제작된 IC의 Layout과 Test를 위한 Board를

나타낸 것이다. 제작된 IC는 3mm×3mm의 Size이며 16pin의 QFN Type으로 제작되었다.

### 2.6 제작된 IC의 Test Results

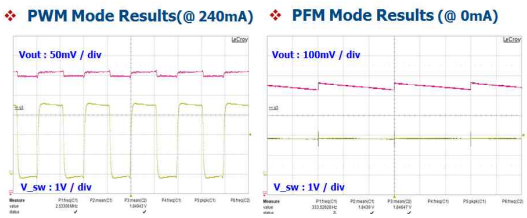


Fig. 7. Output voltage Ripple Characteristic
그림 7. 출력 전압 리플 특성

Fig. 7은 설계된 IC의 출력 전압 리플 특성 테스트 결과를 나타낸다. 상측 파형은 출력 전압을 나타내고, 아래의 파형은 인덕터 앞 단의 전압을 나타낸다. PWM Mode 동작 시의 출력 전압은 1.82V이며 출력 전압 대비 약 0.83%, 15mV이내의 양호한 리플 특성을 확인 하였다. PFM Mode의 동작 시에는 출력 전압 파형은 1.83V이며 출력 전압 대비 약 2.1%, 38mV 이내의 양호한 리플 결과를 확인 하였다.

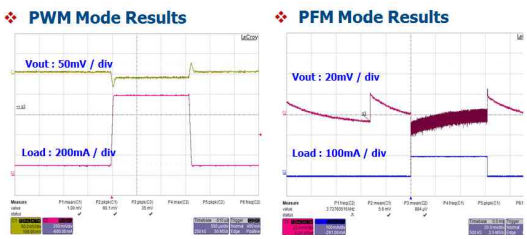


Fig. 8. Output voltage Load Transient Characteristic
그림 8. 출력 전압 로드 트랜지언트 리플 특성

Fig.8은 출력 전압의 Load Transient 특성 결과 파형이다. 상측 파형은 출력 전압을 나타내고, 아래의 파형은 Load 전류의 변화를 나타낸다. 먼저 PWM Mode의 결과를 보면, Load 100mA - 800mA의 변화 조건으로 출력 전압은 Peak to Peak 60mV 이내의 양호한 리플 특성을 확인 하였다. 우측의 PFM Mode의 결과를 살펴보면 Load 0mA - 100mA의 변화 조건으로 출력 전압은 Peak to Peak 50mV 이내의 양호한 리플 특성을 확인 하였다.

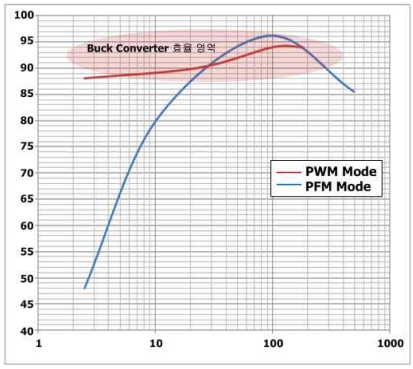


Fig. 9. Efficiency Characteristic
그림 9. 효율 특성 그래프

Fig.9은 제작된 IC의 효율을 나타내는 파형이다. 최대 효율이 100mA 조건에서 96%로 목표 대비 만족한 결과를 얻었다. 실제 설계된 IC는 Load의 조건에 따라 PWM-PFM Mode로 변환 가능하도록 설계 되어 있으며, 그 결과 1mA - 500mA의 넓은 영역에서 85%이상의 고른 효율을 보였다. [10]

## Ⅲ. 결론

본 논문에서는 Mobile용 PMIC(Power Management IC)의 핵심 요소인 Dual mode synchronous buck converter IC를 TSMC 사의 0.18um BCDMOS 공정을 사용하여 설계 및 제작하고 검증하였다.

설계된 IC는 Mobile 기기에 부합하는 입력 전압 범위를 가지며 Synchronous type 설계 및 Dynamic control 방식을 사용하여 넓은 부하 조건에 대해 최대 96%의 효율을 포함, 높은 효율을 보인다. 또한 2.5MHz의 주파수를 적용하여 양호한 리플 특성을 보이며, 특히 Mobile 기기에 중요한 요소인 집적 가능한 크기의 2.2uH 인덕터와 10uF 커패시터를 적용하였다.

본 논문에 설계된 IC는 모바일 기기에 적합하도록 PWM Mode 동작 시 Current mode control 방식을 적용하여 입력 전압과 출력 전압의 변화에 따라 빠른 응답 특성을 가지도록 설계 하였다. 또한 기존의 방법과는 다른 PWM-PFM Mode로의 효율적인 변환 방법을 제안하여 설계하였으며, 이를 통해 PFM Mode시에 고 효율, 저 리플 특성을 구현하였다. 추가적으로 Soft-Start 기능을 포함하여, Current limit, Thermal shutdown, UVLO, Power Good 등의 보호 기능이 내장되어 IC의 신뢰성을 높였다.

제작된 IC는 Board 실험 결과 문제없이 동작하는 것을 확인하였으며, 설계 목표치와 근접 혹은 더 좋은 특성을 보였다. 따라서 본 논문에서 제안된 Dual Mode Synchronous buck converter IC 는 향후 Mobile용 PMIC 분야에서 그 활용도가 매우 높을 것으로 기대된다.

## 참고문헌


[1] 이성수, 박종식, Mobile 프로세서용 PMIC 기술 동향, 기술 동향 컬럼, 2011.

[2] 김재하, Power Supply on Chip (PwrSoC)의 연구 동향 및 도전 과제, 기술 동향 컬럼, 2011.

[3] Sanjaya Maniktala, Switching Power Supplies A to Z, Newnes, 2006.

[4] Robert Mammano, Switching Power Supply Topology Voltage mode VS Current mode, Design Note, Texas Instruments, 1999.

[5] Gate Drive Characteristics and Requirements for HEXFET Power MOSFETs, Application Note AN-937, International Rectifier.

[6] Vrej Barkhordarian, Power MOSFET Basics, International Rectifier.

[7] Hai-Feng Jin, Hua Lan Piao, Zhi-Yuan Cui, Nam-Soo Kim, High Performance Current sensing Circuit for Current-mode DC-DC Buck converter, 전기전자재료 제24권 제1호, 2010.

[8] S.Yuvarajan and Lu Wang, Performance Analysis and Signal Processing in A Current sensing Power MOSFET(SENSEFET), IEEE, 1991.

[9] H. Dean, Current mode control, Venable Technical Paper #5, pp. 1-11, Venable industries, 20 Oct 2009.

[10] Jingdong Chen. “Determine Buck converter Efficiency in PFM Mode”. National Semiconductor. September 2007.


## 저 자 소 개


**임 창 종** (학생회원)

2010년 : 단국대학교 전기전자공학부 학사 졸업

2011년 12월~현재 : 단국대학교 전기전자공학과 석사 과정

<주관심 분야> Analog and Power IC Design.

Power Management IC Design.

**김 준 식** (비회원)

2007년 : 단국대학교 전기전자컴퓨터공학부 학사 졸업

2009년 : 단국대학교 대학원 전기전자공학과 석사 졸업

2011년 12월~현재 : 단국대학교 전기전자공학과 박사 과정

<주관심 분야> Analog and Power IC Design.

Power Management IC Design.

**박 시 홍** (비회원)

1988년 : 연세대학교 전기공학부 학사 졸업

2001년 : University of Wisconsin - Madison 석사

2004년 : University of Wisconsin - Madison 박사

2011년 12월~현재 : 단국대학교 전기전자공학부 부교수.

<주관심 분야> Analog and Power IC Design.Power Management IC Design.Automotive Power IC Design.(Power Management, Motor, Solenoid, ...)

Gate Drive and Inverter Module Design.Integrated Power Electronics Module Design.