

PSCAD/EMTDC 프로그램을 이용한 제주 80kV HVDC 제어기 모델링

崔淳浩[†], 李性斗^{*}, 金燦起^{**}

Jeju 80kV HVDC Controller Modeling Using PSCAD/EMTDC Program

Soon-Ho Choi, Seong-Doo Lee, and Chan-Ki Kim

요 약

본 논문에서는 PSCAD/EMTDC 프로그램을 통해 제주 80kV Pilot HVDC 시스템을 구현하고 제어기를 모델링하였다. ac 계통 연계 시뮬레이션을 위해 제주 ac 계통을 축약하였으며, dc 계통 시뮬레이션을 위해 컨버터 변압기, 고조파 필터 및 dc 전송선로의 설계 파라미터를 적용하였다. HVDC 제어기는 컨버터의 운전모드에 따라 인버터 제어기와 정류기 제어기로 나뉘며, 인버터 제어기는 전류제어기, 전압제어기, 소호각 제어기로 구현하였고, 정류기의 제어기는 전류제어기 및 전압제어기로 구현하였다. 인버터와 컨버터의 V-I 특성곡선에 VDCOL을 적용하여 전압에 따른 전류의 의존 특성을 반영하였다. 제어기의 단위 응답, ac 계통 단상 지락 고장, 3상 지락 고장에 대해 시뮬레이션하여 설계한 제어기의 정상상태 및 과도상태시 동특성을 검증하였다.

ABSTRACT

This paper studies modeling of Jeju 80kV HVDC system and its controller by using PSCAD/EMTDC program. Reduced ac network is applied to verify interaction between ac network and dc system. Design parameter is applied to the converter transformer, harmonic filter and dc transmission line to simulate dc system. HVDC controller is divided into a rectifier controller and a inverter controller according to the converter operating mode. The inverter controller is composed of current control, voltage control and extinction angle control. The rectifier controller is composed of current control and voltage control. Both controller has VDCOL characteristics so that current order is dependant on voltage variation. Step response, ac network single phase fault, three phase fault is simulated to verify the dynamic performance of controller model in both transient state and steady state.

Key Words : HVDC transmission, Controller modeling, Simulation

1. 서 론

현재 국내에는 제주와 내륙 계통을 연계하기 위해

HVDC#1(180kV), HVDC#2 (250kV) 등의 전류형 HVDC 시스템이 운영 중이거나 도입 중에 있으며, HVDC 시스템의 국산화를 목표로 제주에 80kV HVDC Pilot 시스템을 개발하고 있다. HVDC 시스템은 정류기와 인버터 양단 모두 ac 계통과 연계되는 전력시스템으로서, HVDC 시스템의 초기 기동과 정상상태 운전 등의 기본 동작 뿐 아니라, ac 계통 과전압, 순시 정전, 저전압, 단상 지락 고장 및 3상 고장, dc 계통 고장 등과 같은 비주기적인 특수 상황에서의

[†]교신저자 : 정회원, 한국전력공사 전력연구원 일반연구원

^{*}정회원, 한국전력공사 전력연구원 선임연구원

^{**}정회원, 한국전력공사 전력연구원 책임연구원

E-mail : shchoi@kepco.co.kr

접수일자 : 2011. 8. 17

1차 심사 : 2011. 9. 1

2차 심사 : 2011. 9. 26

심사완료 : 2011. 10. 6

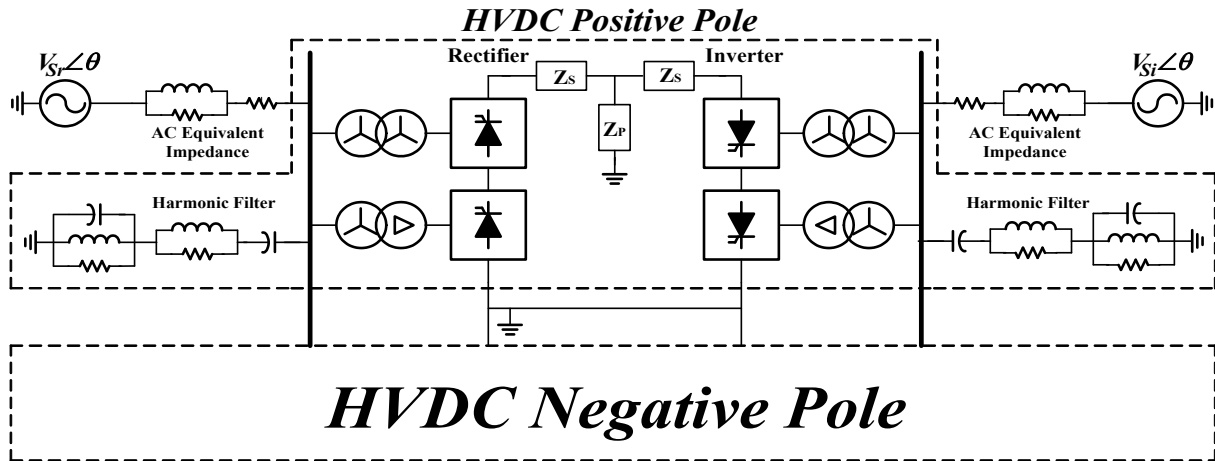


그림 1 제주 80kV HVDC 시스템 등가 회로
 Fig. 1 Equivalent Circuit of Jeju 80kV HVDC system

ac와 dc 계통간 상호 연계한 동작 특성을 검증하여 [1],[2], 예측가능한 고장상황 등에 사전에 대비할 필요가 있다. 이를 위해서는 HVDC 시스템의 모델링을 통한 시뮬레이션이 이루어져야 하며, 모델링에는 ac 계통 등가전원, 등가 임피던스를 포함하는 ac 등가 계통 및 컨버터 변압기, 사이리스터 밸브, 평활 리액터, ac 고조파 필터, dc 송전선로 등을 포함하는 dc 계통으로 구성하여[3], 정상상태 및 과도상태 시뮬레이션을 통해 운전 특성을 검증할 수 있다. 기존의 HVDC#1 시스템이나, HVDC#2 시스템의 경우는 시스템 개발 및 제작에 필요한 자료를 제작사에 제공하고, 턴키 방식으로 수주하였기 때문에, 자체적으로 HVDC 시스템을 설계하고, 시뮬레이션 등을 통해 제어기의 운전 특성 및 성능을 검증할 수 없었다. 따라서, HVDC 시스템에 따른 제어기 개발 및 성능 검증을 위해, 80kV Pilot HVDC 시스템을 시뮬레이션 프로그램인 PSCAD/EMTDC를 이용하여 등가 모델링하고, HVDC 인버터와 정류기에 전압-전류 특성 곡선을 적용한 각각의 제어기를 설계하고 구현하였다.

제주 계통과의 연계 시뮬레이션을 위해 ac 계통을 축약하였으며, 80kV HVDC 시스템의 컨버터 변압기, 고조파 필터 및 DC 송전선로의 설계 파라미터를 적용하여 dc 계통을 구현하였다. HVDC 제어기는 ac 계통에 연계된 컨버터의 운전모드에 따라 인버터 제어기와 정류기 제어기로 나누어 구성하였다. 인버터와 정류기의 V-I 특성곡선에 계통 고장 및 순시 전압 강하 등에 의해 정류실패가 발생하는 것을 방지하려는 목적으로 VDCOL(Voltage Dependent Current Order Limit)을

적용하여, ac 전압의 변동에 따라 전류제어기의 지령을 설계 범위 이내로 제한하였다[4]. 설계한 제어기의 동특성을 시험하기 위해 PSCAD/EMTDC 프로그램을 통해 시뮬레이션하였고, 전류제어기의 단위응답특성, ac 계통 단상 지락 고장, ac 계통 3상 지락 고장의 경우에 대해 그 결과를 확인하였다.

2. 제주 80kV HVDC 시스템 등가 모델링

그림 1에 제주 80kV HVDC 시스템의 등가 회로를 나타내었다. 시스템은 bipolar $\pm 80kV$, 60MW 정격의 HVDC 시스템이며, 정류기와 인버터 측에 12펄스 컨버터로 구성되어 있다. 정류기와 인버터 측 모두 제주 ac 계통에 연계되어 있으며, 연계된 ac 모션에는 무효전력 보상과 고조파 저감을 위한 고조파 필터가 설치되어 있다. 시스템의 전력 회로는 ac 계통과 dc 계통으로 나뉜다.

2.1 ac 계통 모델링

80kV HVDC 시스템 제어기 PSCAD/EMTDC 시뮬레이션을 통해 실제 HVDC 시스템과 동일한 동특성을 얻기 위해서는 정확한 제주계통 축약이 필요하다. 따라서 계통을 모델링하기 위해 ac 계통의 테브난 등가 임피던스, HVDC 변환소 모선의 등가 관성(H_{dc}) 및 제주 ac 계통 등가 AVR(Automatic Voltage Regulator) 제어기의 시정수를 구하기 위해 등가 T_{d0}' 를 구하여 HVDC 시스템의 계통 연계를 구성하였다. 제주 ac 계통의 등가 모델과 제어 블록도를 그림 2에 나타내었다.

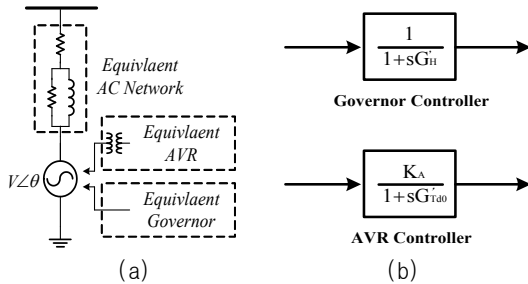


그림 2 제주 ac 계통 (a)등가 모델 (b)제어 블록도
Fig. 2 Jeju ac Network (a)Equivalent model (b)Control block diagram

2.1.1 제주 ac 계통 등가 임피던스

80kV HVDC 시스템이 연계되는 모선의 테브난 등가 임피던스를 구하기 위해 식 (1)을 이용하여 단락비를 구한다. PSS/E 조류해석을 통해 고장계산을 수행하여 단락용량(SCMVA)을 구하면, 금약변환소는 1573.7 [MVA], 한림변환소는 1440.4 [MVA]를 얻을 수 있다. 표 1에 단락비(SCR), 테브난 등가 임피던스, X/R 등을 나타내었다.

$$SCR = \frac{E_{st}^2}{Z_{st}} \frac{1}{P_{dc}} = \frac{SCMVA}{P_{dc}} \quad (1)$$

여기서, E_{st} : ac 계통 전원
 Z_{st} : 테브난 등가 임피던스
 P_{dc} : HVDC 시스템 정격 전력

HVDC 시스템이 포함된 제주 계통의 경우 일반적인 방법으로 테브난 등가 임피던스를 구한 후, HVDC 시스템 컨버터에서 발생하는 고조파를 고려하여야 한다.

HVDC 컨버터의 제어 시스템에 있어서 50차 이상의 고조파 해석이 무의미하며, 이러한 높은 고조파를 바이패스하여 계통 임피던스에서 무시할 수 있도록 50차에 해당하는 Shunt 저항을 등가 리액턴스에 병렬 접속하였다. 그림 3에 사이리스터에서 발생하는 고조파의

표 1 제주계통 SCR 및 테브난 등가 임피던스
Table 1 Jeju ac system SCR and Thevenin equivalent impedance

ac 계통 파라미터	금약	한림	단위
단락비(SCR)	26.2	24	
테브난 등가임피던스	0.0635 ∠ 85.96°	0.0694 ∠ 85.28°	[p.u.]
Shunt 고조파 저항	751.6	820.4	[Ω]
X/R Ratio	14.16	12.11	[p.u.]

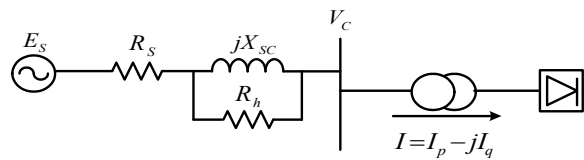


그림 3 컨버터 모선에서 고조파를 고려한 ac 계통 표현
Fig. 3 ac network considering harmonics in converter ac bus

차폐를 고려하여 계통 임피던스($R_s + jX_{sc}$)에 바이패스 저항(R_b)를 추가한 ac 계통 등가 임피던스를 나타내었다.

2.1.2 제주 ac 계통 등가 AVR

제주 ac 계통 등가 AVR제어기의 T_{d0}' 는 동기 발전기의 d축 시정수에 해당하며, 발전기 파라미터를 이용한 표현식은 아래와 같다[5].

$$T_{d0}' = \frac{L_{ad} + L_{fd} + L_{pl}}{R_{fd}} \quad (2)$$

여기서, L_{ad} : 동기기 전기자 d축 인덕턴스
 L_{fd} : 동기기 계자 d축 인덕턴스
 L_{pl} : 동기기 직렬 누설 인덕턴스
 R_{fd} : 동기기 계자 d축 저항

3개의 동기 발전기가 있다고 가정할 때, 등가 T_{d0}' 는 아래 식과 같이 구할 수 있다.

$$T_{d0}' = \frac{T_{1d0}' G_1 + T_{2d0}' G_2 + T_{3d0}' G_3}{G_1 + G_2 + G_3} \quad (3)$$

여기서, G_1, G_2, G_3 는 발전기의 정격 용량(MVA)이다. ac 계통에서 발전기의 정격 용량 및 T_{d0}' 을 적용하면 제주 계통의 등가 T_{d0}' 은 5.8[s]이다. 계산 과정에서 HVDC#1과 HVDC#2의 정격 용량이 포함되었으며, ac 계통에 연계된 발전기 가운데 운전 중인 발전기만 고려하였다.

2.1.3 제주 ac 계통 등가 관성

80kV HVDC 시스템이 연계되는 모선의 제주 ac 계통 등가 Governor 제어기의 시정수를 구하기 위해 등가 관성 H를 구한다. 일반적인 모선에 연결된 G_1, G_2, G_3 의 3개의 동기 발전기가 있을 때, 등가 관성 H는 아래 식과 같이 구할 수 있다[5].

$$H = \frac{H_1 G_1 + H_2 G_2 + H_3 G_3}{G_1 + G_2 + G_3} \quad (4)$$

여기서, G_1, G_2, G_3 는 발전기의 정격 용량(MVA)이다.

HVDC 시스템이 연계된 ac계통의 경우에는 시스템의 빠른 동특성으로 인해 관성이 0이다. 따라서 HVDC#1과 HVDC#2를 포함한 제주 ac 계통의 등가 관성 H_{dc} 는 다음 식과 같이 구할 수 있다.

$$H_{dc} = \frac{H_1 G_1 + H_2 G_2 + \dots + H_n G_n}{G_1 + G_2 + \dots + G_n + HVDC1 + HVDC2} \quad (5)$$

여기서, HVDC1, HVDC2는 HVDC 시스템의 정격 용량이다.

계통의 등가 관성은 HVDC 시스템이 포함될수록 향상되는 것을 확인할 수 있다. HVDC 시스템이 연계된 제주 계통의 등가관성 H_{dc} 는 3.18[s]가 된다. 계산과정에서 HVDC#1과 HVDC#2를 포함하였고, ac 계통에 연계된 발전기 가운데 운전 중인 발전기만을 고려하였다.

2.2 dc 계통 모델링

2.2.1 컨버터 변압기 및 밸브

80kV HVDC의 컨버터 변압기는 3상 3권선 변압기로서, Y-Y- Δ 권선을 갖는다. 1차측 전압은 154kV, 2차측 전압은 34.3kV 이다. 변압기는 1차측 Y권선의 중성선을 접지하였으며, 3상 3권선 변압기의 용량은 Y-Y 권선 18MVA, Y- Δ 권선 18MVA이므로 전체는 36MVA 이 된다.

PSCAD/EMTDC 프로그램에서 컨버터 사이리스터 밸브를 표현하기 위해서는 개별 사이리스터 소자를 적용하거나, 소호각 측정 회로 기능이 포함된 사이리스터 모듈을 적용할 수 있다. 본 논문에서는 시스템의 제어기 동특성을 시뮬레이션하기 위한 목적으로 사이리스터 모듈을 적용하였다.

표 2 80kV HVDC 컨버터 변압기 파라미터
Table 2 HVDC converter transformer parameter

파라미터	값	단위
정격 용량	18	[MVA]
변압기 계통측 전압	154	[kV _{rms}]
변압기 밸브측 전압	34.3	[kV _{rms}]
공칭 임피던스	12	[%]
운전각	22	[°]

2.2.2 평활리액터 및 dc 송전선로

dc 시스템에서 dc 리액터의 목적은 ac 계통 사고시 정류 실패 방지, 고조파 전압 및 전류 억제, 직류 전류의 맥동 평활, dc 선로 고장시 정류기의 피크 전류 제한 등이 된다[6]. 80kV HVDC 시스템에서 dc 평활 리액터의 값은 150mH 이며, 각 pole 당 1개씩 적용하여 총 4개가 있다.

표 3 80kV HVDC DC 송전선로 파라미터
Table 3 HVDC DC transmission line parameter

파라미터	값	단위
가공선로(4.8km)	저항	0.1684 [Ω/km]
dc cable(1km)	저항	0.047 [Ω/km]
	커패시턴스	0.3663 [μF/km]
	인덕턴스	0.8024 [mH/km]

80kV HVDC의 dc 송전선로는 4.8[km]의 가공송전선로와 1[km]의 지중 송전선로로 구성되어 있다. 표 3에 80kV HVDC 시스템의 dc 송전선로 파라미터를 나타내었다.

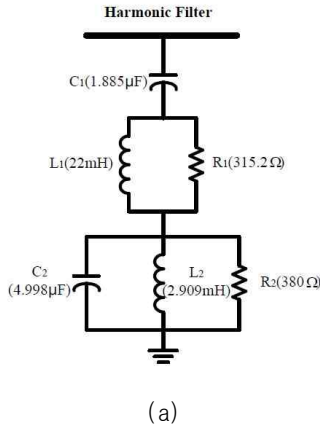
2.2.3 ac 고조파 필터

HVDC 컨버터의 사이리스터 밸브 스위칭 동작으로 인해 ac측 전류는 상당히 왜곡된 비정현파 파형을 가지며 12n±1차에 해당하는 높은 고조파가 발생한다. 따라서 HVDC 변환소가 연계되는 모선에 ac측 전류의 고조파 왜곡을 저감시키고, 고조파 전압을 허용 가능한 수준으로 낮추도록 고조파 필터를 설치하게 된다[7]. 80kV HVDC 시스템의 고조파 필터는 12차와 24차 고조파를 동시에 제거하는 Double-tuned filter를 설계하였다. 필터 설계를 위해 12차와 24차를 튜닝주파수(ω_1, ω_2)로 설정하고, 고조파 차수가 적은 중간주파수 병렬 공진 차수(ω_p)를 설정하여 식(6)을 통해 나머지 차수(ω_s)를 구하게 되며, 식(7)~(10)을 통해서 각 필터 파라미터의 값을 구하게 된다.

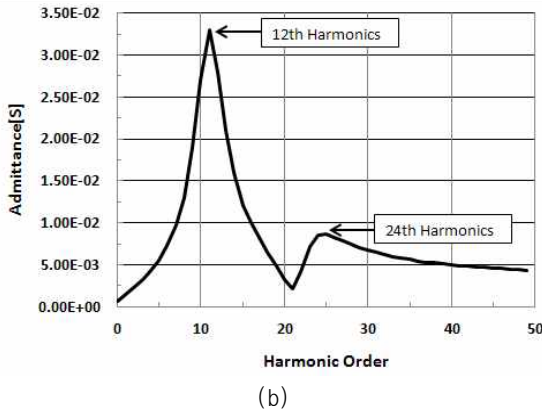
$$\omega_1 \omega_2 = \omega_s \omega_p \quad (6)$$

$$C_1 = \left\{ \omega_F \left(\frac{\omega_p}{\omega_1 \omega_2} \right)^2 - \frac{1}{\omega_F} + \frac{\omega_F (\omega_1^2 + \omega_2^2 - \omega_p^2) \omega_p^2 - \omega_1^2 \omega_2^2}{\omega_1^2 \omega_2^2 (\omega_p^2 - \omega_F^2)} \right\} \cdot \frac{Q}{U^2} \quad (7)$$

$$L_1 = \left(\frac{\omega_p}{\omega_1 \cdot \omega_2} \right) \cdot \frac{1}{C_1} \quad (8)$$



(a)



(b)

그림 4 12/24차 Double-tuned 고조파 필터 주파수 특성
(a) 회로도 (b) 어드미턴스 특성
Fig. 4 12/24 double-tuned filter characteristics
(a) Circuit (b) Admittance characteristic

$$L_2 = \frac{1}{w_p^2 \cdot C_1} \cdot \left(\frac{w_1^2 + w_2^2 - w_p^2}{w_s^2} - 1 \right) \quad (9)$$

$$C_2 = \frac{1}{w_p^2} \cdot \frac{1}{L_2} \quad (10)$$

여기서, Q는 무효전력량, U는 ac 계통전압을 나타낸다. 무효전력 보상 기능의 구현을 위하여 정류기와 인버터 측에 각각 2개의 고조파 필터를 적용하였다. 그림 4에 필터의 회로와 어드미턴스 특성을 나타내었다.

3. HVDC 제어기 모델링

PSCAD/EMTDC상에서 구현한 80kV HVDC 시스템의 제어기는 인버터측 제어기와 정류기측 제어기로

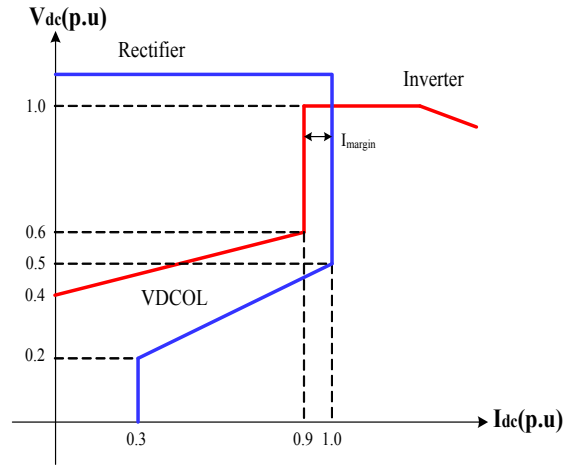


그림 5 80kV HVDC 전압-전류 특성곡선
Fig. 5 80kV HVDC voltage-current characteristic curve

구성된다. 각각의 제어기는 그림 5와 같은 전압-전류 특성곡선에 따른 제어기능을 구현하도록 하였으며, 이를 위해서, 정류기측은 전압제어기와 전류제어기를 적용하고, 인버터측에는 소호각 제어기, 전류제어기, 전압제어기를 적용하였다.

고장 후의 복귀를 돕기 위해, 양측 모두에 VDCOL (Voltage dependent current order limiter) 특성을 부가하였다. 각각의 제어기에서 출력하는 점호각 값을 비교하여 인버터에서는 최소값을 제어지령으로 선택하고, 정류기에서는 최대값을 제어지령으로 선택한다.

정류기와 인버터 제어기의 V-I 특성곡선이 만나는 정격 운전점에서 정류기는 전류제어기, 인버터는 전압제어기가 동작한다. 인버터 제어기는 직류전류 Idc가 1.0pu 이하로 감소하면, 인버터는 0.1pu의 전류마진을 가지며 전류제어로 동작하고, 직류전압 Vdc가 0.6pu 이하로 감소하면, VDCOL에 의해 전류가 0으로 감소되도록 제어된다. 정류기 제어기는 직류전압 Vdc가 0.5pu 이하로 감소하면, VDCOL에 의해 Vdc=0.2pu, Idc=0.3pu인 운전점까지 감소한 후, 전압이 0이 되도록 제어한다.

3.1 인버터 제어기

그림 6에 80kV HVDC 인버터 제어기의 블록도를 나타내었다. 인버터측 제어기는 소호각 제어기, 전압 제어기, 전류 제어기로 구성된다[8].

3.1.1 소호각 제어기

인버터의 경우 정류기와 달리 점호각 제어가 아닌 소호각 제어를 하는데, ac 계통의 고장 또는 전압 강하 등으로 발생할 수 있는 컨버터 밸브의 정류 실패

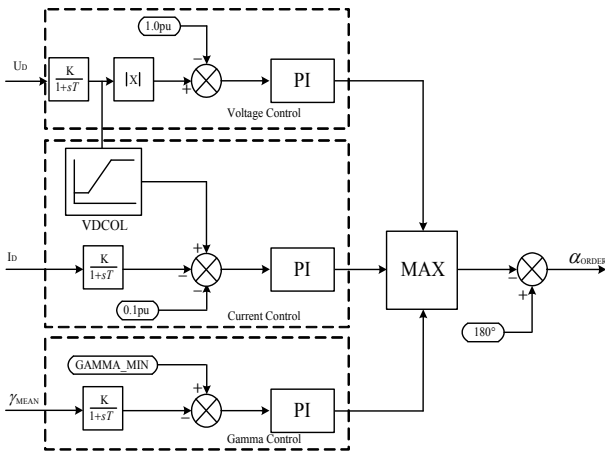


그림 6 인버터 제어기 블록도
Fig. 6 Inverter Controller Block Diagram

(Commutation Failure)를 방지하려는 목적이다. 80kV HVDC 시스템의 컨버터 밸브에서 측정된 소호각의 평균값을 제어기의 입력으로 한다. 최소 소호각인 18°와 차를 구하여 소호각 오차를 발생하여 PI제어기에 입력된다.

3.1.2 전류 제어기

전류 제어기의 주목적은 다음에 제시한 적절한 전류 제어 루프 동특성을 갖는 것이다.

- 가. 충분히 빠른 단위 응답
- 나. 정상상태에서 영 전류 오차
- 다. 안정한 전류 제어
- 라. 고장시 과전류의 빠른 감소
- 마. 인버터와 정류기에서 두 개의 전류 제어기 동작

전류 제어기의 출력은 컨버터 점호 제어 지령인 점호각이며, 전달함수는 그림 7에 나타난 바와 같이, 매우 낮은 주파수에서 이득이 높으며, 이것은 정상상태에서 전류 오차가 0임을 의미한다. 저주파수에서 높은 이득을 얻기 위해 전류 제어기에 적분기가 적용되었다.

HVDC 시스템에서 전류 제어기의 안정도는 dc 선로, ac 계통 등에 따라 5~20Hz의 임계 주파수를 갖는다. 이러한 임계 주파수에서 충분한 위상 마진을 얻기 위해 저역 통과 필터가 추가되었다. 적분기와 저역 통과 필터의 조합으로 그림 7과 같은 보드선도를 얻을 수 있으며, 제어기 전달 함수는 다음 식과 같다.

$$G(s) = \frac{(1 + sK\tau_I)}{s\tau_I(1 + s\tau_P)} \quad (11)$$

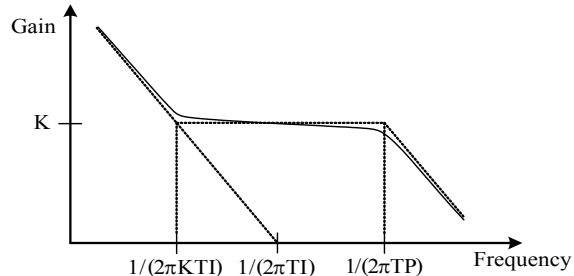


그림 7 인버터 전류제어기 보드선도
Fig. 7 Inverter current controller bode plot

여기서, K는 제어기 이득이고, \$\tau_I\$ 는 적분기 시정수, \$\tau_P\$ 는 비례제어기 시정수이다. 그리고 전류 제어기에서 최소 위상 지연은 다음 주파수에서 발생한다.

$$f_c = \frac{1}{2\pi} \sqrt{\frac{1}{\tau_I \times K \times \tau_P}} \quad (12)$$

두 개의 적분 제어기를 이용하기 위해 인버터에서는 전류 지령과 전류 응답 간에 0.1pu에 해당하는 전류 마진을 적용하였다.

인버터에서 측정된 전압을 VDCOL 곡선에 적용하여 전류 기준값을 결정하고, 측정된 전류와 0.1pu의 전류 마진을 감하여 전류 오차를 얻고, PI 제어기를 거쳐 점호각 지령을 발생한다. 최소값과 최대값 제한이 적분기 및 제어기 출력에 포함되었으며, 이러한 제한은 시스템의 기동 및 ac 계통 고장과 같은 과도 구간에서 전류 제어기의 동작 범위를 제한하는 역할을 한다.

3.1.3 전압 제어기

전압제어기의 입력은 인버터에서 측정된 전압이며, 인버터의 점호각 동작 범위는 70°~150°이므로, 점호각에 따라 전압의 증감이 반대로 변화하는 변곡점(90°)으로 인해 제어가 불안정해지는 것을 막기 위해 입력값에 절대값을 취하였다. 그리고 VDCOL를 적용한 제어기의 특성 곡선을 정류기 측의 전류 제어 지령에 적용하게 된다.

3.2 정류기 제어기

정류기 측의 제어기 블록도를 그림 8에 나타내었다. 정류기측 제어기는 전류제어기와 전압제어기로 구성되며, 기본 구성은 인버터 제어기와 같고, 일부 제어 지령 및 PI제어기의 파라미터 등이 정류기에 최적화된다. 전류제어기에서는 인버터에서와 마찬가지로 정류기에서 측정된 전압을 VDCOL 곡선에 적용하여 전류의

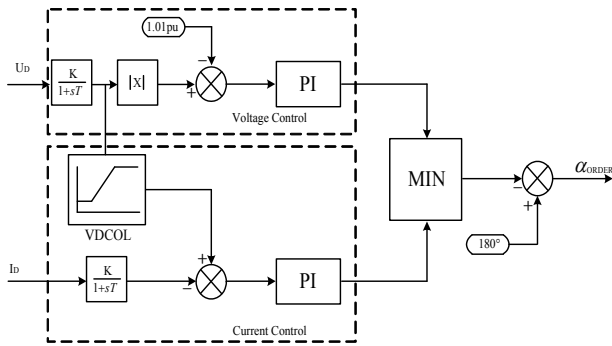


그림 8 정류기 제어기 블록도
Fig. 8 Rectifier Controller Block Diagram

기준값을 결정하고, 여기서 측정된 전류를 감하여 얻은 전류오차가 PI 제어기를 거쳐 점호각을 발생시키게 된다.

인버터와 마찬가지로 정류기에도 전압제어기가 적용되며, 정류기의 입력 전압은 저역 통과 필터 및 절대값을 취한다. 정상상태에서는 정류기의 전류제어기가 동작하므로 최소값 선택기를 적용하였다. 정류기의 전압 지령은 인버터에서와 달리 1.01pu를 입력하는데, 이것은 전압제어기에서 전압 지령을 동작 전압보다 약간 높게 함으로써 탭 변환기 제어를 방해하지 않도록 하기 위한 것이며, 실제 전압보다 1~1.25% 높은 전압 지령값을 사용한다. 이 전압 지령을 동작 전압에 가깝게 유지함으로써 ac전압이 급상승하는 경우 제어기에 의

해 지령에 해당하는 dc 전압을 유지할 수 있게 된다.

4. PSCAD/EMTDC 시뮬레이션

ac 계통 및 HVDC 제어기를 포함한 제주 80kV HVDC 시스템을 PSCAD/EMTDC 프로그램으로 모델링하였으며, 계통 등가 임피던스, ac 및 dc 고조파 필터, 무효전력 보상 장치, 변환용 변압기, 사이리스터 밸브, 평활 리액터, dc 송전선로의 설계 파라미터를 입력하여, 실제 시스템과 동일하게 구현하였다.

시뮬레이션을 통해 제어기의 성능을 확인할 수 있도록 HVDC 시스템의 정상상태운전 중에 ac 계통 단상 고장 및 3상 고장을 발생시켰으며, 고장 해소 후 빠르게 정상상태로 회복하는 제어 특성을 확인할 수 있다. 또한 정상상태에서 전류 제어기에 스텝 응답을 인가하여 제어기의 동특성을 확인하였다.

그림 10은 80kV HVDC 제어기의 VDCOL 특성 곡선을 EMTDC Library Generic Transfer Function을 이용하여 구현한 것이다.

그림 11은 HVDC 시스템에서 t=1[s]에 고장 구간 0.05[s]의 ac 계통 단상 지락 고장을 시뮬레이션한 결과를 나타낸다. 80kV HVDC 시스템에서 고장 해소 후 제어기의 빠른 동특성에 의해 dc 전압 및 전류를 회복하는 것을 확인할 수 있다.

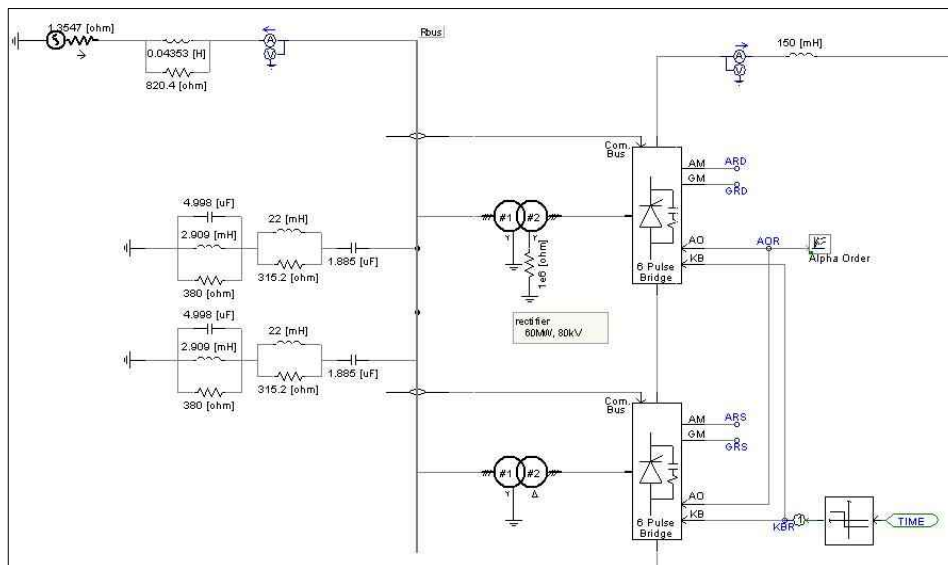
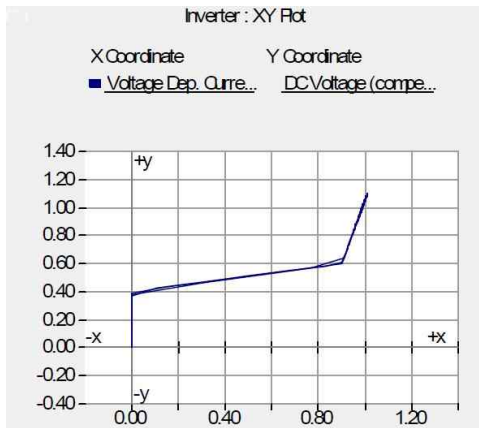
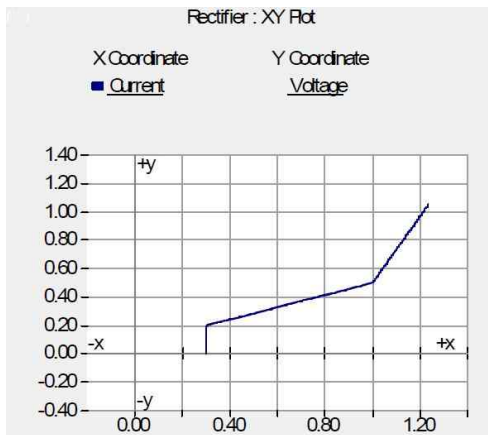


그림 9 80kV HVDC 시스템 PSCAD/EMTDC 모델
Fig. 9 PSCAD/EMTDC model of 80kV HVDC system



(a)



(b)

그림 10 80kV HVDC 제어기 VDCOL (a)인버터 (b) 정류기
Fig. 10 80kV HVDC Controller VDCOL Characteristics

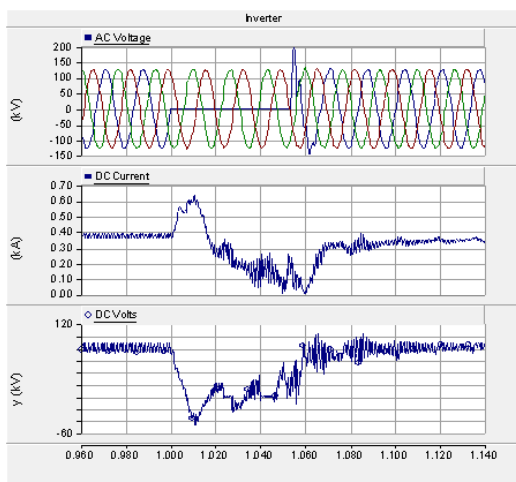


그림 11 ac 계통 단상 지락 고장 시뮬레이션
Fig. 11 Single line ground fault simulation

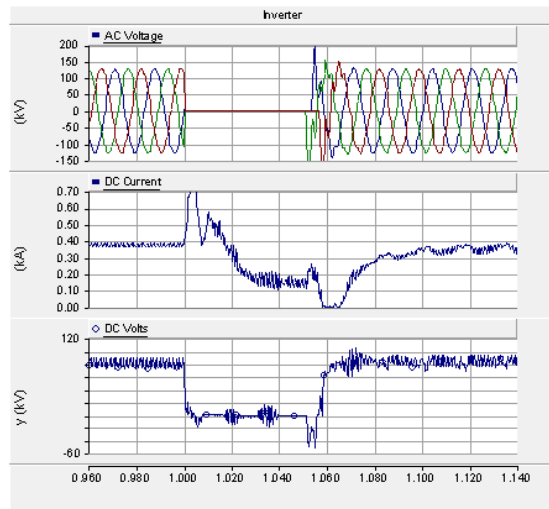


그림 12 ac 계통 3상 지락 고장 시뮬레이션
Fig. 12 Three phase ground fault simulation

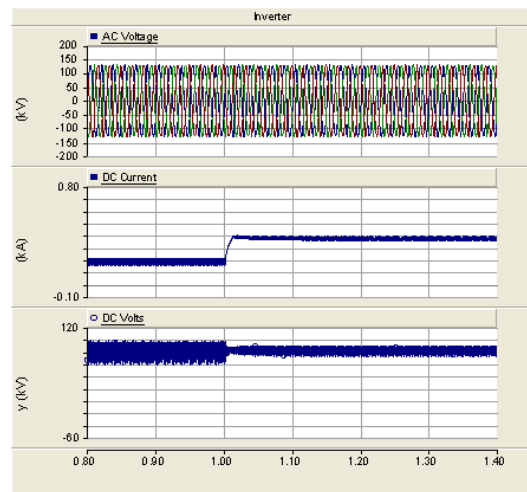


그림 13 전류제어기 스텝응답 시뮬레이션
Fig. 13 Current controller step response simulation

그림 12는 HVDC 시스템에서 $t=1[s]$ 에서 고장 구간 $0.05[s]$ 의 3상 지락 고장을 시뮬레이션하였으며, 80kV HVDC 모델에서의 결과를 나타낸다. $t=1[s]$ 에서 ac 3상 전압이 고장에 의해 $0.05[s]$ 의 구간 동안 영전압이 되며, 80kV HVDC 시스템의 dc 전압 및 전류는 0으로 감소하지만, 고장 해소 후 제어기의 빠른 동특성에 의해 dc전압 및 전류를 회복하는 것을 확인할 수 있다.

그림 13은 전류제어기의 단위응답을 검증하기 위한 것으로 $t=1[s]$ 에서 전류지령을 0.5pu에서 1pu로 입력하였으며, dc전류값은 전류 지령에 수렴하며, 이 때, dc 전압은 80kV를 정확히 유지하도록 제어되고 있다.

5. 결 론

본 논문에서는 제주 80kV Pilot HVDC 시스템 및 제어기를 PSCAD/EMTDC를 통하여 모델링하고, 시뮬레이션을 통해 검증하였다. 제주 계통 연계 시뮬레이션을 위해 테브난 등가 임피던스, 등가 관성(H_{dc}), 등가 T_{d0}' 을 구함으로써 ac 계통을 축약하였으며, 80kV HVDC 시스템의 컨버터 변압기, 고조파 필터 및 dc 송전선로 파라미터를 적용하였다. 제어기는 변환소 컨버터 동작에 따라 인버터 제어기와 정류기 제어기로 나뉘며, 인버터는 전류제어기, 전압제어기, 점호각 제어기로 구성하였고, 정류기는 전류제어기 및 전압제어기로 구성하였다. HVDC 제어기 V-I 특성곡선에 VDCOL을 적용하여 계통 고장 및 순시 전압 강하 등에 의해 전류실패가 발생하는 것을 방지하였다. 제어기의 동특성 검증을 위해 PSCAD/EMTDC상에서 단위응답, 단상 지락 고장, 3상 지락 고장을 시뮬레이션하여, 80kV HVDC 제어기의 성능을 검증하였다.

참 고 문 헌

- [1] M.O. Faruque, Yuyan Zhang, V. Dinavahi, "Detailed Modeling of CIGRE HVDC Benchmark System Using PSCAD/EMTDC and PSB/SIMULINK," IEEE Trans. on Power Delivery, vol. 21, no. 1, pp.378-387, Jan. 2006.
- [2] F. Karlecik-Maier, "A new closed loop control method for HVDC transmission," IEEE Trans. on Power Delivery, vol. 11, no. 4, pp. 1955-1960, Oct. 1996.
- [3] D.A. Woodford, A. M. Gole, and R. W. Menzies, "Digital simulation of DC links and AC machines," IEEE Trans. Power App. Syst., vol. 102, no. 6, pp. 1616-1623, Jun. 1983.
- [4] Y. Maharsi, V.Q. Do, V.K. Sood, S. Casoria, J. Belanger, "HVDC Control System Based of Parallel Digital Signal Processors," IEEE Trans. on Power Systems, vol. 10, no. 2, pp. 995-1002, May 1995.
- [5] P. Kundur, Power System Stability and Control, McGraw-Hill, 1993.
- [6] Edward W. Kimbark, Direct Current Transmission, Wiley-interscience, a Division of John Wiley & Sons Inc., 1971.
- [7] Xiao Yao, "Algorithm for the parameters of double tuned filter", 8th International Conference on Harmonics And Quality of Power, Proceedings. vol. 1, pp. 154-157, 1998.
- [8] The Three Gorges Project Technical Report, ABB

Power systems, 2001.

- [9] Xie Guo-ping, Wang Ming-xin, "Parameter Optimization for Current Controller in HVDC Control System", International Conference on Power System Technology, pp.1-5, 2010.
- [10] PSCAD/EMTDC User's Manual, Manitoba HVDC Research Centre, 2010.

저 자 소 개



최순호(崔淳浩)

2007년 충남대 전기공학과 졸업. 2009년 동 대학원 전기공학과 졸업(석사). 2010년~현재 한전 전력연구원 일반연구원.



이성두(李性斗)

1998년 부산대 전기공학과 졸업(석사). 1999년~현재 한전 전력연구원 선임연구원.



김찬기(金燦起)

1991년 서울과기대 전기공학과 졸업. 1993년 중앙대 대학원 전기공학과 졸업(석사). 1996년 동 대학원 전기공학과 졸업(공박). 1996년~현재 한전 전력연구원 책임연구원.