

# 임베디드 멀티코어 플랫폼을 이용한 차선검출

## Lane Detection using Embedded Multi-core Platform

이 광 엽\*, 김 동 한\*, 박 태 룡\*\*  
 Kwang-Yeob Lee\*, Dong-Han Kim\*, Tae-Ryoung Park\*\*

### Abstract

In this paper, we propose a parallelization technique in lane detection by using Hough transform. Hough transform has a weakness that it has a lot computation quantity, because it has to compute  $\rho$  value in all candidate  $\theta$  to be detected in an image. We propose an architecture of parallel processing for this transform in a multi-core environment. The parallel processing has application to Hough transform as well as noise reduction and edge detection. This proposed architecture has 5.17 times improvement in performance compare to the existing algorithm.

### 요 약

본 논문은 허프 변환을 이용한 차선 검출 알고리즘의 병렬화 기법을 제안한다. 허프 변환은 영상의 모든 위치에 존재 가능한 모든 후보  $\theta$  들에 대해  $\rho$  값을 구해야 하므로 연산량이 많기 때문에 연산에 많은 시간이 소요되는 단점이 있다. 이를 멀티코어 환경에서 병렬 처리하는 구조를 제안 한다. 또한 허프 변환 이외에도 전처리 과정에 해당하는 노이즈 제거와 에지 검출도 병렬 처리 하였다. 제안하는 알고리즘은 기존 알고리즘에 비해 5.17배의 성능 향상이 있다.

*Key words : Lane Detection, Hough Transform, Multi-core, Parallelization*

## 1. 서론

세계적으로 좀 더 안전하고 편리한 자동차에 관한 관심이 높아지면서 기존의 수동적인 자동차에서 첨단 IT 기술을 접목시키는 자동차-IT 융합 기술에 관한 연구가 활발히 이루어지고 있다. 이에 따라 차선이탈 경고 시스템이나 차선유지와 같은 안전운전 보조 시

스템, 자동 차량 제어 시스템 등과 같은 지능형 차량의 실용화를 위한 기술 개발이 급속히 발달 되고 있다. 이러한 시스템을 위한 주요 과제는 주행차선의 유지, 인접차량과의 안전거리 확보와 근접 장애물의 검출과 충돌회피, 교통상황이나 도로 환경에 따른 차량속도 제어 등을 들 수 있다.

주행차선의 검출은 이들 주요 과제를 해결하는 핵심 기술의 하나로 이미지 센서를 이용한 비전 기반 방법이 가장 널리 활용되고 있다.

이미지 센서를 이용한 비전기반 시스템은 저렴한 비용으로 많은 정보의 추출이 가능하고, 기존의 다양한 비전처리 알고리즘을 활용할 수 있는 장점으로 인해 보편적으로 사용되어 왔다. 비전기반의 차선검출 시스템은 입력 영상으로부터 특정정보를 추출하고, 차선검출을 위해 Kalman 필터, 허프 변환(Hough Transform), Spline 모델, Snake 모델 등이 주로 사

\* 서경대학교 컴퓨터공학과

★ 교신저자

※ 본 연구는 지식경제부가 지원하는 산업융합원천 융복합 혁신 반도체 기술개발 사업을 통해 개발된 결과입니다.(10039188, 스마트 자동차용 인포테인먼트 시스템 SoC 플랫폼 개발) 설계에는 IDEC의 지원장비로 이루어졌습니다.

接受日:2011年 08月 05日, 修正完了日: 2011年 08月 30日  
 掲載確定日: 2011年 09月 04日

용되고 있다.[1][2][3][4]

본 논문에서는 임베디드 멀티코어 플랫폼 환경에서 선형 허프 변환을 이용한 차선검출 알고리즘을 병렬로 처리하는 구조를 제안한다.

본 논문의 구성은 다음과 같다. 2장에서 선형 허프 변환을 이용한 차선 검출 알고리즘을 기술하고, 3장에서는 제안하는 차선 검출 병렬화 알고리즘을 기술한다. 4장에서는 알고리즘 검증과 기존 알고리즘과의 성능을 평가한다. 끝으로 5장에서는 결론을 기술한다.

## II. 허프 변환을 이용한 차선검출 알고리즘

그림 1.은 획득한 도로 영상의 차선검출을 위한 전체적인 이미지 처리 과정을 나타낸다. 우선 입력영상에서 노이즈 제거 과정으로 가우시안 필터를 사용하고 소벨 에지 검출을 이용하여 윤곽선을 검출한다. 소벨 에지 검출을 통한 영상을 허프 변환하면 연산량이 많기 때문에 영상을 이진화 처리하여 에지 픽셀의 수를 줄이고 허프 변환한다. 또한 영상전체에 대하여 허프 변환을 수행하는 데에는 많은 시간이 필요하며, 이것은 전체 이미지 처리에서 상당한 부분을 차지한다. 이런 허프 변환의 처리 시간을 줄이기 위하여 영상에서 좌·우측 차선 범위를 예측하여 관심영역으로 지정한다. 또 이전 프레임의 차선 검출의 결과를 이용하여 허프 변환의  $\rho-\theta$  범위를 지정한다. 최종적으로 허프 변환을 이용하여 차선을 검출한다.

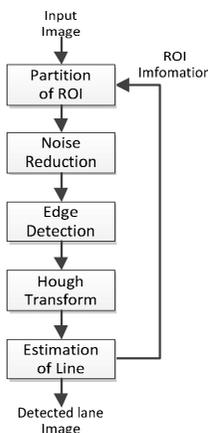


그림 1. 차선 검출 알고리즘 흐름도  
Figure 1. A flowchart of Lane detection algorithm

### 1. 노이즈 제거

허프 변환은 영상의 에지를 사용하게 된다. 그렇기 때문에 영상에서 불필요한 노이즈로 인한 에지 발생

을 제거해야 한다. 노이즈 제거 방법으로는 가우시안 필터, 메디안 필터, 양방향 필터 등이 많이 사용된다. 본 논문에서는 가우시안 필터를 이용하여 노이즈를 제거하였다. 가우시안 필터는 필터 중앙에 위치한 픽셀 값과 먼 거리에 있는 이웃 픽셀 들을 가중치로 감소시켜 가중한 이웃의 평균값으로 대체하는 특징을 가진다. 본 논문에서는 1차원 가우시안 필터를 사용하였다.

### 2. 에지 검출

영상의 특징 점으로 에지를 검출하는 방법은 소벨 연산자와 같은 1차 미분성분, 캐니 연산자와 같은 2차 미분에 의한 제로 교차점, 스티어러블 필터 등 차선검출에서 다양한 방법들이 사용되고 있다. 본 논문에서는 간단한 연산으로 영상의 변화 및 방향성 정보를 충분히 추출할 수 있는 소벨 연산자에 의한 1차 미분으로 차선의 에지 성분을 검출 하였다.

### 3. 허프 변환

허프 변환은 직각 좌표 계에 있는 영상 평면의 한 점을 지나는 직선들의 조합을 파라메트릭 표현으로 변환하고 이를 해석하여 기하학 정보를 추출한다.

$$\rho = x \cos \theta + y \sin \theta \quad (1)$$

식(1)은 점  $P(x,y)$ 를 지나는 직선들의 파라메트릭 표현이다.  $(x,y)$ 는 영상 평면의 픽셀 좌표,  $\rho$  는 중점에서 직선까지의 수직거리 그리고  $\theta$ 는 직선과 직교 직선 사이의 각도를 나타낸다. 점  $P(x,y)$ 를 통과하는 모든 직선들은 유일한  $\rho-\theta$ 조합에 의해 표현된다. 이러한  $\rho-\theta$  값들은 정현 곡선들로 표현되는 2차원 파라메트릭 공간을 만들기 위해 사용된다. 그림2. 는 파라메트릭 공간 해석을 바탕으로 동일선 상의 점들을 찾기 위해 허프 변환이 사용되는 것을 보여준다. P1, P2, P3는 하나의 직선상에 있으며 동일한  $\rho-\theta$  조합 ( $\rho, \theta$ )을 가지고 있다. 허프 변환은 일반적으로 직선을 찾기 위해서 에지 영상을 적용한다.[6][7]

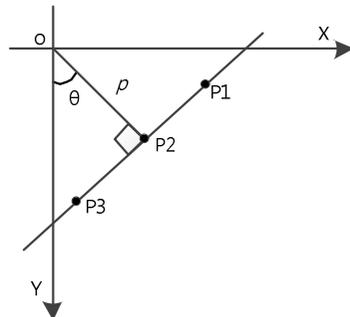


그림 2. 허프 변환  
Figure 2. Hough Transform

### III 멀티코어 플랫폼을 이용한 차선 검출 알고리즘 병렬화

멀티미디어 프로세서를 다수 집적한 SoC 플랫폼(EMP: ETRI Multi-core Platform)은 메모리와 프로세서 사이에 많은 데이터를 원활히 전송하는 것이 중요한 멀티미디어 어플리케이션의 구현에 적합하도록 설계되어 있다. 그림3은 EMP SoC 플랫폼의 블록도이다.

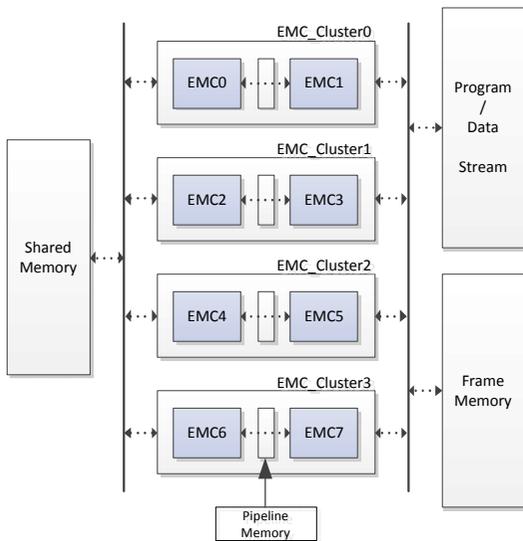


그림 3. ETRI 멀티코어 플랫폼 구조  
Figure 3. EMP based on cluster architecture

EMP는 4개의 클러스터로 구성되어 있는데, 각 클러스터는 2개의 코어와 내부 파이프라인 메모리로 구성되어 있다. EMP는 크게 3가지 측면에서 병렬화에 적합하게 설계되었다. 첫째로 다중의 코어를 사용하고 SIMD(Single Instruction Multi Data) 확장 명령어를 가짐으로써 데이터 레벨 병렬화에 적합하다. 두 번째로 2개의 코어를 한 개의 클러스터 단위로 묶고, 클러스터 내부에 클러스터의 코어만 접근 가능한 파이프라인 메모리를 두어 데이터의 병목 현상을 줄임으로써 스레드 레벨 병렬화에 적합하다. 마지막으로 VLIW(Very Long Instruction Word) 구조를 채택하여 명령어 레벨 병렬화를 지원한다. 또한 계층적인 메모리 구조와 TCM&DMA 구조를 가짐으로써 메모리 접근이 많은 멀티미디어 환경에 적합하게 설계되어 있다.

제안하는 병렬화 알고리즘은 기존의 허프 변환 차선검출 알고리즘을 병렬 처리하는 방법이다. 병렬화

구간은 크게 3부분으로 1단계: 노이즈 제거, 2단계: 에지 검출 및 이진화, 3단계: 허프 변환이다. 그림 4는 전체적인 병렬화 알고리즘 구조이다. Odd\_EMC는 그림3.의 플랫폼 구조에서 홀수 코어인 EMC1, EMC3, EMC5, EMC7을 나타내고 있고, Even\_EMC는 짝수 코어인 EMC2, EMC4, EMC6을 나타내고 있다. EMC0은 병렬화 제어와 병렬 처리를 같이 수행한다. 단계1과 2단계에서는 데이터 레벨 병렬화를 적용하였고, 3단계에서는 스레드 레벨 병렬화를 적용하였다

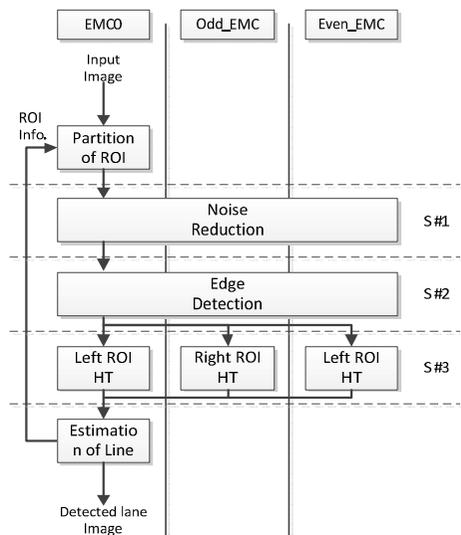


그림 4.제안하는 알고리즘 구조  
Figure 4. Proposed algorithm architecture

- 1) 단계 1 : 노이즈 제거  
단계 1은 데이터 레벨 병렬화를 적용하였다. 입력 영상을 각 코어별로 데이터 영역을 나누고, 가우시안 필터를 적용한다. 처리 속도를 높이기 위해 1차원 필터를 적용하여 가로와 세로를 나누어 처리한다.
- 2) 단계 2 : 에지 검출 및 이진화  
단계 1과 마찬가지로 데이터 레벨 병렬화를 적용하였다. 노이즈가 제거된 영상을 코어별로 데이터 영역을 나누고 에지 검출을 수행하고, 이진화 한다.
- 3) 단계 3 : 허프 변환  
단계 3은 스레드 레벨 병렬화를 적용하였다. 처리 코어를 나누어 왼쪽 차선 영역과 오른쪽 차선 영역을 처리한다. 또한 코어별로  $\rho - \theta$ 의 값을 다르게 지정하여 허프 변환을 수행한다. 이 경우 에지 테이블을 공용으로 사용하기 때문에 병목 현상이 발생할 수 있지만, 에지 테이블을 클러스터 내부에 있는 파이프라인

메모리에 저장하여 병목 현상을 제거 할 수 있다.

그림 5.는 단계 1, 2의 데이터 레벨 병렬화 구현 방법을 나타내고 있다. 입력영상에서 ROI를 지정하고 각 코어 별로 처리 영역을 보여 준다. 그림 6.은 단계 3의 스레드 레벨 병렬화 구현 방법을 나타내고 있다. 각 코어 별로  $\rho$ - $\theta$ 을 다르게 지정하여 여러 개의 직선을 동시에 탐색한다. 표 1.은 각 코어별로 수행한  $\rho$ - $\theta$ 의 크기를 나타내고 있다.

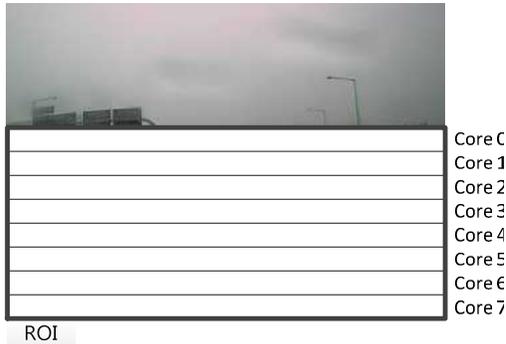


그림 5. 단계 1, 2에서의 데이터 레벨 병렬화  
Figure 5. Stage 1 and 2, data level parallelization

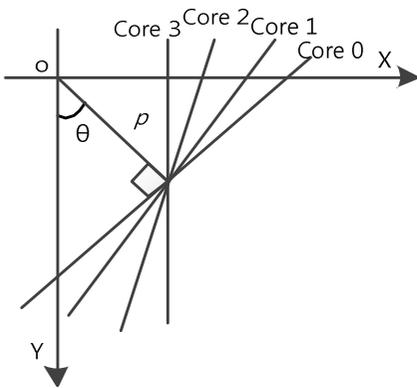


그림 6. 단계 3에서의 스레드 레벨 병렬화  
Figure 6. Stage 3, thread level parallelization

Table 1. Hough transform  $\rho$ - $\theta$  for each EMC

표 1. 각 EMC별  $\rho$ - $\theta$  수치

구분	0	1	2	3	4	5	6	7
$\rho$	0~400							
$\theta$	10~30	30~50	50~70	70~90				

### VI 실험 결과

본 논문에서 제안한 알고리즘은 실제 도로 영상을 통해 검증하였다. 검증 환경은 Virtex 5가 탑재된 Dynalith사의 iNext FPGA 보드를 사용하였고, FPGA에 EMP를 구현하여, 동작주파수 31Mhz에서 총 8개의 코어를 사용하여 검증하였다. 입력 영상의 해상도는 VGA(640x480)이다.

그림 7. 에서 (a)는 실제 도로 영상이고, (b)는 에지 검출 후 이진화 영상이다. (c)는 제안된 알고리즘의 결과 영상이다. 제안된 병렬처리 알고리즘에서도 기존 싱글코어 알고리즘과 같은 결과를 얻을 수 있었다.

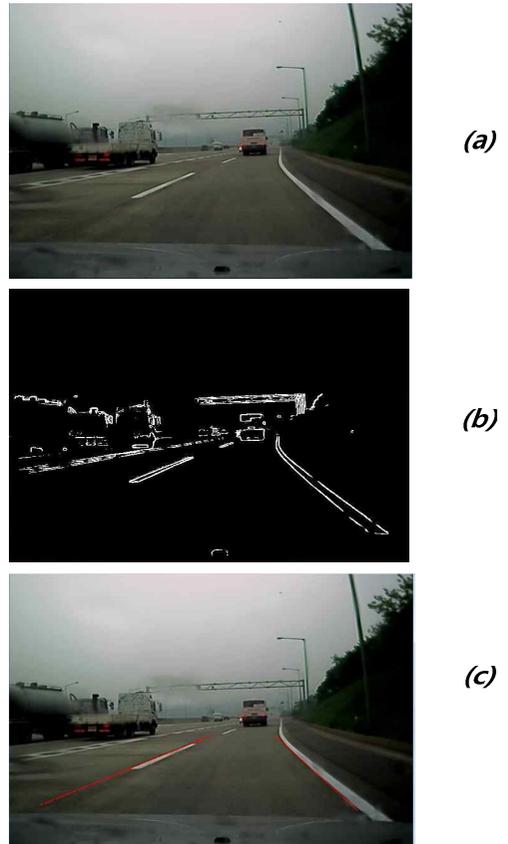


그림 7. (a)실제 도로 영상, (b) 에지 검출 후 이진화 영상, (c) 제안된 알고리즘의 결과 영상

Figure 7. (a) real load image, (b) sobel edge&binarization image, (c) result image of proposed algorithm

Table 2. Stage 1, 2, 3 and All system's performance

표 2. 기존 싱글코어 알고리즘과 제안하는 멀티코어 알고리즘 성능 결과

(단위:ms)

구분	단계 1	단계 2	단계 3	전체
싱글 코어	145	140	600	900
H/W[6]	-	-	19	-
제안하는 방법	29	26	107	178

표 2.은 각 단계별로 기존 싱글코어 알고리즘과 멀티코어 병렬화 알고리즘을 사용했을 경우 성능을 나타내어 준다. 데이터 레벨 병렬화를 구현한 단계 1은 기존 알고리즘은 평균 145ms 소요되었다. 제안한 알고리즘은 평균 29ms 소요되어 5.0배 향상되었다. 단계 2는 기존 알고리즘은 평균 140ms 소요되었다. 제안한 알고리즘은 평균 26ms 소요되어 5.4 배 향상되었다. 스펙트럼 레벨 병렬화를 구현한 단계 3은 기존 알고리즘은 평균 600ms 소요되었다. 전용 하드웨어 [6]를 사용할 경우 19ms가 소요되었다. 제안한 알고리즘은 평균 107ms 소요되어 싱글 코어에 비해 5.6배 향상되었고, 전용 하드웨어에 비해 0.17배의 성능을 보이고 있다. 단계 1, 2, 3 모두 같이 적용한 전체 시스템의 경우 기존 알고리즘보다 5.05배 향상된 결과를 얻을 수 있었다. 이는 검증 환경인 동작주파수 31Mhz에서 5.61 f/s의 성능을 나타낸다.

## V 결론

본 논문에서는 허프 변환을 이용한 차선 검출의 알고리즘을 멀티코어를 이용한 병렬처리 알고리즘으로 구현 하였고, 기존의 알고리즘과 성능을 비교해 보았다. 그 결과 전체 시스템에서 5.17배 빠르게 처리되었다. 하지만, 제안한 알고리즘은 데이터 레벨로 병렬화한 단계 1과 단계 2에서 병목 현상이 발생하기 때문에 알고리즘 개선이 필요 하다. 이는 전체 알고리즘에 대해 스펙트럼 레벨 병렬 처리를 통하여 해결할 수 있으며 연구가 더 필요하다. 또한 FPGA 환경이 아닌 ASIC으로 구현 시 동작 주파수 180Mhz 이상에서 실시간 처리가 가능할 것으로 예상된다.

## 참고문헌

[1] Joel C. McCall and Mohan M. Trivedi, "Video-based lane detection estimation and tracking for driver assistance: Survey, system, and

evaluation", IEEE Trans. Intell. Transportaion Sys., vol. 7, no. 1, pp. 20-37, March 2006

[2] Y. Wang, D. Shen and E. K. Teoh, "Lane detection using spline model", Pattern Recognition, Vol 21, No 8, pp 677-689, 2000.

[3] Y. Wang, E. K. Teoh, D. Shen, "Lane Detection Using B-Snake", IEEE Information Intelligence and Systems, 1999. Proceeding. 1999 International Conference on 31 Oct. -3 Nov. 1999 pp438-443.

[4] R. C. Lo and W. H. Tsai, "Gray-Scale Hough Transform for thick line detection in Gray-Scale Image", Pattern Recognition, Vol 28, No 5, pp 647-661, 1995.

[5] R. Jain, R. Kasturi and B. G. Schunck, Machine Vision, McGraw-Hill, 1995.

[6] S. Suchitra, R. K. Satzoda, and T. Srikanthan, "Exploiting Inherent Parallelisms for Accelerating Linear Hough Transform", IEEE Trans. Image Process., vol. 18, no. 10, pp. 2255- 2264, Oct. 2009

[7] R.C. Gonzalez and R. E. Woods. Digital Image Processing, 2nded.NewYork:PrenticeHall,2002.

## 저 자 소 개

### 이 광 역 (정회원)



1985년 : 서강대학교 전자공학과 졸업 (공학사)  
 1987년 : 연세대학교 대학원 전자공학과 (공학석사)  
 1994년 : 연세대학교 대학원 전자공학과 (공학박사)  
 1989~1995년 : 현대전자 선임연구원

1995년~현재 : 서경대학교 컴퓨터공학과 부교수  
 <주관심분야> 마이크로 프로세서, Embedded System, 3D Graphics System

**김 동 한** (학생회원)



2010년 : 서경대학교 컴퓨터공학과 졸업 (공학사)  
2010년 3월~ 현재 : 서경대학교 대학원 전자컴퓨터공학과 (석사과정)  
<주관심분야> SoC, Embedded System, Recognition

**박 태 룡** (정회원)



1985년 : 한양대학교 수학과 졸업 (이학사)  
1987년 : 한양대학교 수학과 (이학석사)  
1995년 : 한양대학교 수학과 (이학박사)  
1994년~현재 : 서경대학교 컴퓨터공학과 교수

<주관심분야> 암호알고리즘, 멀티미디어 그래픽스