

# RFID 히스테리시스 제어용 CMOS 비교기 IC 회로

## A Hysteresis Controllable Monolithic Comparator Circuit for the Radio Frequency Identification

김 영 기  
Young-Gi Kim

### Abstract

A novel hysteresis tunable monolithic comparator circuit based on a 0.35  $\mu\text{m}$  CMOS process is suggested in this paper. To tune the threshold voltage of the hysteresis in the comparator circuit, two external digital bits are used with supply voltage of 3.3V. The threshold voltage of the suggested comparator circuit is controlled by 234mV by change of 4 digital control bits in the simulation, which is a close agreement to the analytic calculation.

### 요 약

본 논문에서는 주변의 간섭 잡음의 변화가 큰 RFID 환경에서 입력 신호를 구형파로 복원할 때 히스테리시스의 문턱전압을 디지털적으로 제어하여 신호 수신 신뢰도를 높이기 위한 비교기 회로를 0.35- $\mu\text{m}$  선폭 CMOS IC 로 제안 하고 분석, 설계 후 모의 실험을 통하여 전기적 특성을 측정, 비교, 분석하였다. 4개의 디지털 비트를 조절하여 제안된 비교기 회로의 문턱전압을 12mV에서 246mV까지 234mV 만큼 제어가 가능함을 모의실험에서 입증하였으며, 그 결과는 회로를 분석적으로 계산한 값과 매우 적은 오차로 일치하였다. 공급전원은 3.3V를 사용하였다. 또한 다양한 입력신호 및 간섭신호의 환경에서 본 논문에서 제시한 가변회로가 잡음에 덜 민감함을 입증하기 위하여 디지털 제어 비트의 조절로 100kHz의 입력신호에 대한 10MHz의 잡음신호의 영향 및 10kHz의 입력신호에 대한 1MHz의 잡음신호의 영향에서 글리치(Glitch) 오류 제거효과가 큼을 예시하였다.

*Key words : comparator, hysteresis, RFID*

## 1. 서론

RFID가 보편화됨에 따라 수신 전력의 효율을 개선하여 도달거리를 증가시키기 위한 연구가 진행되어 왔다<sup>[1]</sup>. 밀폐되거나 외부의 전파 간섭이 한적한 실험실에서 서둘러 개발한 RFID 시제품을 가지고 다양한 전자제품들이 밀집한 거리에서 여러 개가 동시에 작동하는 전시장에서 시연 도중에 오작동이 되어 당황하는 경우가 종종 있다. 인접한 다른 무선 통신 기기 및 주변으로 부터의 간섭 잡음에 의한 영향으로 통신 신뢰도가 저하 되는 것을 개선하기 위하여 즉, 자기

자신의 송수신 주파수 대역 내에서 발생하거나 다른 주파수 대역에서 변환 되어온 잡음 신호로부터의 간섭의 영향에 능동적으로 대처하여 입력된 아날로그 신호를 디지털 구형파로 안정되게 복원하기 위하여 본 논문의 가변 비교기 회로를 제안한다.

**그림 1. 의 (a)** 와 같이 간섭 잡음의 크기가 일정하고 그 신호의 크기가 전송신호보다 적으면 비교기에 **그림 1. 의 (b)** 와 같은 일정한 크기의 히스테리시스를 부여하여 수신 신호를 안정된 구형파 신호로 복원 할 수 있다. 하지만 RFID의 무선 통신환경에서는 주변 간섭 신호의 크기 및 주 전송신호의 크기가 주의 환경에 따라 수시로 변화함으로써 히스테리시스의 문턱 전압을 상황이 맞게 가변 하는 것이 효율적이다.

히스테리시스의 문턱전압을 낮추기 위한 BICMOS 구조의 회로가 제안 되었으며<sup>[2]</sup>, 히스테리시스의 문턱 전압을 제어하기 위하여 단지 시뮬레이션 결과만으로 MUX, D-플립플롭등 비교적 복잡하고 검증되지 않는 회로들을 이용하여 전류를 제어함으로써 히스테리시스를 제어 하는 CMOS IC 회로가 제안 되었다<sup>[3]</sup>.

\* 안양대학교 정보통신학과

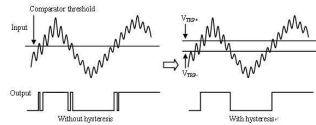
(Department of Data Communications, Anyang University)

※ 감사의 글 (Acknowledgment)\IDEC의 CAD 툴 지원에 감사드립니다.

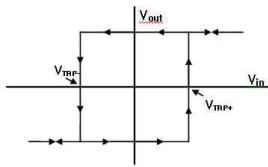
接受日:2010年 07月 21日, 修正完了日: 2011年 08月 31日

掲載確定日: 2011年 09月 02日

본 논문에서는 히스테리시스의 문턱 전압을 안정된 디지털방식의 두개의 비트로 조절 할 수 있는 비교기 회로를 CMOS 회로로 제안한다.



(a) Comparator response of a noisy input  
(a) 비교기회로의 신호 복원특성



(b) Comparator hysteresis curve  
(b) 히스테리시스 특성

Fig. 1. Hysteresis comparator response  
그림 1. 히스테리시스를 갖는 비교기회로의 신호 복원특성.

## II. 비교기 회로의 이론 및 설계

그림 2. 는 히스테리시스를 갖는 일반적인 비교기 회로도이며 트랜지스터 M3, M4, M6, M7 에 흐르는 전류의 비  $I_{D6}/I_{D3}$  와  $I_{D7}/I_{D4}$  의 값이 1 보다 작으면 음의 피드백이 되어 히스테리시스가 없다. 반면에 그 비율 값이 1 보다 커지면 양의 피드백이 형성되고 히스테리시스가 시작된다<sup>[4]</sup>. M1 의 게이트  $V_{in1}$  을 접지 시킨 상태에서  $V_{in2}$ 가 약간 높은 값으로 가면 M1 은 도통되고 M2 는 차단되어,  $V_{O1}$  이 높아져서  $V_{gs3}$  와  $V_{gs6}$  가 높아져 M3 와 M6 가 도통되고, 반대로  $V_{O2}$  는 낮아져서  $V_{gs4}$  와  $V_{gs7}$  이 낮아져서 M4 와 M7 은 차단된다. 따라서 공급 전류  $I_5$  는 모두 M1 과 M3 로만 흐른다.

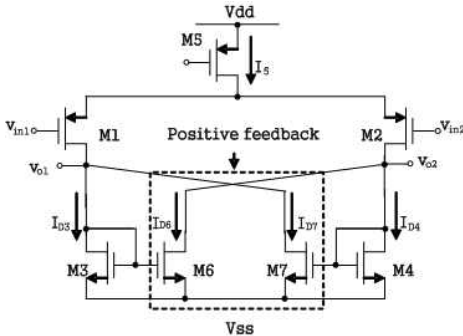


Fig. 2. Hysteresis comparator  
그림 2. 히스테리시스를 갖는 비교기회로도

$$I_{D1} = I_{D3} = I_{D5} \quad (1)$$

$$V_{gs3} = V_{gs6} \quad (2)$$

이고, MOS 트랜지스터에 흐르는 전류  $I$  와 게이트전압과과의 관계는 다음과 같다.

$$V_{gs} = \sqrt{\frac{2I}{\mu C_{ox} (W/L)}} + V_T \quad (3)$$

여기서

$V_{gs}$  는 게이트 소스간의 전압,  $\mu$  는 캐리어의 이동도,  $C_{ox}$  는 산화막의 정전용량,  $V_T$  는 문턱전압,  $L$  은 게이트의 길이,  $W$  는 게이트의 넓이,  $I_{Di}$  는 해당  $i$  MOS 트랜지스터에 흐르는 전류를 각각 나타낸다.

식 (1), (2), (3) 에서부터

$$I_{D6} = \left( \frac{W_6/L_6}{W_3/L_3} \right) I_{D5} \quad (4)$$

이고  $V_{in2}$  이 감소되면 M2 의 전류가 증가하여

$$I_{D2} = I_{D6} \quad (5)$$

를 지나는 근사 시점에서 비교기 회로의 상태가 천이된다.

이때

$$V_{gs3} = V_{gs6} \quad (6)$$

임으로

$$I_{D6} = \left( \frac{W_6/L_6}{W_3/L_3} \right) I_{D3} \quad (7)$$

이고

$$I_{D2} = I_{D6} \quad (8)$$

$$I_{D5} = I_{D1} + I_{D2} \quad (9)$$

$$I_{D1} = I_{D3} \quad (10)$$

에서

$$I_{D3} = \frac{I_{D5}}{1 + \left( \frac{W_6/L_6}{W_3/L_3} \right)} = I_{D1} \quad (11)$$

$$I_{D2} = I_{D5} - I_{D1} = \frac{\left( \frac{W_6/L_6}{W_3/L_3} \right)}{1 + \left( \frac{W_6/L_6}{W_3/L_3} \right)} I_{D5} \quad (12)$$

이를 종합하면 양의 문턱 전압  $V_{TRP+}$  은 다음과 같이 구해진다.

$$\begin{aligned}
 V_{TRP+} &= V_{gs2} - V_{gs1} \\
 &= \sqrt{\frac{2}{\mu C_{ox}}} \left( \sqrt{\frac{I_{D2}}{W_2/L_2}} - \sqrt{\frac{I_{D1}}{W_1/L_1}} \right) \\
 &= \sqrt{\frac{2I_{D5}}{\mu C_{ox}}} \frac{\left( \sqrt{\frac{(W_6/L_6)}{(W_2/L_2)(W_3/L_3)}} - \sqrt{\frac{1}{W_1/L_1}} \right)}{\sqrt{1 + \frac{(W_6/L_6)}{(W_3/L_3)}}} \quad (13)
 \end{aligned}$$

여기서 M1 과 M2 의 게이트 크기가 같고 M3 와 M6 가 같은 게이트 길이를 갖게 회로를 구성하면 이 식은 다음과 같이 간략히 된다.

$$V_{TRP+} = \sqrt{\frac{2I_{D5}}{\mu C_{ox}}} \frac{\left( \sqrt{\frac{(W_6/L_6)}{(W_2/L_2)(W_3/L_3)}} - \sqrt{\frac{1}{W_1/L_1}} \right)}{\sqrt{1 + \frac{(W_6/L_6)}{(W_3/L_3)}}} \quad (14)$$

이 식에서  $W_1, W_3, L_1, I_{D1}$  가 고정되면  $W_6$  을 변화 시킴으로 문턱전압  $V_{TRP+}$  을 조절 할 수 있다.

본 논문에서는 문턱전압  $V_{TRP+}$  을 조절하기 위하여 그림 2. 에서의 양의 피드백 회로를 그림 3. 과 같이 제안하여 디지털 피드백 제어회로부로 구현하였다. 이 제안된 디지털 피드백 제어회로 부는 M8 부터 M11 까지 4 개의 피드백 NMOS 들과 M8a 와 M8b 와 같은 8 개의 스위칭 NMOS 들과 First Control Bit 와 Second Control Bit 에 직접 연결되어 있는 2 쌍의 CMOS 역전 회로들로 구성되었다. 양의 피드백 회로는 외부 디지털 비트로 제어되는 데, 첫 번째 비트가 로직 1 에 해당하는 전압으로 올라가면 Mfp, M8a, M8b 을 차단시켜 M8 은 M6 와 격리되어 영향을 미치지 못 한다.

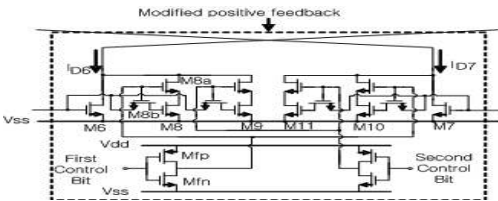


Fig. 3. The modified positive feedback circuit in a hysteresis comparator

그림 3. 본 논문에서 제안한 디지털 피드백 제어 회로부

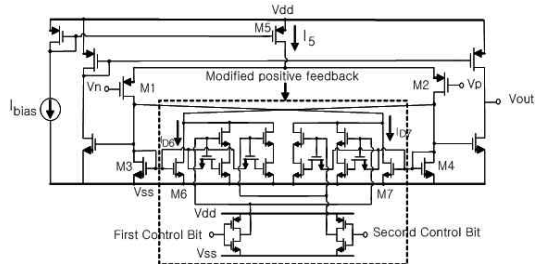


Fig. 4. Schematics of the whole proposed circuit  
그림 4. 본 논문에서 제안한 비교기 전체 회로도

그러나 첫 번째 비트의 전압이 0 으로 내려가면 Mfp, M8a, M8b 가 도통하여 M8 이 M8a 를 통하여 M6 와 병렬 연결된 효과를 만들어 위 식의  $W_6$  를 늘리는 것과 같은 효과를 발생시켜 양의 문턱전압  $V_{TRP+}$  의 값을 약간 변화시킨다. 여기서 M6 의 면적이 늘어나는 효과는 양의 피드백의 양을 증가시켜서 그 결과로  $V_{TRP+}$  의 값을 변화시킨다.

이 첫 번째 비트의 영향은 M10 에도 동시에 동일하게 작용하여 음의 문턱전압의 절대 값을 변화시킨다. 두 번째 비트는 M9 과 M11 를 같은 방법으로 제어 한다. M6, M8, M9 의 게이트 넓이의 비는 1:1:2 로 하여 디지털 제어 비트의 값이 11 에서 00 로 변화함에 따라  $W_6/W_3$  의 값이 1, 2, 3, 4 로 순차적으로 변화하게 설계하였다.

증폭회로와 전류제어 회로를 추가하여 그림 4. 와 같이 완성된 비교기 회로를 단일 칩으로 설계하였다.

Table 1. Hysteresis characteristics according to the combination of control bits.

표 1. 제어 비트의 조합에 따른 히스테리시스 특성 변화

입력 제어 비트	$W_6/W_3$ 비율	모의실험에서 측정된 양의 문턱전압 (mV)	식 (14)에서 계산된 양의 문턱전압 (mV)
11	1	12	0
10	2	131	115
01	3	200	177
00	4	246	246

### III 비교기 회로의 전기적 특성 분석

앞 절에서 기술된 히스테리시스 제어형 비교기 회로구조는 0.35- $\mu\text{m}$  선폭의 CMOS 공정을 적용하여 반복적 시뮬레이션을 통하여 회로를 설계 하였다.

제어비트의 조합에 따른 히스테리시스 특성 변화를 표 1. 에 식 (14) 에서 계산된 값과 시뮬레이션을 통한 모의실험의 값을 비교 하였는데 대부분 상당히 근사함을 알 수 있다.

Comoparator(2mA/357uA\_100kHz, 172.5uA, noise=-10dBm)

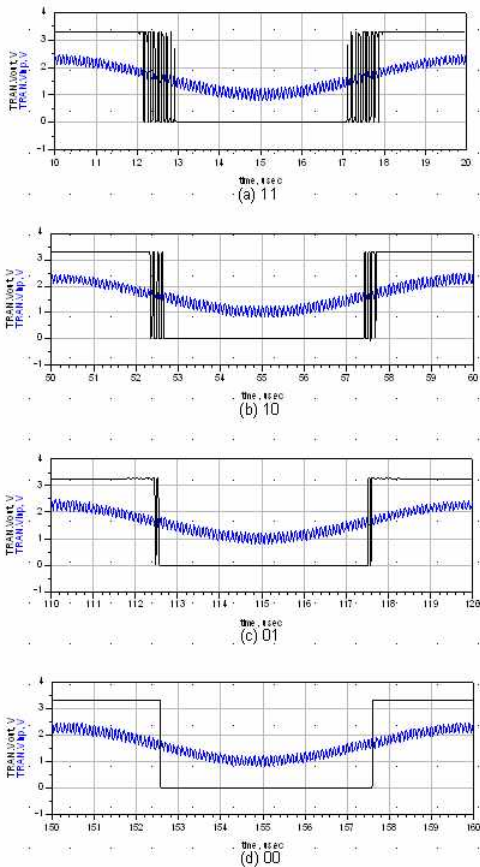


Fig. 5. Ouput responses for the various control bit combinations under the condition of 100kHz input signal with -10dBm, 10MHz input noise and 357 $\mu\text{A}$  of  $I_{D5}$  current consumption.

그림 5. 입력함성잡음이 10MHz의 -10dBm 크기 일 때  $I_{D5}$ =357 $\mu\text{A}$ ,  $V_{in}$ =100kHz 에서의 제어 비트 조합에 따른 입출력 파형

그림 5. 에는 10MHz 입력 함성잡음이 -10 dBm 로 강하고  $I_{D5}$ =357 $\mu\text{A}$ ,  $V_{in}$ =100kHz 로 입력신호 주파수와 소모 전류가 비교적 높은 경우 제어 비트 조합에 따른 입출력 파형을 도시 하였다. 00 비트에서만 잡음에 영향에서 벗어나 글리치(glitch) 오류 없이 구형파로 변화됨을 알 수 있다.

Comoparator(80uA/12.6uA\_100kHz, 2.5uA, noise=-10dBm)

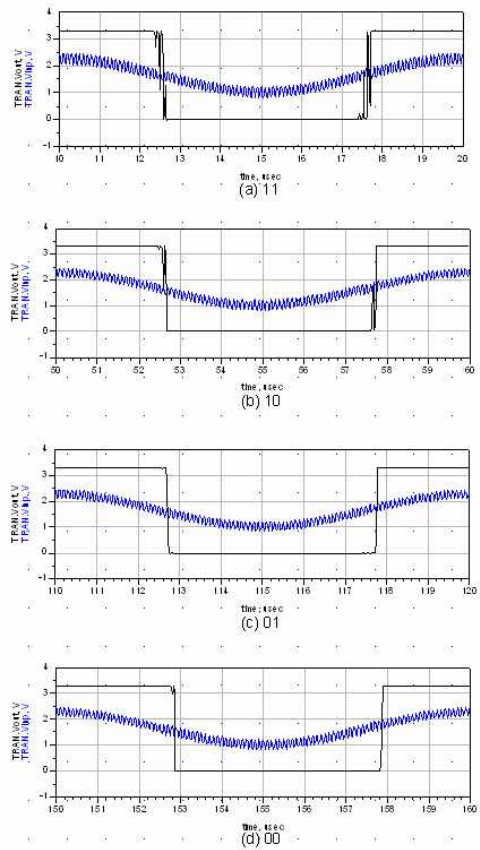


Fig. 6. Ouput responses for the various control bit combinations under the condition of 100kHz input signal with -10 dBm, 10MHz input noise and 12.6 $\mu\text{A}$  of  $I_{D5}$  current consumption.

그림 6. 입력함성잡음이 10MHz의 -10dBm 크기 일 때  $I_{D5}$ =12.6 $\mu\text{A}$ ,  $V_{in}$ =100kHz 에서의 제어 비트 조합에 따른 입출력 파형

Comoparator(80uA/12.6uA\_10kHz, 2.5uA, noise=-20dBm)

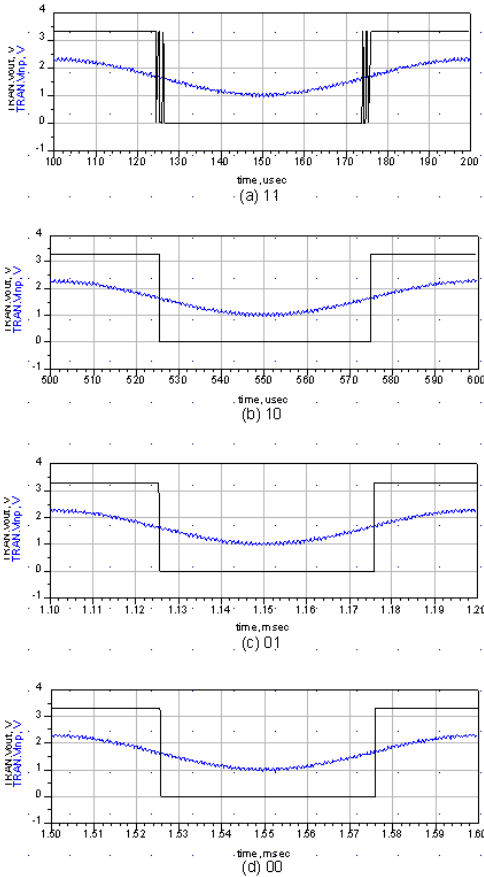


Fig. 7. Ouput response for the various control bit combinations under the condition of 10kHz input signal with -20dBm, 1MHz input noise and 12.6μA of  $I_{D5}$  current consumption.

그림 7. 입력합성잡음이 1MHz의 -20dBm 크기 일 때  $I_{D5}=12.6\mu A$ ,  $V_{in}=10kHz$  에서의 제어 비트 조합에 따른 입출력 파형

여기서 소모전류를 줄였을 때의 특성이 그림 6. 에 도시되어 있다. 이 그림에서는  $I_{D5}$  가 12.6μA 로 줄어 든 것을 제외하고는 그림 6. 에서와 같은 조건에 대한 신호 파형을 도시한다. 동작전류가 충분하지 않아 출력 파형 천이과정에서 변화가 완만함을 알 수 있다. 식 (14) 에서 구동전류의 제공근에 비례하여 문턱 전압이 증가한다. 따라서 10MHz인 입력합성잡음의 주파수 신호의 변화율을 출력신호가 충분히 빨리 쫓아가지 못하여 높은 입력주파수신호에 대하여 더 안

정적으로 변환되는 것처럼 나타남을 유추 할 수 있다. 입력신호의 주파수가 높아지면 MOS 트랜지스터 내의 MOS 캐패시터에 충전전을 더 짧은 시간에 하여야 하기 때문에 좀 더 많은 구동 전류를 공급하여야 정상적인 구형파로의 변환이 이루어 질 것이다.

그림 7. 에는 구동입력 신호 주파수, 합성 입력 잡음 신호 주파수, 구동전류 등이 모두 낮은 경우의 응답특성이 나타나 있다. 즉 그림 6. 에 비하여 입력 합성잡음의 크기가 -10dBm 만큼 줄었을 때의 응답신호 파형을 도시한다. 구동전류가 낮아서 문턱전압이 매우 낮아져 있고 입력신호와 합성 입력 잡음 신호가 느리게 변하여 아주 작은 합성 입력 잡음 신호에 대하여만 신호 변환 글리치(Glitch) 오류가 나타난다.

#### IV 결론

본 논문에서는 주변의 간섭 잡음의 변화가 큰 RFID 환경에서 입력 신호를 구형파로 복원할 때 히스테리시스의 문턱전압을 디지털적으로 제어하여 간섭 잡음 신호에 대한 신호 수신 신뢰도를 높이기 위한 비교기 회로를 0.35 마이크로 선폭의 CMOS IC 로 제안 하고 분석, 설계 후 모의 실험을 통하여 전기적 특성을 측정 및 분석하였다.

히스테리시스의 문턱전압을 디지털적으로 제어할 수 있는 회로구조를 제안하고 히스테리시스의 문턱전압에 영향을 미치는 요인인 제어용 MOS의 게이트 넓이와 구동전류의 관계식을 해석적으로 분석하여, 4개의 디지털 비트를 조절하여 제안된 비교기 회로의 문턱전압을 12mV에서 246mV까지 234mV 만큼 제어가 가능함을 모의실험에서 입증하였으며, 그 결과는 회로를 분석적으로 계산한 값과 매우 적은 오차로 일치하였다.

본 논문에서 제시한 비교기회로는 UHF RFID에 적용하는 것을 전제로 설계하였으나 본 논문에서 제시하는 히스테리시스의 가변성을 조절하면 LF(Low Frequency) RFID에도 적용이 가능하다.

본 논문에서 제시한 가변 히스테리시스 비교기 회로는 차후 제작을 통하여 본 논문의 이론을 완전히 검증함이 바람직 할 것 이다.

#### 참고문헌

[1] Udo Karthaus, and Martin Fischer, "Fully Integrated Passive UHF RFID Transponder IC With 16.7-W Minimum RF Input Power," *IEEE Journal of Solid-State Circuits*, No. 10, Vol. 38, pp.1602-1608, 2003

- [2] Guo Xiaofeng, Lai Xinquan, Li Yushan, Wang Jianping, Zhang Jie, "Design and application of the novel low-threshold comparator using hysteresis," *6th International Conference On ASIC Proceedings*, pp.549 - 553, 2005
- [3] Hong-Wei Huang, Chia-Hsiang Lin, Ke-Horng Chen, " A programmable dual hysteretic window comparator," *IEEE International Symposium on Circuits and Systems 2008*, pp.1930 - 1933, 2008
- [4] Phillip. E. Allen and Douglas. R. Holberg, *CMOS Analog Circuit Design*. 2nd Edition, Oxford University Press. 2002

---

저 자 소 개

---

**김 영 기** (정회원)


1983년 : 한양대학교 전자공학과  
졸업 (공학사)

1984년 : 한양대학교 대학원 전자  
공학과 (공학석사)

1993년 : 텍사스주립 대학교 대학  
원 전기과 (공학박사)

2005년 : 오하이오 주립대 객원교수

1996년 3월~현재 : 안양대학교 정보통신공학과 교수  
<주관심분야> RF integrated circuits and  
devices, LED circuits